

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 16 年 10 月 7 日 (2004.10.7)

【公開番号】特開 2001-274036 (P2001-274036A)

【公開日】平成 13 年 10 月 5 日 (2001.10.5)

【出願番号】特願 2000-87872 (P2000-87872)

【国際特許分類第 7 版】

H 0 1 G 4/12

H 0 1 G 2/06

// H 0 5 K 3/46

【F I】

H 0 1 G 4/12 3 9 4

H 0 1 G 4/12 4 0 0

H 0 1 G 1/035 Z

H 0 5 K 3/46 Q

H 0 5 K 3/46 N

【手続補正書】

【提出日】平成 15 年 9 月 24 日 (2003.9.24)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】フィルム状コンデンサ、その製造方法及び中継基板の製造方法

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

電源配線及び信号配線の導通に必要なビアを通過させる孔を設けたベタ電極層、接地配線及び信号配線の導通に必要なビアを通過させる孔を設けたベタ電極層、及び、前記対向する一対のベタ電極層に挟持される誘電体材料層からなる 3 層構造を少なくとも 1 周期含むことを特徴とするフィルム状コンデンサ。

【請求項 2】

基板上に、電源配線或いは接地配線の一方及び信号配線の導通に必要なビアを通過させる孔を設けるベタ電極層、誘電体材料層、及び、電源配線或いは接地配線の他方及び信号配線の導通に必要なビアを通過させる孔を設けるベタ電極層からなる 3 層構造のフィルム状コンデンサを少なくとも 1 周期形成したのち、前記基板を除去することを特徴とするフィルム状コンデンサの製造方法。

【請求項 3】

上記基板上に樹脂絶縁層を介して上記電源配線或いは接地配線の一方及び信号配線の導通に必要なビアを通過させる孔を設けるベタ電極層を設け、上記基板の除去時に、前記基板の裏面からレーザ光を照射することによって前記樹脂絶縁層を前記基板から剥離すること  
を特徴とする請求項 2 記載のフィルム状コンデンサの製造方法。

【請求項 4】

ベース基板上に第一の配線層を形成し、次いで、前記第一の配線層と接続するビアを有す

る誘電体層を前記第一の配線層上に形成し、次いで、前記ビアに接続する第二の配線層を前記誘電体層上に形成し、次いで、前記ベース基板を除去することを特徴とする中継基板の製造方法。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】発明の詳細な説明

【補正方法】変更

【補正の内容】

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はフィルム状コンデンサ、その製造方法及び中継基板の製造方法に関するものであり、特に、ハイエンドサーバ等の高周波信号を伝送する電子装置に対するデカップリングコンデンサの低インダクタンス化のための構成に特徴のあるフィルム状コンデンサ、その製造方法及び中継基板の製造方法に関するものである。

【0002】

【従来の技術】

近年、マクロプロセッサをはじめとするデジタル L S I の高速化と低消費電力化が進み、L S I の負荷インピーダンスの急激な変動や、電源電圧の変動を抑えるためのデカップリングコンデンサの性能向上が要請されており、また、高速動作デジタル L S I の G H z 帯の高周波領域における安定した L S I の動作が要求されている。

【0003】

このような電源電圧変動や高周波ノイズによる L S I の誤動作を防止するためには、L S I チップのなるべく近傍にデカップリングコンデンサ、即ち、バイパスコンデンサを実装する必要がある。

【0004】

図 1 1 参照

図 1 1 は、従来のデカップリングコンデンサ及び L S I を実装した電子回路装置の概略的構成図であり、多層配線層を設けた回路配線基板 7 4 に L S I チップ 7 1 を実装するとともに、L S I チップ 7 1 の近傍にデカップリングコンデンサとなるチップコンデンサ 7 3 を実装したものであり、チップコンデンサ 7 3 の一方の端子を接地ライン 7 6 に接続するとともに、他方の端子を L S I チップ 7 1 の電源端子 7 2 と接続している電源ライン 7 5 に接続する。

【0005】

しかし、図 1 1 のように回路配線基板 7 4 の表面にデカップリングコンデンサを実装する方法の場合には、チップコンデンサ 7 3 と L S I チップ 7 1 との間での配線の引回しが避けられないため、引回し配線層に付随する寄生インダクタンスにより、高速動作 L S I に対しての電源電圧変動の抑止効果や高周波リップル吸収効果には限界がある。

【0006】

したがって、電源電圧の変動抑止のためには、等価直列抵抗 ( E S R ) 及び等価直列インダクタンス ( E S L ) の低減がコンデンサに求められることになる。特に、配線の引回しによるインダクタンスの増加は、デカップリングコンデンサの高周波特性の劣化の主因となるため等価直列インダクタンス ( E S L ) の低減がより重要になる。

【0007】

そこで、コンデンサ内蔵回路基板や、表面に誘電体膜を形成したセラミック回路基板（必要ならば、特開平 4 - 2 1 1 1 9 1 号公報参照）などが提案されており、それによって、L S I チップの直下にデカップリングコンデンサを配置して、L S I 電源、接地端子からコンデンサまでの配線引回しを最短にしようとするものである。

【0008】

また、回路基板とは別に、インターポーザタイプのコンデンサ基板を用いて L S I チップ

とデカップリングコンデンサの接続距離を最短にすることが提案されているので、その一例を図 12 を参照して説明する。

【0009】

図 12 参照

図 12 は、インターポーザタイプのコンデンサ基板を介して LSI を実装した電子回路装置の概略的構成図であり、LSI チップ 81 の信号端子はコンデンサ基板 82 に設けたスルービアを介して回路配線基板 83 に設けた信号ライン 86 に接続される。

一方、LSI チップ 81 の電源端子と接地端子は、コンデンサ基板 82 に設けたデカップリングコンデンサを構成する一対のベタ電極層の一方に互いに接続したビアを介して電源ライン 84 及び接地ライン 85 に夫々接続される。

【0010】

【発明が解決しようとする課題】

しかし、上述のコンデンサ内蔵基板の場合には、高誘電体材料の焼成に 700 程度の高温が必要であるため、回路基板を構成するベース材料やその製造工程が限定されるという問題がある。

また、コンデンサ層の層数の増加に伴って、製造歩留りが低下するという問題や製造コストが増大するという問題がある。

【0011】

一方、インターポーザタイプのコンデンサ基板の場合には、ハイエンドサーバのように、LSI チップの端子数が数千を超えるものがあり、その様な LSI チップに対応するためには、微小径且つ微小ピッチのインターポーザ基板が必要になるが、ビアの径の微小化と微小ピッチ化に伴って製造が困難になるという問題がある。

例えば、コンデンサ基板をグリーンシート法を用いて製造した場合、スルービアのピッチは 100 ~ 200  $\mu\text{m}$  が限界となる。

【0012】

また、コンデンサ基板の低インピーダンス化、即ち、低 ESL 化のためには、薄膜コンデンサが望ましいが、薄層化にともなってピンホール等に起因するリーク電流が問題となるため、低欠陥スルービア基板が必要になるが、薄層化の進展に伴って低欠陥スルービア基板の製造が困難になるという問題がある。

【0013】

したがって、本発明は、微小径且つ微小ピッチのスルービアを有する低インダクタンスのフィルム状コンデンサを提供することを目的とする。

【0014】

【課題を解決するための手段】

ここで、図 1 を参照して本発明における課題を解決するための手段を説明する。

図 1 (a) 及び (b) 参照

(1) 本発明は、フィルム状コンデンサにおいて、電源配線及び信号配線の導通に必要なビア 5, 6 を通過させる孔を設けたベタ電極層 2、接地配線及び信号配線の導通に必要なビア 6, 7 を通過させる孔を設けたベタ電極層 4、及び、この対向する一対のベタ電極層 2, 4 に挟持される誘電体材料層 3 からなる 3 層構造を少なくとも 1 周期含むことを特徴とする。

【0015】

この様に、インターポーザタイプのコンデンサとしてグリーンシート法を用いずにフィルム状コンデンサとすることによって、半導体製造技術を転用することができ、それによって、膜厚の薄い誘電体材料層 3 を有し、且つ、微小径且つ微小ピッチのスルービア 6 を有する低インダクタンスのフィルム状コンデンサの実現が可能になる。

【0016】

特に、誘電体材料層 3 として、半導体強誘電体メモリ等に使用されているペロブスカイト構造の高誘電体膜を適用することによって、高誘電率の薄膜をピンホールフリーで形成することができ、それによって、一層の誘電体材料膜のみであっても大きな容量を実現する

ことができる。

【0017】

(2) また、本発明は、フィルム状コンデンサの製造方法において、基板1上に、電源配線或いは接地配線の一方及び信号配線の導通に必要なビア5, 6を通過させる孔を設けるベタ電極層2、誘電体材料層3、電源配線或いは接地配線の他方及び信号配線の導通に必要なビア6, 7を通過させる孔を設けるベタ電極層4からなる3層構造のフィルム状コンデンサを少なくとも1周期形成したのち、基板1を除去することを特徴とする。

【0018】

この様に、フィルム状コンデンサを製造する際に、表面が平滑な無垢の基板1を用いることによって薄膜のフィルム状コンデンサを半導体製造技術を用いて精度良く且つ再現性良く形成することができ、また、形成後に基板1を除去することによって、コンデンサ基板として層厚化することがない。

【0019】

(3) また、本発明は、上記(2)において、基板1上に樹脂絶縁層8を介して電源配線或いは接地配線の一方及び信号配線の導通に必要なビア5, 6を通過させる孔を設けるベタ電極層2を設け、基板1の除去時に、基板1の裏面からレーザ光9を照射することによって樹脂絶縁層8を基板1から剥離することを特徴とする。

【0020】

この様に、レーザアブレーションによってフィルム状コンデンサごと樹脂絶縁層8を基板1から剥離するドライプロセスを用いることにより、基板1の除去工程が簡素化され、且つ、ウェットプロセスのように、誘電体材料層3や電極パッド等が薬液により侵される虞がなくなる。

【0021】

また、本発明は、上記(2)において、基板1上に水溶性、酸への溶解性、或いは、アルカリへの溶解性のいずれかの溶解性を有する被覆層を設け、この被覆層を介して電源配線或いは接地配線の一方及び信号配線の導通に必要なビア5, 6を通過させる孔を設けるベタ電極層2を設け、基板1の除去時に、水、酸水溶液、或いは、アルカリ水溶液のいずれかを用いて被覆層を基板1から剥離しても良い。

例えば、被覆層としてKBr等の無機塩類を用いた場合には水またはアルコールを用いれば良く、また、MgO等の酸化物を用いた場合には酸性水溶液或いはアンモニア水溶液を用いれば良く、さらに、Cu等を金属を用いた場合には、酸性水溶液或いはアルカリ性水溶液を用いれば良い。

【0022】

また、本発明は、上記(2)において、基板1として、水溶性、酸への溶解性、或いは、アルカリへの溶解性のいずれかの溶解性を有する基板1を用いても良いものである。

例えば、基板1としてKBr単結晶、MgO単結晶、或いは、Cu板等を用いても良いものであり、その場合には、基板1全体を溶解除去すれば良い。

【0023】

この様に、化学的に基板1或いは被覆層を除去することによって、エキシマレーザ等のレーザ装置及びそれに付随する光学系等が不要になる。

【0024】

(4) また、本発明は、中継基板の製造方法において、ベース基板上に第一の配線層を形成し、次いで、この第一の配線層と接続するビアを有する誘電体層を第一の配線層上に形成し、次いで、このビアに接続する第二の配線層を誘電体層上に形成し、次いで、ベース基板を除去することを特徴とする。

【0025】

このように、ベース基板上に配線層と誘電体層を形成するために、微小径、微小ピッチのスルービアを有するとともに薄い中継基板、例えば、インターポーザタイプのコンデンサ基板を実現することができる。

【0026】

**【発明の実施の形態】**

ここで、図2乃至図6を参照して本発明の第1の実施の形態を説明するが、まず、図2乃至図5を参照して本発明の第1の実施の形態の製造工程を説明する。

なお、各図は、フィルム状コンデンサの要部断面図である。

**図2(a) 参照**

まず、サファイア基板11上に、ポリイミド樹脂を塗布し、加熱硬化させ、さらに700に加熱することによって、厚さが、例えば、10 $\mu$ mの炭化の進んだポリイミド層12を形成したのち、スパッタリング法を用いて厚さが、例えば、0.1 $\mu$ mのTi膜と0.2 $\mu$ mのPt膜を順次堆積させることによって下部ベタ電極層13を形成する。

**【0027】****図2(b) 参照**

次いで、全面にレジストを塗布し、露光・現像することによって、電源用のビアを絶縁分離する埋込絶縁層を形成するための凹部を有するレジストパターン14を形成したのち、スパッタリング法によって、全面に厚さが、例えば、0.5 $\mu$ mのSiO<sub>2</sub>膜15を堆積させて、凹部に堆積したSiO<sub>2</sub>膜を埋込絶縁層16とする。

**【0028】****図2(c) 参照**

次いで、レジストパターン14を除去して、その上に堆積したSiO<sub>2</sub>膜15を同時にリフトオフしたのち、再び、全面にレジストを塗布し、露光・現像することによって、信号用のスルービア及び接地用のビアを絶縁する埋込絶縁層を形成するための凹部18を有するレジストパターン17を形成したのち、レジストパターン17をマスクとして下部ベタ電極層12の露出部をエッチング除去することによって、凹部18に囲まれた信号用のスルービア及び接地用のビアの一部を形成する。

**【0029】****図2(d) 参照**

次いで、再び、スパッタリング法によって、全面に厚さが、例えば、0.8 $\mu$ mのSiO<sub>2</sub>膜19を堆積させて、凹部18に堆積したSiO<sub>2</sub>膜をスルービア及びビアを絶縁分離する埋込絶縁層20とする。

**【0030】****図3(e) 参照**

次いで、レジストパターン17を除去して、その上に堆積したSiO<sub>2</sub>膜19を同時にリフトオフして埋込絶縁層20を残存させる。

**【0031】****図3(f) 参照**

次いで、全面に、ゾル・ゲル法を用いて(Ba, Sr)TiO<sub>3</sub>、即ち、BSTからなる高誘電率膜21を形成する。

この高誘電率膜21の製造工程としては、Sr, Ba, Tiの各アルコキシドを混合した混合溶液をスピコート法によって、例えば、2000rpmで30秒間塗布したのち、例えば、120で10分間乾燥させ、次いで、300で10分間の仮焼成を行い、この工程を、例えば、4回繰り返したのち、例えば、700の高温の酸素雰囲気中で60分間本焼成を行うことによってSr, Ba, Tiをペロブスカイト酸化物として結晶化させることによって、例えば、全体の厚さが400nmのBST膜とする。

因に、この様に形成したBST膜の比誘電率は500であり、また、損失は2%以下であった。

**【0032】****図3(g) 参照**

次いで、NH<sub>4</sub>F:HF=6:1のバッファードフッ酸を用いてエッチングバックすることによって、埋込絶縁層16及び埋込絶縁層20の頂部が露出するまで高誘電体膜21をエッチング除去する。

**【0033】**

## 図 3 ( h ) 参照

次いで、全面にレジストを塗布し、露光・現像することによって、埋込絶縁層 1 6 及び埋込絶縁層 2 0 の内端部に一致する開口、即ち、スルービア及びビアに対応する開口を有するレジストパターン 2 2 を設け、このレジストパターン 2 2 をマスクとして露出している高誘電体膜 2 1 を  $\text{NH}_4\text{F}:\text{HF}=6:1$  のバッファードフッ酸を用いてエッチングすることによってビアホールとなる凹部 2 3 を形成する。

【 0 0 3 4 】

## 図 4 ( i ) 参照

次いで、レジストパターン 2 2 を除去したのち、再び、スパッタリング法を用いて厚さが、例えば、 $0.1\text{ }\mu\text{m}$  の  $\text{Ti}$  膜と  $0.2\text{ }\mu\text{m}$  の  $\text{Pt}$  膜を順次堆積させることによって凹部 2 3 を埋め込む上部ベタ電極層 2 4 を形成する。

【 0 0 3 5 】

## 図 4 ( j ) 参照

次いで、再び、全面にレジストを塗布し、露光・現像することによって、埋込絶縁層 1 6 及び信号用スルービアを形成するための埋込絶縁層 2 0 の頂部に一致する開口を有するレジストパターン 2 5 を設け、このレジストパターン 2 5 をマスクとして露出している上部ベタ電極層 2 4 を選択的にエッチング除去して凹部 2 6 を形成する。

【 0 0 3 6 】

## 図 4 ( k ) 参照

次いで、レジストパターン 2 5 を除去したのち、全面にポリイミド樹脂を塗布し、加熱硬化することによって厚さが、例えば、 $10\text{ }\mu\text{m}$  のポリイミド層 2 7 を形成し、次いで、再び、全面にレジストを塗布し、露光・現像することによって、各スルービア及び各ビアに対応する開口を有するレジストパターン 2 8 を設け、このレジストパターン 2 8 をマスクとして露出しているポリイミド層 2 7 を選択的にエッチング除去する。

【 0 0 3 7 】

## 図 4 ( l ) 参照

次いで、レジストパターン 2 8 を除去したのち、再び、スパッタリング法を用いて厚さが、例えば、 $0.05\text{ }\mu\text{m}$  の  $\text{Cr}$  膜、 $2\text{ }\mu\text{m}$  の  $\text{Ni}$  膜、と  $0.2\text{ }\mu\text{m}$  の  $\text{Au}$  膜を順次堆積させ、次いで、通常の写真エッチング工程によってスルービアに接続する電極パッド 3 0 , 3 2 を形成するとともに、ビアに接続する電極パッド 2 9 , 3 1 を形成する。

【 0 0 3 8 】

## 図 5 ( m ) 参照

次いで、エキシマレーザを用いてサファイア基板 1 1 の裏面からレーザ光 3 3 を照射することによって、サファイア基板 1 1 の界面側のポリイミド層 1 2 を蒸発させるレーザアブレーションによってサファイア基板 1 1 との接着力を低下させる。

【 0 0 3 9 】

## 図 5 ( n ) 参照

次いで、フィルム状コンデンサ積層体をサファイア基板 1 1 から剥離する。

【 0 0 4 0 】

## 図 5 ( o ) 参照

次いで、プラズマエッチング法を用いて、サファイア基板 1 1 に接していたポリイミド層 1 2 を選択的に除去する。

即ち、ポリイミド層 1 2 は、 $700^\circ\text{C}$  の高温状態に約 1 時間晒され、部分的に炭化させているため、保護絶縁層として不適当になっているためである。

【 0 0 4 1 】

## 図 5 ( p ) 参照

次いで、図 4 ( k ) ~ 図 4 ( l ) と同様の工程を繰り返すことによって、ポリイミド層 3 4 を介してスルービアに接続する電極パッド 3 6 , 3 8 を形成するとともに、ビアに接続する電極パッド 3 5 , 3 7 を形成することによって、フィルム状コンデンサの基本構成が完成する。

## 【 0 0 4 2 】

図 6 参照

図 6 は、上記の工程によって形成したフィルム状コンデンサを用いた実装構造の概略的断面図であり、L S I チップ 4 0 の接地端子 4 1 は、フィルム状コンデンサ 3 9 に設けた電極パッド 3 5 及び電極パッド 2 9 を介して実装回路基板 4 5 に設けた接地ライン 4 7 に接続され、一方、L S I チップ 4 0 の電源端子 4 2 は電極パッド 3 7 及び電極パッド 3 1 を介して実装回路基板 4 5 に設けた電源ライン 4 6 に接続され、デカップリングコンデンサとして作用することになる。

## 【 0 0 4 3 】

また、L S I チップ 4 0 に設けた信号端子 4 3 , 4 4 は、それぞれ絶縁されたスルービアに接続する電極パッド 3 6 及び電極パッド 3 0、或いは、電極パッド 3 8 及び電極パッド 3 2 を介して信号ライン 4 8 , 4 9 に接続される。

## 【 0 0 4 4 】

この様に、本発明の第 1 の実施の形態においては、表面が平滑な無垢の基板を用い、半導体製造プロセスを利用してフィルム状コンデンサを形成しているので、高密度のスルービアを有する低欠陥のフィルム状コンデンサを精度良く且つ再現性良く製造することが可能になる。

## 【 0 0 4 5 】

次に、図 7 を参照して、本発明の第 2 の実施の形態を説明するが、フィルム状コンデンサ積層構造自体は上記の第 1 の実施の形態と全く同様であるので、同様の部分の説明は省略する。

図 7 ( a ) 参照

まず、ガラス基板 5 1 の周辺部にのみ C r 密着層 5 2 を選択的に設けたのち、全面にポリイミド樹脂を塗布し、加熱硬化させることによって厚さが 1 0  $\mu$  m のポリイミド層 5 3 を形成し、以降は、上記の第 1 の実施の形態と全く同様の工程で電極パッド 2 9 ~ 3 2 までを形成する。

なお、この場合、C r 密着層 5 2 は、レジストマスクを用いて選択的に堆積させても良く、或いは、全面に C r 膜を堆積させたのち、中央部を選択的にエッチング除去しても良いものである。

## 【 0 0 4 6 】

図 7 ( b ) 参照

次いで、ガラス基板 5 1 の裏面或いはフィルム状コンデンサ側から Y A G レーザ或いは C O<sub>2</sub> レーザを用いて C r 密着層 5 2 の内端部近傍にのみレーザ光 5 4 を照射して、照射部のフィルム状コンデンサ積層構造を蒸発させて太い破線の外側の周辺部が樹脂層のみとなる構成にする。

## 【 0 0 4 7 】

図 7 ( c ) 参照

次いで、フィルム状コンデンサ積層構造をガラス基板 5 1 から剥離する。

この場合、ガラス基板 5 1 とポリイミド層 5 3 との接着力は弱いため、C r 密着層 5 2 と密着しているポリイミド層 5 3 が切り取られるようにレーザスクライプを行うことによって、容易に剥離させることが可能になる。

## 【 0 0 4 8 】

以降は、ポリイミド層 5 3 を除去したのち、図 5 ( o ) ~ ( p ) の工程を行うことによって、上記の第 1 の実施の形態と同様の構造のフィルム状コンデンサを製造することができる。

## 【 0 0 4 9 】

この様に C r 等の密着性改善層を用いることにより、基板とポリイミド層等の絶縁層として、密着性が良好でない組合せを用いた場合に適用できるものであり、基板及び剥離用絶縁層の材料の選択の幅を拡げることができる。

## 【 0 0 5 0 】

次に、図 8 を参照して、本発明の第 3 の実施の形態を説明するが、フィルム状コンデンサ積層構造の製造方法自体は上記の第 1 の実施の形態と全く同様であるので、説明を省略する。

図 8 参照

この第 3 の実施の形態においては、基板として K B r 基板 6 1 を用いたものであり、この K B r 基板 6 1 上に上記の第 1 の実施の形態と同様の積層構造を形成する。

【 0 0 5 1 】

次いで、フィルム状コンデンサ積層構造を設けた K B r 基板 6 1 を、処理槽 6 2 内に収容した水 6 3 に浸漬し、K B r 基板 5 1 を水 6 3 に溶解することによって K B r 基板 6 1 を選択的に除去するものである。

【 0 0 5 2 】

以降は、ポリイミド層 1 2 を除去したのち、図 5 ( o ) ~ ( p ) の工程を行うことによって、上記の第 1 の実施の形態と同様の構造のフィルム状コンデンサを製造することができる。

【 0 0 5 3 】

この様に、第 3 の実施の形態においては、水溶性の基板を用いることによって、エキシマレーザ等を用いることなく基板の剥離が可能になる。

【 0 0 5 4 】

次に、図 9 を参照して、本発明の第 4 の実施の形態を説明するが、フィルム状コンデンサ積層構造の製造方法自体は上記の第 1 の実施の形態と全く同様であるので、説明を省略する。

図 9 参照

この第 4 の実施の形態においては、サファイア基板 1 上に K B r 層 6 4 を介してフィルム状コンデンサ積層構造を形成する。

【 0 0 5 5 】

次いで、K B r 層 6 4 を介してフィルム状コンデンサ積層構造を設けたサファイア基板 1 1 を、処理槽 6 2 内に収容した水 6 3 に浸漬し、K B r 層 6 4 を水 6 3 に溶解することによって K B r 層 6 4 を選択的に除去して、フィルム状コンデンサ積層構造をサファイア基板 1 1 から剥離する。

【 0 0 5 6 】

以降は、ポリイミド層 1 2 を除去したのち、図 5 ( o ) ~ ( p ) の工程を行うことによって、上記の第 1 の実施の形態と同様の構造のフィルム状コンデンサを製造することができる。

【 0 0 5 7 】

この様に、第 4 の実施の形態においては、水溶性の剥離層を用いることによって、エキシマレーザ等を用いることなく基板の剥離が可能になり、且つ、上記の第 3 の実施の形態のように基板自体が溶解消失することがないので、製造コストが上昇することがない。

【 0 0 5 8 】

次に、図 1 0 を参照して、本発明の第 5 の実施の形態を説明する。

図 1 0 ( a ) 参照

まず、サファイア基板 1 1 上に厚さ  $10\ \mu\text{m}$  のポリイミド層 1 2 を形成したのち、全面にスパッタリング法を用いて厚さが、例えば、 $0.05\ \mu\text{m}$  の C r 膜、 $2\ \mu\text{m}$  の N i 膜、と  $0.2\ \mu\text{m}$  の A u 膜を順次堆積させ、次いで、通常の写真エッチング工程によって信号用スルービアに接続するための電極パッド 3 6 , 3 8 、電源用ビアに接続するための電極パッド 3 7 、及び、接地用ビアに接続するための電極パッド 3 5 を形成する。

【 0 0 5 9 】

次いで、再び、全面にポリイミド樹脂を塗布し、加熱硬化することによって厚さが、例えば、 $10\ \mu\text{m}$  のポリイミド層 6 5 を形成したのち、再び、通常の写真エッチング工程によって電極パッド 3 5 ~ 3 8 に達するビアホールを形成し、次いで、全面に、スパッタリング法を用いて厚さが、例えば、 $0.1\ \mu\text{m}$  の T i 膜と  $0.2\ \mu\text{m}$  の P t 膜を順次堆積さ



せることによってビアホールを埋め込む下部ベタ電極層 13 を形成する。

【0060】

図10(b)参照

以降は、図2(a)～図4(1)と同様の工程を行うことによって、フィルム状コンデンサ積層構造を形成するが、この場合には、誘電体膜としてゾル・ゲル法によって形成したBST膜からなる高誘電体膜の代わりにスパッタリング法を用いてSiN膜66を形成したものである。

この様にして、フィルム状コンデンサ積層構造を形成したのち、サファイア基板11の裏面からエキシマレーザを用いてレーザ光33を照射し、サファイア基板11とポリイミド層12との密着性を低下させる。

【0061】

図10(c)参照

次いで、フィルム状コンデンサ積層構造をポリイミド層12ごと、サファイア基板11から剥離する。

【0062】

図10(d)参照

次いで、ポリイミド層12を化学的にエッチング除去することによって、フィルム状コンデンサが得られる。

【0063】

この本発明の第5の実施の形態においては、全ての成膜工程及びパターニング工程を硬質のサファイア基板11上において行っているため、パターン精度が向上する。

【0064】

以上、本発明の各実施の形態を説明してきたが、本発明は各実施の形態に記載した構成及び条件に限られるものではなく、各種の変更が可能である。

例えば、本発明の第1乃至第4の実施の形態においては、高誘電体膜としてBST膜を用いているが、BST膜に限られるものではなく、SBT( $\text{SrBi}_2\text{Ta}_2\text{O}_9$ )膜等のBi系層状ペロブスカイト酸化物やPZT膜等の他の高誘電率膜を用いても良いものである。

【0065】

また、このような高誘電体膜の製造方法としては、ゾル・ゲル法に限られるものではなく、スパッタリング法やMOVPE法、或いは、MOD(Metal Organic Decomposition)法を用いても良いものである。

【0066】

例えば、高誘電体膜をスパッタリング法によって形成する場合には、(Pb,Zr)TiO<sub>3</sub>ターゲットを用い、例えば、Ar:O<sub>2</sub> = 36sccm:4sccmを流し、成膜室の真空度を0.5Paとした状態で、120Wの電力を印加し、10時間かけて厚さ200nmのPZT膜を形成すれば良い。

【0067】

また、上記の各実施の形態においては、フィルム状コンデンサのベース層としてポリイミド樹脂を用いているが、ポリイミド樹脂に限られるものではなく、エポキシ樹脂やフッ化ポリイミド樹脂等の他の有機物絶縁層を用いても良いものである。

【0068】

また、上記の第5の実施の形態においては、誘電体膜を形成する前にフィルム状コンデンサのベース層の一部を構成するポリイミド層65を形成しているため、誘電体膜として低温で形成が可能なSiN膜を用いているが、必ずしも、SiN膜に限られるものではなく、本焼成工程において高温雰囲気中に晒され多少劣化するもの、高誘電体膜を用いても良いものであり、その場合にはポリイミド樹脂の代わりにより耐熱性の高い絶縁膜を用いることが望ましい。

【0069】

また、上記の各実施の形態においては、フィルム状コンデンサを構成する対向電極を上部

ベタ電極層と下部ベタ電極層の２層構造で構成し、単層構造のコンデンサとしているが、ベタ電極層を３層以上設けて複数層構造のコンデンサとしても良いものである。

【 0 0 7 0 】

また、上記の第３及び第４の基板或いは剥離層を化学的に除去するために、K B r 基板或いはK B r 層を用いているが、K B r に限られるものではなく、M g O 等の酸化物、或いは、C u 等の金属を用いても良いものであり、M g O 等の酸化物を用いた場合には溶解液として酸性水溶液或いはアンモニア水溶液を用いれば良く、また、C u 等の金属を用いた場合には、酸性水溶液或いはアルカリ水溶液を用いれば良い。

【 0 0 7 1 】

【 発 明 の 効 果 】

本発明によれば、表面が平滑な無垢基板を用いるとともに、半導体製造技術を用いてデカップリング用のフィルム状コンデンサを作製しているので、高密度のスルーピアを有する低欠陥のフィルム状コンデンサとすることができ、それによって等価直列インダクタンス（E S L）を小さくすることができるので、デジタル L S I の高速化に伴う高周波領域における電源電圧変動及び高周波ノイズを効果的に低減することができ、ひいては、高速デジタル L S I の動作の信頼性の向上、或いは、高密度実装化に寄与するところが多い。