

公告本

385441

申請日期	87. 3. 17
案 號	87103944
類 別	G11C 1/30

A4
C4

385441

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	於備用模式具有較少功率消耗之同步半導體記憶裝置
	英 文	"SYNCHRONOUS SEMICONDUCTOR MEMORY DEVICE WITH LESS POWER CONSUMED IN A STANDBY MODE"
二、發明 人	姓 名	張賢淳
	國 籍	韓國
	住、居所	大韓民國漢城市瑞草區方背洞三湖Apt.2棟506號
三、申請人	姓 名 (名稱)	韓商三星電子股份有限公司
	國 籍	韓國
	住、居所 (事務所)	大韓民國京畿道水原市八達區梅灘洞416番地
	代 表 人 姓 名	尹鍾龍

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

韓國

1997年11月7日 97-58797

☐有 ☒無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

發明背景

1.發明範圍

本發明係關於一同步半導體記憶裝置，且更特別的係關於在一備用模式操作之中消耗較少功率之一同步半導體記憶裝置。

2.相關技藝說明

當一系統之效能改良時，增加了對大容量記憶體之需求，所以廣泛地使用了具備一大容量之動態隨機存取記憶體(DRAM)半導體裝置，該DRAM半導體裝置係逐漸地由同步DRAM半導體裝置所取代，當一同步DRAM半導體裝置具備一較大的頻寬以及比一非同步DRAM半導體裝置更容易控制係值得系統設計者注意的，非同步DRAM半導體裝置在一備用模式中消耗更多模式，在使用一電池當作電源供應源之一系統之案例中，若在備用模式中消耗較多功率，則減少了該系統之操作時間；爲了減少在備用模式中之電流消耗，藉著一時脈致能信號CKE而使用了一電源中斷模式，然而此方法亦有幾個問題其中在記憶體存取的時機時延遲一1-時脈時間而且用於控制一同步DRAM半導體裝置之記憶體控制器之腳數會增加；所以一些系統設計者從同步DRAM半導體裝置之使用退縮，爲了鼓勵系統設計者去使用同步DRAM半導體裝置，開發一種可以有效地在備用模式中減少功率消耗之同步DRAM半導體裝置。

發明概要

本發明之一目的在於不藉由一時脈致能信號使用一電源

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

訂

五、發明說明(2)

中斷模式，於一備用模式中提供減少電源消耗之一同步半導體記憶裝置。

本發明之另一個目的在於藉一時脈致能信號使用一電源中斷模式時，使用一外部控制信號之一備用模式下提供一減少功率消耗之一同步記憶體裝置。

爲了完成本發明之該目的，該同步半導體記憶裝置包括一信號檢測器以一輸入緩衝器。

該信號檢測器檢測一外部輸入控制信號以及產生一電源中斷信號。

該輸入緩衝器在起動該電源中斷信號時輸出一外部輸入信號，當不啓動該電源中斷信號時該輸入緩衝器不作輸入緩衝器之數目至少爲一。

如本發明之另一方面，該同步半導體裝置包括一信號檢測器，一電源中斷模式控制器，一邏輯閘極以及一輸入緩衝器。

該信號檢測器檢測一外部輸入控制信號且產生一電源中斷信號。

該電源中斷模式控制器對應於一時脈致能信號產生了一電源中斷模式信號。

若不起動該電源中斷信號或電源中斷模式信號者之一時該邏輯閘極產生一起動信號，而若起動該電源中斷信號與電源中斷模式信號時，產生一不起動信號。

當不起動從該邏輯閘輸出之信號時作動之該輸入緩衝器令輸出一外部輸入信號，當起從該邏輯閘輸出之信號時，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

該輸入緩衝器不作動，該輸入緩衝器數目至少為一。

如本發明，在一備用模式下該同步半導體裝置之功率消耗可減少。

簡單圖式說明

本發明之以上目的與優點藉著詳述較佳具體實例，參考附圖將變得更為明顯，其中

圖1係如本發明之一具體實例一同步DRAM半導體裝置之一概略方塊圖。

圖2係如本發明之另一具體實例一同步DRAM半導體裝置之一概略方塊圖。

圖3係圖2中顯示之一信號檢測器之一電路圖。

而圖4係圖2中顯示之一輸入緩衝器之一電路圖。

較佳具體實例敘述

此後本發明之較佳具體實例將參考附圖做詳細之說明。

圖1係如本發明一具體實例之一同步DRAM之一概略方塊圖，參考圖1，如本發明之一具體實例包括一信號檢測器11，一輸入緩衝器21以及一反向器31。

該信號檢測器11輸入一外部應用控制信號CS以及產生一電源中斷信號PPD，該控制信號CS係外部應用且係用於選擇複數的同步DRAM半導體裝置之一的一晶片選擇信號，在複數同步DRAM半導體裝置之中，只有接收該啟動控制信號CS之該半導體裝置開始作動，而那些接收該不啟動控制信號CS之半導體進入一備用模式。

該信號檢測器11檢測是否起動或不起動該控制信號CS，

五、發明說明(4)

例如，當該控制信號CS係邏輯"0"時為在一活躍狀態下，當信號CS為邏輯"1"時係在一不活躍狀態下，若起動控制信號CS，則不啟動該信號檢測器11之電源中斷信號PPD，若不起動該控制信號CS，該同步DRAM半導體裝置1正常地操作，若不起動該控制信號CS，該同步DRAM半導體裝置1進入一備用模式。

藉由該反向器31反向該電源中斷信號PPD，應用該反向器31之輸出應用該輸入緩衝器21。

若起動該電源中斷信號PPD，不啟動該輸入緩衝器21以停止作動，若不起動該電源中斷信號PPD，起動該輸入緩衝器21以開始作動，換言之，若不起動該控制信號CS，起動該電源中斷信號PPD，以及因此不起動該輸入緩衝器21以致緩衝器停止作動，若不啟動該控制信號CS，該同步DRAM半導體裝置1進入一備用模式；若該同步DRAM半導體裝置1係在一備用模式下，該輸入緩衝器21不作動，因而減少了電流消耗。

該輸入緩衝器21可複數地組成，該輸入緩衝器21愈多，在該同步DRAM半導體裝置1之一備用模式下減少之電流更多。

如上述，該輸入緩衝器21之操作可用該控制信號CS來加以控制，換言之，該同步DRAM半導體裝置1之備用模式之電流可用該控制信號來減少。

為了在一備用模式之間減少電流消耗量，在使用一時脈致能信號CKE之案例下，用以控制該同步DRAM半導體裝置

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紙

五、發明說明(5)

1之一記憶體控制器之腳數會增加，同時在第一存取時間更會延遲1-時脈時間，如此問題令使用該控制信號來加以解決。

圖2係如本發明之另一具體實例一同步DRAM半導體裝置101之一概略方塊圖；參考圖2，如本發明之另一具體實例之該同步DRAM半導體裝置101包括一電源中斷模式控制器111，一信號檢出器121，一邏輯閘131以及輸入緩衝器141。

該電源中斷模式控制器111從外界輸入一時脈致能信號CKE且產生一電源中斷模式信號PCKE而接著傳送至該邏輯閘131，該電源中斷模式控制器111在啓時脈致能信號CKE時，減少了該同步DRAM半導體裝置101之備用電流。

該信號檢出器121輸出一外部應用控制信號CS以及產生一電源中斷信號PPD接著傳送到該邏輯閘131，該控制信號CS係一外部應用晶片選擇信號以選擇複數的同步DRAM半導體裝置中的一個，在複數的同步DRAM半導體裝置之中，僅接收該起動晶片選擇信號CS的同步半導體裝置開始作動，而接收該不起動晶片選信號進入一備用模式，在一備用模式之中保持該晶片選擇信號CS於一惰態。

該信號121檢測起動或不起動該控制信號CS，例如當該控制信號CS係邏輯'0'時，控制信號CS在一活化狀態，當信號CS係邏輯'1'時，信號CS在一惰態之下，若該控制信號CS係一邏輯'0'，起動該信號檢測器121之該電源中斷信號PPD成爲一邏輯'1'，若該控制信號CS爲邏輯'1'，不起動該信號檢測器121之電源中斷信號PPD當作一邏輯'0'，若起動控制信

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明(6)

號CS，該同步DRAM半導體裝置正常地操作，若不起動該控制信號CS，該同步DRAM半導體裝置101進入一備用模式。

該邏輯閘131係用來接收該電源中斷模式PCKE與電源中斷信號PPD之一NAND閘，若該電源中斷模式信號PCKE與電源中斷信號PPD兩者之一為一邏輯'0'，該邏輯閘131輸出一邏輯'1'，換言之，起動該邏輯閘131之輸出信號PBPUB，若該電源中斷模式信號PCKE以及電源中斷信號PPD兩者皆為邏輯'1'，該邏輯閘131輸出一邏輯'0'，換言之不起動該邏輯閘131之輸出信號PBPUB。

若該邏輯閘131之輸出信號PBPUB變成邏輯'1'而因此無論該電源中斷控制器111之邏輯狀態為何皆不起動該輸入緩衝器141以停止作動，所以由該輸入緩衝器141所消耗的電流量係非常小。

該同步DRAM半導體裝置101可包括複數地輸入緩衝器141，在此案例中，該邏輯閘131之輸出信號PBPUB係共同地輸入至任一個輸入緩衝器141，因此在該同步DRAM半導體裝置101之備用模式之中，相較於傳統的案例，更多數目的輸入緩衝器141，可減少更多由同步DRAM半導體裝置101所消耗之電流。

如本述本發明另一具體實例，使用該時脈致能信號CKE或該控制信號CS，可減少該同步DRAM半導體裝置101之備用電流。

圖3係顯示於圖2中該信號檢測器121之一電路圖，顯示於圖1中該信號檢測器11與顯示於圖2中之信號檢測器121係具備相同的構造，參考圖3，該信號檢測器121係由一微分放

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(7)

大器 201 與一驅動器 203 所組成。

該微分放大器 201 比較具有一預定參考電壓 V_{ref} 之控制信號 CS 而放大該比較結果，該微分放大器 201 係由一具備應用該控制信號 CS 之閘極之一第一 NMOS 電晶體 211，一具備應用該參考電壓 V_{ref} 之一閘極之一第二 NMOS 電晶體 212，一連接在一接地埠 GND 與第一和第二 NMOS 電晶體 211 與 212 之間的電阻 221，一具備連接該第一 NMOS 電晶體 211 之集極的第一 PMOS 電晶體 231 以及應用一電源電壓 V_{cc} 之一第二 NMOS 電晶體 232，與一第二 NMOS 電晶體 232 具備一閘極和一集極共同地連接至該第二 NMOS 電晶體 212 之集極和連接至第一 PMOS 電晶體 231 之閘極，以及一源極應用該電源供應電壓 V_{cc} 。

在該微分放大器 201 之中，若該控制信號 CS 係高於該參考電壓 V_{ref} ，比第二 NMOS 電晶體 212 將該第一 NMOS 電晶體 211 打開至一最大程度，所以該微分放大器 201 之輸出信號 DA 減少至該接地埠 GND 之位準，即一邏輯 '0'，第該控制信號 CS 係低於該參考電壓 V_{ref} ，較第一 NMOS 電晶體 211 將該第二 NMOS 電晶體 212 至一最大程度，接著既然第二 NMOS 212 電晶體之集極之電壓減少至該接地埠 GND 之一位準，將第一和第二 PMOS 電晶體 231 和 232 兩者打開，若將該第一和第二 PMOS 電晶體 231 和 232 兩者皆打開，應用該電源供給電壓 V_{cc} 至該第一 NMOS 電晶體 211 之集極，所以該微分放大器 201 之輸出信號 DA 增加至該電源供應電壓 V_{cc} 之一位準即一邏輯 '1'。

五、發明說明(8)

該驅動器 203 增加從該微分放大器 201 來之該信號輸出之驅動能力，該驅動器 203 係用於輸出一邏輯 '1' 之一傳送系統，若從該微分放大器 201 之信號 DA 輸出係一邏輯 '1' 以及若從該微分放大器 201 來之信號 DA 輸出係一邏輯 '0'，該驅動器 203 係由具備應用從微分放大器 201 來的信號 DA 輸出之一 NMOS 電晶體 213 以及一接地源極應用該電源供給電壓 Vcc 之一源極以及一接地閘極，與用以反向應用至該 PMOS 電晶體 233 之集極之一反向器 241。

若該微分放大器 201 之該輸出信號 DA 係一邏輯 '1' 時，打開該 NMOS 電晶體 213，若打該 NMOS 電晶體 213，既然該反向器 241 之該輸入埠 GND 減少至該接地埠之一位準，該驅動器 203 的輸出變成一邏輯 '1'，該 PMOS 電晶體 233 之驅動能力遠比 NMOS 電晶體 213 之能力為小，若該微分放大器 201 之輸出信號 DA 為邏輯 '0' 時，關掉該 NMOS 電晶體，既然該 PMOS 電晶體 233 總是打開，若關掉該 NMOS 電晶體 213 時，該反向器 241 之輸入埠增加至該電源供應電壓 Vcc 之位準，所以該驅動器 203 之輸出變成一邏輯 '0'。

圖 4 係顯示於圖 2 中該輸入緩衝器 141 之一電路圖，顯示於圖 1 中該輸入緩衝器 21 之構成與顯示於圖 2 中之該輸入緩衝器 141 係相同的，參考圖 4，該輸入緩衝器 141 係由一微分放大器 301 與一緩衝器 303 所組成。

該微分放大器 301 包括具備應用一外部信號 PX 之一閘極的第一 NMOS 電晶體 311，一第二 NMOS 放大器 312 具備一應用參考電壓 Vref 之閘極，一連接第一與第二 NMOS 電晶體 311 與

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(9)

312和該接地埠GND之間的電阻321，具備連接至第一NMOS電晶體311之集極的一個集極之電晶體311，具備一閘極與一集極共同地連接至該第二NMOS電晶體312之集極與連接至該PMOS電晶體331之閘極，以及一第三PMOS電晶體333具一集極共同地連接至第一和第二PMOS電晶體331和332之源極，一閘極應用至顯示於圖2中該第一邏輯閘131之輸出信號PBPUB，以及一源極應用該電源供給電壓Vcc。

在該極微分放大器301之中，若該邏輯閘131之輸出信號PBPUB為一邏輯'0'時，打開該三PMOS電晶體333，因此該微分放大器301作動，然而若該邏輯閘131之輸出信號PBPUB為一邏輯'1'時，關閉該第三PMOS電晶體333，因此該微分放大器301不作動。

如今當該邏輯閘131之輸出信號PBPUB係邏輯'0'時該微分放大器301之操作將敘述在該案例中，若該外部信號PX大於該參考電壓 V_{ref} 時，比第二NMOS電晶體312打開該第一NMOS電晶體311至一最大限度，所以，該微分放大器301之輸出減少至該接地埠之位準即一邏輯'0'，若該外部信號PX低於該參考電壓 V_{ref} ，比該第一NMOS電晶體311打開該第二NMOS電晶體312至一較大程度，接著既然該第二NMOS電晶體312之集極之電壓減少至一接地埠GND之一位準，將該第一和第二PMOS電晶體331和332兩者皆打開，若將該第一和第二PMOS電晶體331和332兩者皆打開，電源供應電壓Vcc將施加於第一NMOS電晶體311之汲極，所以該微分放大器301之輸出增進至該電源供給電壓Vcc之一位準即一邏輯'1'。

五、發明說明(10)

該緩衝器 303 由一 NMOS 電晶體 313，以及第一和第二反向器 341 和 342 所組成，在該緩衝器 303 中若該邏輯閘 131 之輸出信號 PBPUB 係一邏輯 '1'，打開該 NMOS 電晶體 313，若打開 NMOS 電晶體 313，既然該第一反向器 341 之輸入埠減少至接地埠 GND 之位準，該無論該微分放大器 301 之輸出為何輸出，緩衝器 141 之輸出 141 變成一邏輯 '0'，如上述該 NMOS 電晶體 313 當該微分放大器 301 不操作時使該反向器 341 之輸入明確地變成一邏輯 '0'，所以防止該漏電流在該反向器 341 處產生。

若該邏輯閘 131 之輸出信號 PBPUB 變成一邏輯 '0' 時，關掉該 NMOS 電晶體 313，所以該緩衝器 303 根據該微分放大器 301 之輸出來作動，換言之若該微分放大器 301 之輸出係一邏輯 '1'，該緩衝器 303 之輸出變成一邏輯 '1'，若該微分放大器 301 之輸出係一邏輯 '0'，該緩衝器 303 之輸出會變成邏輯 '0'。

通常該控制信號 PX 係一電晶體電晶體邏輯 (TTL) 位準之一電壓信號，然而該第二反向器 342 之輸出係一 CMOS (補足金屬氧化物半導體) 位準，在此一方式下，該輸入緩衝器 141 轉換一 TTL 位準信號成為一 CMOS 位準信號。

如圖 4 中所示，若該邏輯閘 131 之輸出信號 PBPUS 係一邏輯 '1'，該輸入緩衝器 141 之輸出變成一邏輯 '0'，以致該輸入緩衝器 141 不作動，所以由該輸入緩衝器 141 所消耗電流變得大大地減少。

如上述本發明之該同步 DRAM 半導體裝置 101 之備用電流

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

綴

五、發明說明 (11)

可用一控制信號 CS 來降低而不使用一時脈致能信號 CKE，既然不使用時脈致能信號 CKE，用來控制該同步 DRAM 半導體裝置 101 之一記憶體控制器之腳位數不增加，不額外在第一存取時間中產生用於一時脈之延遲時間。

本發明並不限於上述的具體實例而許多改良可由一具備一般該技藝中之技藝中之技術在本發明之範疇之內施行。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要（發明之名稱：

於備用模式具有較少功率消耗之同步半導體記憶裝置

一同步半導體記憶裝置包括一信號檢出器，一電源中斷模式控制器，一邏輯閘極以及提供一輸入緩衝器，該信號檢出器檢測一外部地輸入控制信號以及產生一電源中斷信號，該電源中斷模式控制器產生對應於一外部時脈致能信號之一電源中斷信號，若不啓動該電源中斷信號與電源中斷模式信號兩者之一，則該邏輯閘極輸出一起動信號，若中斷信號與電源中斷模式信號兩者皆起動，則輸出一不起動信號，當不啓動該邏輯閘極之邏輯信號時，該輸入緩衝器作動，接著輸出一外部輸入信號，當啓動該邏輯閘極之輸出信號時，該輸入緩衝器不作動；該輸入緩衝器之數目至少有一個。

英文發明摘要（發明之名稱：

SYNCHRONOUS SEMICONDUCTOR MEMORY
DEVICE WITH LESS POWER CONSUMED IN A
STANDBY MODE

A synchronous semiconductor memory device comprises a signal detector, a power-down mode controller, a logic gate and an input buffer is provided. The signal detector detects an externally input control signal and generates a power-down signal. The power-down mode controller generates a power-down signal in response to an external clock enable signal. The logic gate outputs an activated signal if either of the power-down signal and the power-down mode signal is inactivated, and outputs an inactivated signal if both of the power-down signal and the power-down mode signal are activated. The input buffer operates when the output signal of the logic gate is inactivated to then output an externally input signal, and does not operate when the output signal of the logic gate is activated. The number of the input buffer is at least one.

六、申請專利範圍

1. 一同步半導體記憶裝置，包括：

用於檢測一外部輸入控制信號以及產生一電源中斷信號之一信號檢測器；以及

至少一輸入緩衝器，當起動該電源中斷信號時，被操作用來輸出一外部輸入信號，以及當不起動電源中斷信號時不被操作。

2. 如申請專利範圍第1項之該同步半導體記憶裝置，其中該信號檢測器包括：

一微分放大器，以比較該控制信號與一預定參考電壓以及放大該比較結果；與

用以增加該微分放大器之輸出信號之一驅動器。

3. 如申請專利範圍第2項之該同步半導體記憶裝置，其中該驅動器係一傳輸系統用以在若由該微分放大器來之該信號輸出為邏輯'1'時輸出一邏輯'1'，且若從該微分放大器201來之該信號輸出為邏輯'0'時輸出一邏輯'0'。

4. 如申請專利範圍第1項之該同步半導體記憶裝置，其中該控制信號係一晶片選擇信號，用於在複數之同步半導體裝置之中選擇一同步半導體裝置。

5. 如申請專利範圍第1項之該同步半導體記憶裝置，其中該輸入緩衝器包括：

一微分放大器，用於比較該外步輸入信號與對應於一電源中斷信號之一較佳參考電壓，以及放大該比較結果；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

六、申請專利範圍

以及一緩衝器，用於緩衝該微分放大器之輸出信號。

6. 如申請專利範圍第1項之同步半導體記憶裝置，更包括：

一反向器，用於反向該信號檢測器之輸出以及輸出該反向信號至該輸入緩衝器，該反向器位於該信號檢測器與輸入緩衝器之間。

7. 一同步半導體記憶裝置，包括：

一信號檢測器用以檢測從外界輸入之一控制信號，以及

產生一電源中斷信號；一電源中斷模式控制器，用以對應於一外部時脈致能信號而產生一電源中斷信號；

一邏輯閘，用以在不起動該電源中斷信號與電源中斷模式兩者之一下輸出一起動信號，以及在該電源中斷控制信號與該電源中斷模式信號兩者皆起動之下輸出一不起動信號；

至少有一輸入緩衝器，當不起動該邏輯閘之輸出信號時，作動以輸出一外部輸入信號，且當啓動該邏輯閘之輸出信號時不作動。

8. 如申請專利範圍第7項之同步半導體記憶裝置，其中該信號檢測器包括：

一微分放大器，用以比較該控制信號與一預定參考電壓且放大該比較結果；以及

一驅動器，用以增加該微分放大器之輸出信號之一驅動能力。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

9. 如申請專利範圍第8項之同步半導體記憶裝置，其中該驅動器係一傳輸系統用來在由該微分放大器來之信號輸出成為邏輯'1'時輸出一邏輯'1'；若從該微分放大器201來之該信號輸出為邏輯'0'時輸出一邏輯'0'。
10. 如申請專利範圍第11項之該同步半導體記憶裝置，其中該邏輯閘係一NAND閘，用以輸入該信號檢測器之輸出以及該電源中斷模式控制器之輸出。
11. 如申請專利範圍第7項之該同步半導體記憶裝置，其中該控制信號係一晶片選擇信號，用來在在複數個同步半導體裝置之中選擇一個。
12. 如申請專利範圍第7項之該同步半導體記憶裝置，其中該輸入緩衝器包括：
- 一微分放大器，用以比較該外部輸入信號與對應於該電源中斷信號之一較佳參考電壓以及放大該比較結果；
 - 與
 - 一緩衝器用於緩衝該微分放大器之輸出信號。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

385441

圖 1

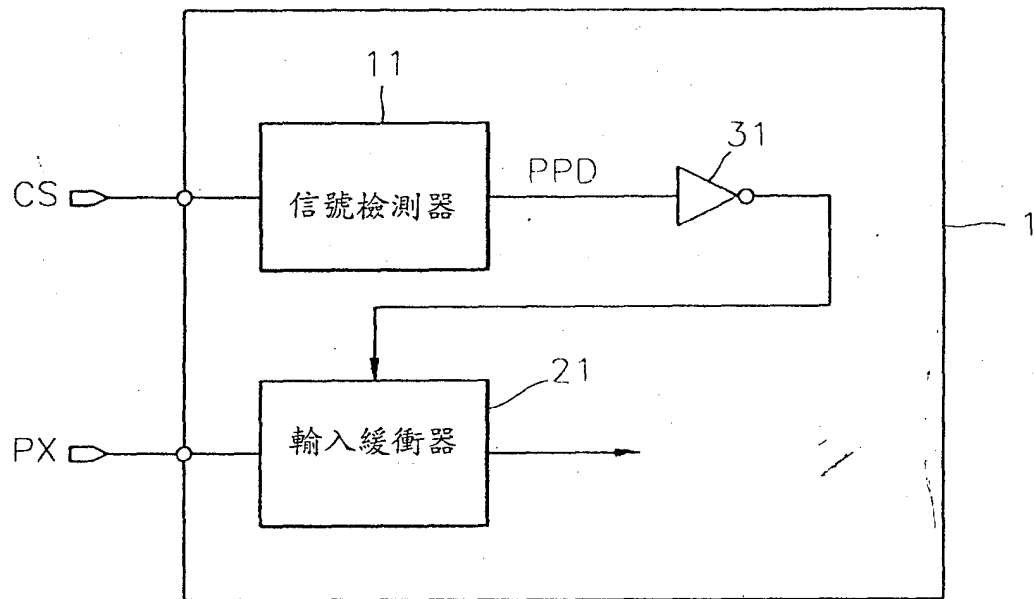


圖 2

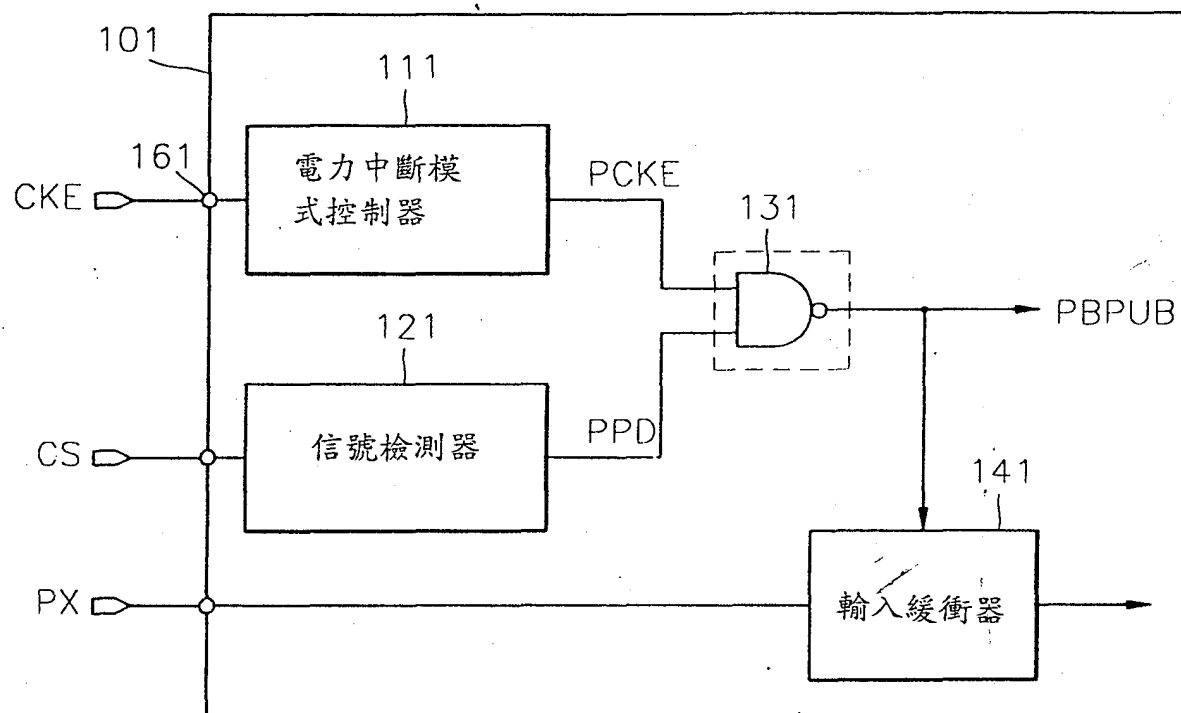


圖 3

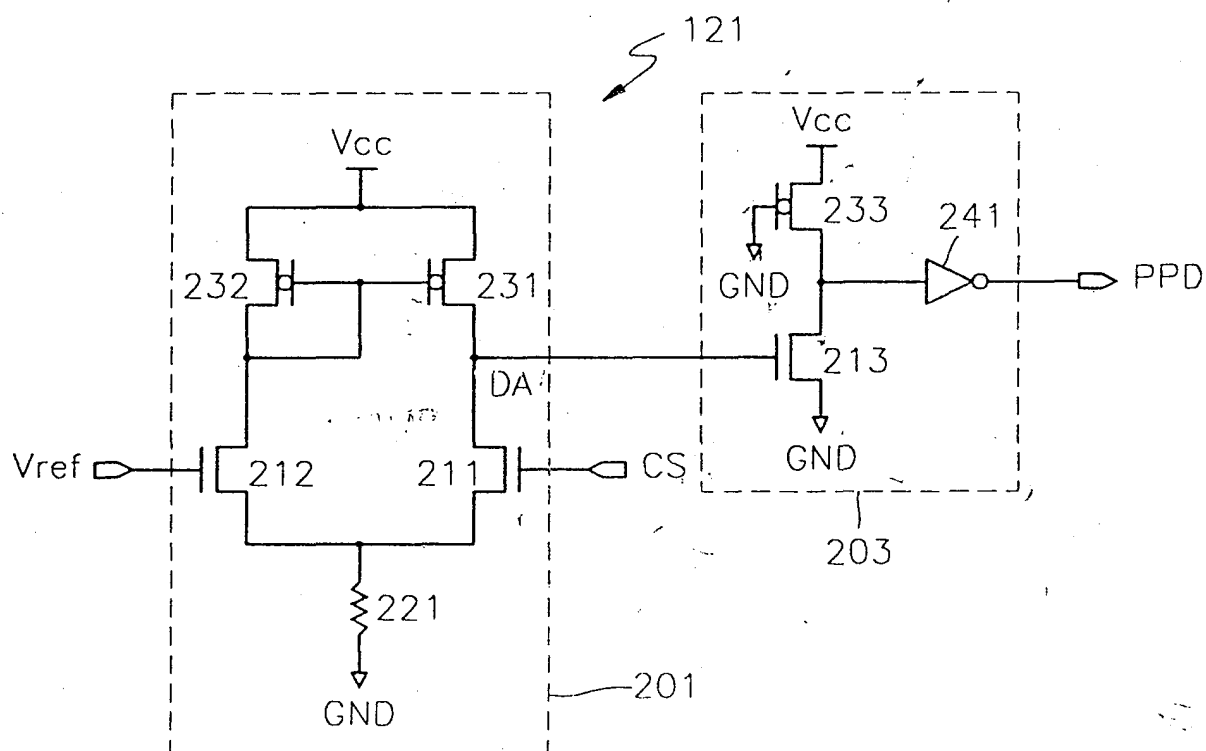


圖 4

