



# (12) 发明专利申请

(10) 申请公布号 CN 118946891 A

(43) 申请公布日 2024. 11. 12

(21) 申请号 202380030518.7

(22) 申请日 2023.01.24

(30) 优先权数据

PCT/JP2022/015752 2022.03.30 JP

(85) PCT国际申请进入国家阶段日

2024.09.25

(86) PCT国际申请的申请数据

PCT/JP2023/001991 2023.01.24

(87) PCT国际申请的公布数据

W02023/188736 JA 2023.10.05

(71) 申请人 三菱电机株式会社

地址 日本东京

(72) 发明人 小林玲仁

(74) 专利代理机构 北京天昊联合知识产权代理有限公司 11112

专利代理师 何立波 张天舒

(51) Int.Cl.

G06F 30/398 (2006.01)

G06F 115/12 (2006.01)

权利要求书8页 说明书41页 附图35页

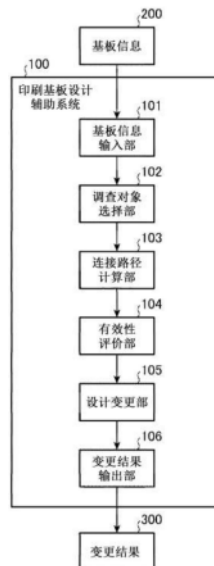
(54) 发明名称

印刷基板的设计辅助系统、设计辅助方法、程序及记录介质

(57) 摘要

设计辅助系统从多个旁路电容器 (C1 ~ C12) 中选择、决定搭载于基板的旁路电容器,该设计辅助系统具有:连接路径计算部 (103),其针对半导体集成电路装置的多个电源端子 (1V) 和多个旁路电容器 (C1 ~ C12) 的一个电极的全部组合,实施从半导体集成电路装置 (1) 的多个电源端子 (1V) 各自所连接的电源配线层的连接位置至多个旁路电容器 (C1 ~ C12) 的一个电极所连接的电源侧配线层的各个连接位置为止的配线路径中的最短距离的计算;以及有效性评价部 (104),其针对多个电源端子的每一者,进行由连接路径计算部 (103) 计算出的与多个旁路电容器 (C1 ~ C12) 各自对应的基板中的配线路径的最短距离的相对比较,将与最短距离示出最小值的配线路径连接的旁路电容器判定为有效,将剩余的旁路电容器判定为无效,在多个旁路电容器 (C1 ~ C12) 中,将判定为有效的旁路电容器判定为对基

板有效,将除此之外的旁路电容器判定为对基板无效。



1. 一种设计辅助系统,其从多个旁路电容器中选择、决定在基板搭载的旁路电容器,在该基板搭载具有多个电源端子及多个接地端子的半导体集成电路装置,能够搭载各自具有一对电极的所述多个旁路电容器,该基板具有:电源配线层,其与所述多个电源端子连接;接地配线层,其与所述多个接地端子连接;电源侧配线层,其与所述多个旁路电容器的一个电极连接;以及接地侧配线层,其与所述多个旁路电容器的另一个电极连接,

该设计辅助系统具有:

连接路径计算部,其针对所述半导体集成电路装置的多个电源端子和所述多个旁路电容器的一个电极的全部组合,实施从所述半导体集成电路装置的多个电源端子各自所连接的所述电源配线层的连接位置至所述多个旁路电容器的一个电极所连接的所述电源侧配线层的各个连接位置为止的配线路径中的最短距离的计算;以及

有效性评价部,其针对所述半导体集成电路装置的多个电源端子的每一者,进行由所述连接路径计算部计算出的与所述多个旁路电容器各自对应的所述基板中的配线路径的最短距离的相对比较,将与最短距离示出最小值的配线路径连接的旁路电容器判定为有效,将剩余的旁路电容器判定为无效,在所述多个旁路电容器中,将判定为所述有效的旁路电容器判定为对所述基板有效,将除此之外的旁路电容器判定为对所述基板无效。

2. 一种设计辅助系统,其从多个旁路电容器中选择、决定在基板搭载的旁路电容器,在该基板搭载具有多个电源端子及多个接地端子的半导体集成电路装置,能够搭载各自具有一对电极的所述多个旁路电容器,该基板具有:电源配线层,其与所述多个电源端子连接;接地配线层,其与所述多个接地端子连接;电源侧配线层,其与所述多个旁路电容器的一个电极连接;以及接地侧配线层,其与所述多个旁路电容器的另一个电极连接,

该设计辅助系统具有:

连接路径计算部,其针对所述半导体集成电路装置的多个电源端子和所述多个旁路电容器的一个电极的全部组合,实施从所述半导体集成电路装置的多个电源端子各自所连接的所述电源配线层的连接位置至所述多个旁路电容器的一个电极所连接的所述电源侧配线层的各个连接位置为止的配线路径中的最短距离的计算,针对所述半导体集成电路装置的多个接地端子和所述多个旁路电容器的另一个电极的全部组合,实施从所述半导体集成电路装置的多个接地端子各自所连接的所述接地配线层的连接位置至所述多个旁路电容器的另一个电极所连接的所述接地侧配线层的各个连接位置为止的配线路径中的最短距离的计算;以及

有效性评价部,其针对所述半导体集成电路装置的多个电源端子及多个接地端子的每一者,进行由所述连接路径计算部计算出的与所述多个旁路电容器各自对应的所述基板中的配线路径的最短距离的相对比较,将与最短距离示出最小值的配线路径连接的旁路电容器判定为有效,将剩余的旁路电容器判定为无效,在所述多个旁路电容器中,将判定为所述有效的旁路电容器判定为对所述基板有效,将除此之外的旁路电容器判定为对所述基板无效。

3. 根据权利要求2所述的设计辅助系统,其中,

所述半导体集成电路装置是在底面格子状地排列了包含所述多个电源端子及所述多个接地端子在内的端子的栅格阵列封装件的半导体集成电路装置,

所述基板在表面处的所述半导体集成电路装置的安装区域具有所述电源配线层及所

述接地配线层,在背面处的对所述半导体集成电路装置的安装区域进行了投影的区域具有所述电源侧配线层及所述接地侧配线层。

4. 根据权利要求2或3所述的设计辅助系统,其中,

还具有设计变更部,该设计变更部决定为,将所述多个旁路电容器中的通过所述有效性评价部判定为对所述基板有效的旁路电容器安装于所述基板,不将通过所述有效性评价部判定为对所述基板无效的旁路电容器安装于所述基板。

5. 根据权利要求2或3所述的设计辅助系统,其中,

所述有效性评价部针对判定为对所述基板有效的旁路电容器,将判定为对所述基板有效的旁路电容器的组A的有效性设为比判定为对所述基板无效的组B高,并且,针对所述组A及所述组B的每一者,对关于所述半导体集成电路装置的多个电源端子及多个接地端子的每一者计算出的所述基板中的配线路径的最短距离进行相对比较,得到最小值的最短距离,将该最小值的最短距离的值小的旁路电容器的有效性评价得更高而执行有效性的排序,

还具有设计变更部,该设计变更部基于由所述有效性评价部得到的有效性的排序,以有效性位次从低到高的顺序依次累积旁路电容器而设为删除候补,选择除去设为该删除候补的旁路电容器后的情况下的旁路电容器的总电容值满足大于或等于所述多个旁路电容器的总电容值,除去设为该删除候补的旁路电容器后的情况下的旁路电容器的每一者的电容值相等的旁路电容器。

6. 根据权利要求2或3所述的设计辅助系统,其中,

所述有效性评价部针对判定为对所述基板有效的旁路电容器,将判定为对所述基板有效的旁路电容器的组A的有效性设为比判定为对所述基板无效的组B高,并且,针对所述组A及所述组B的每一者,对关于所述半导体集成电路装置的多个电源端子及多个接地端子的每一者计算出的所述基板中的配线路径的最短距离进行相对比较,得到最小值的最短距离,将该最小值的最短距离的值小的旁路电容器的有效性评价得更高而执行有效性的排序,

还具有设计变更部,该设计变更部基于由所述有效性评价部得到的有效性的排序,以有效性位次从低到高的顺序依次累积旁路电容器而设为删除候补,对除去设为该删除候补的旁路电容器后的情况下的所述半导体集成电路装置的多个电源端子及多个接地端子间的阻抗与设定好的阻抗进行比较,如果该比较结果是所述半导体集成电路装置的多个电源端子及多个接地端子间的阻抗低于所述设定好的阻抗,前一个的比较结果是高,则决定为至得到该比较结果时的旁路电容器为止不安装于所述基板,将剩余的旁路电容器安装于所述基板。

7. 根据权利要求2或3所述的设计辅助系统,其中,

所述有效性评价部针对判定为对所述基板有效的旁路电容器,将判定为对所述基板有效的旁路电容器的组A的有效性设为比判定为对所述基板无效的组B高,并且,针对所述组A,对关于所述半导体集成电路装置的多个电源端子及多个接地端子的每一者计算出的所述基板中的配线路径的最短距离进行相对比较,得到最小值的最短距离,将该最小值的最短距离的值小的旁路电容器的有效性评价得更高而执行有效性的排序,

还具有设计变更部,该设计变更部将通过所述有效性评价部设为所述组B的旁路电容

器全部设为删除候补,接着基于由所述有效性评价部得到的所述组A中的有效性的排序,以有效性位次从低到高的顺序依次累积旁路电容器而设为删除候补,对除去设为该删除候补的旁路电容器后的情况下的所述半导体集成电路装置的多个电源端子及多个接地端子间的阻抗与设定好的阻抗进行比较,如果该比较结果是所述半导体集成电路装置的多个电源端子及多个接地端子间的阻抗低于所述设定好的阻抗,前一个的比较结果是高,则决定为至得到该比较结果时的旁路电容器为止不安装于所述基板,将剩余的旁路电容器安装于所述基板。

8. 根据权利要求2或3所述的设计辅助系统,其中,

所述有效性评价部从所述多个旁路电容器提取出平滑电容器,针对除去所述平滑电容器后的所述多个旁路电容器执行是有效还是无效的判定,针对判定为对所述基板有效的旁路电容器,将判定为对所述基板有效的旁路电容器的组A的有效性设为比判定为对所述基板无效的组B高,并且,针对所述组A及所述组B的每一者,对关于所述半导体集成电路装置的多个电源端子及多个接地端子的每一者计算出的所述基板中的配线路径的最短距离进行相对比较,得到最小值的最短距离,将该最小值的最短距离的值小的旁路电容器的有效性评价得更高而执行有效性的排序,

还具有设计变更部,该设计变更部基于由所述有效性评价部得到的有效性的排序,以有效性位次从低到高的顺序依次累积旁路电容器而设为删除候补,对除去设为该删除候补的旁路电容器后的情况下的所述半导体集成电路装置的多个电源端子及多个接地端子间的阻抗与设定好的阻抗进行比较,如果该比较结果是所述半导体集成电路装置的多个电源端子及多个接地端子间的阻抗低于所述设定好的阻抗,前一个的比较结果是高,则决定为至得到该比较结果时的旁路电容器为止不安装于所述基板,将包含所述提取出的平滑电容器在内的剩余的旁路电容器安装于所述基板。

9. 根据权利要求2或3所述的设计辅助系统,其中,

所述有效性评价部从所述多个旁路电容器提取出平滑电容器,针对除去所述平滑电容器后的所述多个旁路电容器执行是有效还是无效的判定,针对判定为对所述基板有效的旁路电容器,将判定为对所述基板有效的旁路电容器的组A的有效性设为比判定为对所述基板无效的组B高,并且,在所述组A中,对关于所述半导体集成电路装置的多个电源端子及多个接地端子的每一者计算出的所述基板中的配线路径的最短距离进行相对比较,得到最小值的最短距离,将该最小值的最短距离的值小的旁路电容器的有效性评价得更高而执行有效性的排序,

还具有设计变更部,该设计变更部将通过所述有效性评价部设为所述组B的旁路电容器全部设为删除候补,接着基于由所述有效性评价部得到的所述组A中的有效性的排序,以有效性位次从低到高的顺序依次累积旁路电容器而设为删除候补,对除去设为该删除候补的旁路电容器后的情况下的所述半导体集成电路装置的多个电源端子及多个接地端子间的阻抗与设定好的阻抗进行比较,如果该比较结果是所述半导体集成电路装置的多个电源端子及多个接地端子间的阻抗低于所述设定好的阻抗,前一个的比较结果是高,则决定为至得到该比较结果时的旁路电容器为止不安装于所述基板,将包含所述提取出的平滑电容器在内的剩余的旁路电容器安装于所述基板。

10. 根据权利要求2或3所述的设计辅助系统,其中,

所述有效性评价部从所述多个旁路电容器提取平滑电容器,针对除去所述平滑电容器后的所述多个旁路电容器执行对所述基板是有效还是无效的判定,

还具有设计变更部,该设计变更部决定为从所述多个旁路电容器之中,将通过所述有效性评价部作为平滑电容器提取出的旁路电容器及从所述多个旁路电容器通过所述有效性评价部判定为对所述基板有效的旁路电容器安装于所述基板,不将通过所述有效性评价部判定为对所述基板无效的旁路电容器安装于所述基板。

11.一种设计辅助方法,从多个旁路电容器中选择、决定搭载于基板的旁路电容器,在该基板搭载具有多个电源端子及多个接地端子的半导体集成电路装置,能够搭载各自具有一对电极的所述多个旁路电容器,

该设计辅助方法具有:

选择步骤,将搭载于所述基板的所述半导体集成电路装置的多个电源端子及多个接地端子、能够搭载于所述基板的多个旁路电容器选择为调查对象;

最短距离计算步骤,计算与针对通过所述选择步骤选择出的所述半导体集成电路装置的多个电源端子及多个接地端子各自的所述多个旁路电容器各自对应的所述基板中的配线路径的最短距离;

第1有效性判定步骤,针对所述半导体集成电路装置的多个电源端子及多个接地端子的每一者,进行通过所述最短距离计算步骤计算出的与所述多个旁路电容器的每一者对应的所述基板中的配线路径的最短距离的相对比较,将最短距离示出最小值的旁路电容器判定为有效,将剩余的旁路电容器判定为无效;以及

第2有效性判定步骤,将通过所述第1有效性判定步骤针对所述半导体集成电路装置的多个电源端子及多个接地端子中的至少1个端子判定为有效的旁路电容器判定为对所述基板有效,将除此之外的旁路电容器判定为对所述基板无效。

12.根据权利要求11所述的设计辅助方法,其中,

所述半导体集成电路装置是在底面格子状地排列了包含所述多个电源端子及所述多个接地端子在内的端子的栅格阵列封装件的半导体集成电路装置,

所述基板在表面处的所述半导体集成电路装置的安装区域具有所述电源配线层及所述接地配线层,在背面处的对所述半导体集成电路装置的安装区域进行了投影的区域具有电源侧配线层及接地侧配线层。

13.根据权利要求11或12所述的设计辅助方法,其中,

还具有:旁路电容决定步骤,从所述多个旁路电容器中将通过所述第2有效性判定步骤判定为对所述基板有效的旁路电容器决定为搭载于所述基板的旁路电容器。

14.根据权利要求11或12所述的设计辅助方法,其中,还具有:

有效性的排序步骤,将通过所述第2有效性判定步骤判定为对所述基板有效的旁路电容器的组A的有效性设为比判定为对所述基板无效的旁路电容器的组B高,并且,针对属于所述组A及所述组B的每一者的旁路电容器,对关于所述半导体集成电路装置的多个电源端子及多个接地端子的每一者计算出的所述基板中的配线路径的最短距离进行相对比较,得到最小值的最短距离,将该最小值的最短距离的值小的旁路电容器的有效性评价得更高而执行有效性的排序;以及

旁路电容决定步骤,基于通过所述排序步骤得到的有效性的排序,以有效性位次从低

到高的顺序依次累积旁路电容器而设为删除候补,对除去设为该删除候补的旁路电容器后的情况下的所述半导体集成电路装置的多个电源端子及多个接地端子间的阻抗与设定好的阻抗进行比较,如果该比较结果是所述半导体集成电路装置的多个电源端子及多个接地端子间的阻抗低于所述设定好的阻抗,前一个的比较结果是高,则决定为至得到该比较结果时的旁路电容器为止不安装于所述基板,将剩余的旁路电容器安装于所述基板。

15. 根据权利要求11或12所述的设计辅助方法,其中,还具有:

有效性的排序步骤,将通过所述第2有效性判定步骤判定为对所述基板有效的旁路电容器的组A的有效性设为比判定为对所述基板无效的旁路电容器的组B高,并且,针对属于所述组A的旁路电容器,对关于所述半导体集成电路装置的多个电源端子及多个接地端子的每一者计算出的所述基板中的配线路径的最短距离进行相对比较,得到最小值的最短距离,将该最小值的最短距离的值小的旁路电容器的有效性评价得更高而执行有效性的排序;以及

旁路电容决定步骤,将通过所述排序步骤设为所述组B的旁路电容器全部设为删除候补,接着基于通过所述排序步骤得到的所述组A中的有效性的排序,以有效性位次从低到高的顺序依次累积旁路电容器而设为删除候补,对除去设为该删除候补的旁路电容器后的情况下的所述半导体集成电路装置的多个电源端子及多个接地端子间的阻抗与设定好的阻抗进行比较,如果该比较结果是所述半导体集成电路装置的多个电源端子及多个接地端子间的阻抗低于所述设定好的阻抗,前一个的比较结果是高,则决定为至得到该比较结果时的旁路电容器为止不安装于所述基板,将剩余的旁路电容器安装于所述基板。

16. 根据权利要求11或12所述的设计辅助方法,其中,

在所述第1有效性判定步骤中,从所述多个旁路电容器提取出平滑电容器,针对除去所述平滑电容器后的所述多个旁路电容器执行是有效还是无效的判定,

在所述第2有效性判定步骤中,针对除去所述平滑电容器后的所述多个旁路电容器执行对所述基板有效还是无效的判定,

所述设计辅助方法还具有:

有效性的排序步骤,将通过所述第2有效性判定步骤判定为对所述基板有效的旁路电容器的组A的有效性设为比判定为对所述基板无效的旁路电容器的组B高,并且,针对属于所述组A及所述组B的每一者的旁路电容器,对关于所述半导体集成电路装置的多个电源端子及多个接地端子的每一者计算出的所述基板中的配线路径的最短距离进行相对比较,得到最小值的最短距离,将该最小值的最短距离的值小的旁路电容器的有效性评价得更高而执行有效性的排序;以及

旁路电容决定步骤,基于通过所述排序步骤得到的有效性的排序,以有效性位次从低到高的顺序依次累积旁路电容器而设为删除候补,对除去设为该删除候补的旁路电容器后的情况下的所述半导体集成电路装置的多个电源端子及多个接地端子间的阻抗与设定好的阻抗进行比较,如果该比较结果是所述半导体集成电路装置的多个电源端子及多个接地端子间的阻抗低于所述设定好的阻抗,前一个的比较结果是高,则决定为至得到该比较结果时的旁路电容器为止不安装于所述基板,将包含所述提取出的平滑电容器在内的剩余的旁路电容器安装于所述基板。

17. 根据权利要求11或12所述的设计辅助方法,其中,

在所述第1有效性判定步骤中,从所述多个旁路电容器提取出平滑电容器,针对除去所述平滑电容器后的所述多个旁路电容器执行是有效还是无效的判定,

在所述第2有效性判定步骤中,针对除去所述平滑电容器后的所述多个旁路电容器执行对所述基板有效还是无效的判定,

所述设计辅助方法还具有:

有效性的排序步骤,将通过所述第2有效性判定步骤判定为对所述基板有效的旁路电容器的组A的有效性设为比判定为对所述基板无效的旁路电容器的组B高,并且,针对属于所述组A的旁路电容器,对关于所述半导体集成电路装置的多个电源端子及多个接地端子的每一者计算出的所述基板中的配线路径的最短距离进行相对比较,得到最小值的最短距离,将该最小值的最短距离的值小的旁路电容器的有效性评价得更高而执行有效性的排序;以及

旁路电容决定步骤,将通过所述排序步骤设为所述组B的旁路电容器全部设为删除候补,接着基于通过所述排序步骤得到的所述组A中的有效性的排序,以有效性位次从低到高的顺序依次累积旁路电容器而设为删除候补,对除去设为该删除候补的旁路电容器后的情况下的所述半导体集成电路装置的多个电源端子及多个接地端子间的阻抗与设定好的阻抗进行比较,如果该比较结果是所述半导体集成电路装置的多个电源端子及多个接地端子间的阻抗低于所述设定好的阻抗,前一个的比较结果是高,则决定为至得到该比较结果时的旁路电容器为止不安装于所述基板,将包含所述提取出的平滑电容器在内的剩余的旁路电容器安装于所述基板。

18. 根据权利要求11或12所述的设计辅助方法,其中,

在所述第1有效性判定步骤中,从所述多个旁路电容器提取平滑电容器,针对除去所述平滑电容器后的所述多个旁路电容器执行是有效还是无效的判定,

在所述第2有效性判定步骤中,针对除去所述平滑电容器后的所述多个旁路电容器执行对所述基板有效还是无效的判定,

所述设计辅助方法还具有:旁路电容决定步骤,从所述多个旁路电容器之中将通过所述第1有效性判定步骤作为平滑电容器提取出的旁路电容器及通过所述第2有效性判定步骤判定为对所述基板有效的旁路电容器决定为搭载于所述基板的旁路电容器。

19. 一种设计辅助程序,其使计算机执行:

选择流程,将搭载于基板的半导体集成电路装置的多个电源端子及多个接地端子、能够搭载于所述基板的多个旁路电容器选择为调查对象;

最短距离计算流程,计算与针对选择出的所述半导体集成电路装置的多个电源端子及多个接地端子各自的所述多个旁路电容器各自对应的所述基板中的配线路径的最短距离;

第1有效性判定流程,针对所述半导体集成电路装置的多个电源端子及多个接地端子的每一者,进行计算出的与所述多个旁路电容器的每一者对应的所述基板中的配线路径的最短距离的相对比较,将最短距离示出最小值的旁路电容器判定为有效,将剩余的旁路电容器判定为无效;以及

第2有效性判定流程,将针对所述半导体集成电路装置的多个电源端子及多个接地端子中的至少1个端子判定为有效的旁路电容器判定为对所述基板有效,将除此之外的旁路电容器判定为对所述基板无效。

20. 一种记录介质,其存储有程序,该程序使计算机执行:

选择流程,将搭载于基板的半导体集成电路装置的多个电源端子及多个接地端子、能够搭载于所述基板的多个旁路电容器选择为调查对象;

最短距离计算流程,计算与针对选择出的所述半导体集成电路装置的多个电源端子及多个接地端子各自的所述多个旁路电容器各自对应的所述基板中的配线路径的最短距离;

第1有效性判定流程,针对所述半导体集成电路装置的多个电源端子及多个接地端子的每一者,进行计算出的与所述多个旁路电容器的每一者对应的所述基板中的配线路径的最短距离的相对比较,将最短距离示出最小值的旁路电容器判定为有效,将剩余的旁路电容器判定为无效;以及

第2有效性判定流程,将针对所述半导体集成电路装置的多个电源端子及多个接地端子中的至少1个端子判定为有效的旁路电容器判定为对所述基板有效,将除此之外的旁路电容器判定为对所述基板无效。

21. 根据权利要求1所述的设计辅助系统,其中,

所述半导体集成电路装置是在底面格子状地排列了包含所述多个电源端子及所述多个接地端子在内的端子的栅格阵列封装件的半导体集成电路装置,

所述基板在表面处的所述半导体集成电路装置的安装区域具有所述电源配线层及所述接地配线层,在背面处的对所述半导体集成电路装置的安装区域进行了投影的区域具有所述电源侧配线层及所述接地侧配线层,

所述有效性评价部针对判定为对所述基板有效的旁路电容器,将判定为对所述基板有效的旁路电容器的组A的有效性设为比判定为对所述基板无效的组B高,

所述有效性评价部通过关于针对属于所述组A的旁路电容器的电源端子提取出相邻的电源端子,进行与针对该提取出的相邻的电源端子的旁路电容器的每一者对应的所述基板中的配线路径的最短距离的相对比较,由此从针对该提取出的相邻的电源端子的旁路电容器中选择1个旁路电容器而留在所述组A,将未选择的旁路电容器从所述组A变更为所述组B。

22. 根据权利要求21所述的设计辅助系统,其中,

就所述有效性评价部的关于针对属于所述组A的旁路电容器的电源端子进行的相邻的电源端子的提取而言,如果所述半导体集成电路装置中的电源端子的引脚编号为连号,则判定为是相邻的电源端子而进行提取。

23. 根据权利要求21所述的设计辅助系统,其中,

就所述有效性评价部的关于针对属于所述组A的旁路电容器的电源端子进行的相邻的电源端子的提取而言,如果所述半导体集成电路装置中的电源端子间的距离小于或等于阈值,则判定为是相邻的电源端子而进行提取。

24. 根据权利要求21至23中任一项所述的设计辅助系统,其中,

就所述有效性评价部的从针对所述提取出的相邻的电源端子的旁路电容器中进行的1个旁路电容器的选择而言,选择与针对所述提取出的相邻的电源端子的旁路电容的每一者对应的所述基板中的配线路径的最短距离示出最小值的配线路径所连接的旁路电容器,如果示出该最小值的配线路径所连接的旁路电容器存在多个,则选择示出该最小值的配线路径所连接的旁路电容器中的任意1个旁路电容器。

25. 根据权利要求12所述的设计辅助方法, 其中, 还具有:

相邻判定步骤, 将通过所述第2有效性判定步骤判定为对所述基板有效的旁路电容器的组A的有效性设为比判定为对所述基板无效的旁路电容器的组B高, 关于针对属于所述组A的旁路电容器的电源端子提取相邻的电源端子; 以及

有效性再判定步骤, 通过进行与针对通过所述相邻判定步骤提取出的相邻的电源端子的旁路电容器的每一者对应的所述基板中的配线路径的最短距离的相对比较, 从而从针对该提取出的相邻的电源端子的旁路电容器中选择1个旁路电容器而留在所述组A, 将未选择的旁路电容器从所述组A变更为所述组B。

26. 根据权利要求25所述的设计辅助方法, 其中,

就所述相邻判定步骤的关于针对属于所述组A的旁路电容器的电源端子进行的相邻的电源端子的提取而言, 如果所述半导体集成电路装置中的电源端子的引脚编号为连号, 则判定为是相邻的电源端子而进行提取。

27. 根据权利要求25所述的设计辅助方法, 其中,

就所述相邻判定步骤的关于针对属于所述组A的旁路电容器的电源端子进行的相邻的电源端子的提取而言, 如果所述半导体集成电路装置中的电源端子间的距离为小于或等于阈值, 则判定为是相邻的电源端子而进行提取。

28. 根据权利要求25至27中任一项所述的设计辅助方法, 其中,

就所述有效性再判定步骤的从针对所述提取出的相邻的电源端子的旁路电容器中进行的1个旁路电容器的选择而言, 选择与针对所述提取出的相邻的电源端子的旁路电容的每一者对应的所述基板中的配线路径的最短距离示出最小值的配线路径所连接的旁路电容器, 如果示出该最小值的配线路径所连接的旁路电容器存在多个, 则选择示出该最小值的配线路径所连接的旁路电容器中的任意1个旁路电容器。

## 印刷基板的设计辅助系统、设计辅助方法、程序及记录介质

### 技术领域

[0001] 本发明涉及印刷基板的设计辅助系统、设计辅助方法、程序及记录介质,特别涉及对旁路电容器的配置的设计进行辅助的设计辅助系统。

### 背景技术

[0002] 近年来,半导体集成电路装置(下面,称为IC)为了多功能化及高功能化而大规模化,与大规模化相伴地IC的电源端子的数量也增加。

[0003] 与IC的电源端子的增加相伴地,与IC的电源端子连接的旁路电容器(下面,称为旁路电容)也增加。

[0004] 在专利文献1中示出减轻与栅格阵列封装件对应的旁路电容器的配置作业负担的印刷电路板设计辅助装置。

[0005] 在专利文献1中示出如下内容。

[0006] 即,将从芯片的电源端子经由旁路电容至芯片的接地端子为止的路径的长度作为评价价值,将验证条件设为表示所允许的路径长度的阈值。

[0007] 关于针对各旁路电容导出的全部评价价值中的评价最高者(环路距离最短者),针对各个旁路电容对评价价值是否与验证条件相符进行判定。

[0008] 将不相符者判定为违反验证条件,将相符者判定为符合验证条件。

[0009] 专利文献1:日本特开2015-228078号公报

### 发明内容

[0010] 专利文献1所示的印刷电路板设计辅助装置将表示所允许的路径长度的阈值设为验证条件而对评价价值是否相符进行判定,因此每个IC所允许的路径长度的最佳值不同,因此难以决定恰当的阈值。

[0011] 例如,如果优先稳定性而使阈值具有余量,则会过剩地配置旁路电容,另一方面,如果严格地设定阈值,则虽然旁路电容的个数减少,但是会发生不满足所期望的性能这样的不良情况。

[0012] 本发明就是鉴于上述问题而提出的,其目的在于得到不会降低由旁路电容器实现的性能,实现旁路电容器的配置个数的优化的印刷基板的设计辅助系统。

[0013] 本发明涉及的印刷基板的设计辅助系统从多个旁路电容器中选择、决定在基板搭载的旁路电容器,在该基板搭载具有多个电源端子及多个接地端子的半导体集成电路装置,能够搭载各自具有一对电极的多个旁路电容器,该基板具有:电源配线层,其与多个电源端子连接;接地配线层,其与多个接地端子连接;电源侧配线层,其与多个旁路电容器的一个电极连接;以及接地侧配线层,其与多个旁路电容器的另一个电极连接,该设计辅助系统具有:连接路径计算部,其针对半导体集成电路装置的多个电源端子和多个旁路电容器的一个电极的全部组合,实施从半导体集成电路装置的多个电源端子各自所连接的电源配线层的连接位置至多个旁路电容器的一个电极所连接的电源侧配线层的各个连接位置为

止的配线路径中的最短距离的计算;以及有效性评价部,其针对半导体集成电路装置的多个电源端子的每一者,进行由连接路径计算部计算出的与多个旁路电容器各自对应的基板中的配线路径的最短距离的相对比较,将与最短距离示出最小值的配线路径连接的旁路电容器判定为有效,将剩余的旁路电容器判定为无效,在多个旁路电容器中,将判定为有效的旁路电容器判定为对基板有效,将除此之外的旁路电容器判定为对基板无效。

[0014] 发明的效果

[0015] 根据本发明,能够实现旁路电容器的配置个数的优化。

## 附图说明

[0016] 图1是表示实施方式1涉及的印刷基板的设计辅助系统的基本结构的框图。

[0017] 图2是表示实施方式1涉及的设计辅助系统的基板设计信息的结构的图。

[0018] 图3是实施方式1涉及的设计辅助系统的调查对象选择单元的结构图。

[0019] 图4是表示IC的引脚配置的俯视图。

[0020] 图5是表示IC的安装区域正下方的基板的第1层的表面图案的图。

[0021] 图6是表示IC的安装区域正下方的基板的第2层的表面图案的图。

[0022] 图7是表示IC的安装区域正下方的基板的第3层的表面图案的图。

[0023] 图8是表示IC的安装区域正下方的基板的第4层的表面图案的图。

[0024] 图9是表示IC的安装区域正下方的基板的第5层的表面图案的图。

[0025] 图10是表示IC的安装区域正下方的基板的第6层的背面图案的图。

[0026] 图11是表示实施方式1涉及的设计辅助系统的路径计算单元的输出结果的一个例子的图。

[0027] 图12是表示由实施方式1涉及的设计辅助系统得到的旁路电容器的有效性评价结果的一个例子的图。

[0028] 图13是表示由实施方式1涉及的设计辅助系统得到的旁路电容器的变更结果的一个例子的图。

[0029] 图14是表示实施方式1涉及的设计辅助系统的动作的流程图。

[0030] 图15是表示实施方式1涉及的设计辅助系统的硬件结构的结构图。

[0031] 图16是表示实施方式2涉及的印刷基板的设计辅助系统的基本结构的框图。

[0032] 图17是表示由实施方式2涉及的设计辅助系统得到的旁路电容器的有效性评价结果的一个例子的图。

[0033] 图18是表示实施方式2涉及的设计辅助系统的动作的流程图。

[0034] 图19是表示实施方式2涉及的设计辅助系统中的设计变更部的动作的流程图。

[0035] 图20是表示由实施方式2涉及的设计辅助系统得到的旁路电容器的变更结果对印刷基板的有效性的一个例子的图。

[0036] 图21是表示实施方式3涉及的印刷基板的设计辅助系统的基本结构的框图。

[0037] 图22是表示实施方式3涉及的设计辅助系统中的设计变更部的动作的流程图。

[0038] 图23是表示实施方式4涉及的印刷基板的设计辅助系统的基本结构的框图。

[0039] 图24是表示由实施方式4涉及的设计辅助系统得到的旁路电容器的有效性评价结果的一个例子的图。

- [0040] 图25是表示实施方式5涉及的印刷基板的设计辅助系统的基本结构的框图。
- [0041] 图26是表示实施方式5涉及的IC的引脚配置的俯视图。
- [0042] 图27是表示实施方式5涉及的IC的安装区域正下方的基板的第1层的表面图案的图。
- [0043] 图28是表示实施方式5涉及的IC的安装区域正下方的基板的第2层的表面图案的图。
- [0044] 图29是表示实施方式5涉及的IC的安装区域正下方的基板的第3层的表面图案的图。
- [0045] 图30是表示实施方式5涉及的IC的安装区域正下方的基板的第4层的表面图案的图。
- [0046] 图31是表示实施方式5涉及的IC的安装区域正下方的基板的第5层的表面图案的图。
- [0047] 图32是表示实施方式5涉及的IC的安装区域正下方的基板的第6层的背面图案的图。
- [0048] 图33是表示实施方式5涉及的设计辅助系统的动作的流程图。
- [0049] 图34是表示实施方式5涉及的设计辅助系统中的设计变更部的动作的流程图。
- [0050] 图35是表示由实施方式5涉及的设计辅助系统得到的旁路电容器的有效性评价结果的一个例子的图。

### 具体实施方式

#### [0051] 实施方式1

[0052] 根据图1至图15对实施方式1涉及的印刷基板的设计辅助系统进行说明。

[0053] 实施方式1涉及的印刷基板的设计辅助系统对在印刷基板选择旁路电容,决定旁路电容的配置位置的设计进行辅助,该印刷基板搭载具有多个电源端子及多个接地端子的半导体集成电路装置(下面,称为IC)和与IC连接的多个旁路电容器(下面,称为旁路电容)。

[0054] 搭载于印刷基板的IC为栅格阵列封装件的一种,将在封装件的底面格子状地排列有球状焊料(焊料球)的球栅阵列(BGA:Ball GridArray)封装件作为一个例子而进行说明。

[0055] 印刷基板以6层(1+4+1)的积层基板为一个例子而进行说明,该积层基板在表面具有与IC的多个电源端子及多个接地端子连接的多个IC用电源配线层及多个IC用接地配线层,在背面具有与旁路电容器的一个电极连接的电容器用电源配线层及与旁路电容器的另一个电极连接的电容器用接地配线层。

[0056] 在对设计辅助系统进行说明前,使用图4至图10对IC的引脚配置及印刷基板中的IC的安装区域正下方的各层的图案进行说明。

[0057] IC 1的引脚配置(在该例子中,是焊料球的配置,总称为引脚配置)如图4所示,以横向8列、纵向8行的8×8的格子状配置了引脚。

[0058] 将横向设为A列至H列,将纵向设为1行至8行,将列与行的交点设为A1~A8、~、H1~H8。

[0059] IC 1的电源端子1V配置于B2、B4、B6、C3、C5、C7、D2、D4、D6、E3、E5、E7、F2、F4、F6、G3、G5、G7。

- [0060] IC 1的接地端子1G配置于B3、B5、C2、C4、C6、D3、D5、D7、E2、E4、E6、F3、F5、F7、G4、G6。
- [0061] 剩余的引脚为信号端子1S。
- [0062] 电源端子1V和接地端子1G在纵向以及横向上均交替地配置。
- [0063] 电源端子1V与1.0V电源系统连接,将1.0V供给至电源端子1V。接地端子1G与接地系统连接,设为接地电位。
- [0064] 接着,使用图5~图10对印刷基板中的IC 1的安装区域正下方的各层的表面图案进行说明。
- [0065] 为了方便说明,将印刷基板的第1层的图案简称为1层图案。第2层至第6层也简称地进行说明。
- [0066] 此外,在1层至6层中,在IC 1的安装区域正下方之外的区域中形成有信号配线层等图案。
- [0067] 1层图案10为印刷基板的表面处的图案,是IC 1的安装面。
- [0068] 1层图案10是多个IC用电源配线层11V~15V和多个IC用接地配线层11G~14G的图案。
- [0069] IC用电源配线层11V~15V与1.0V电源系统连接,IC用接地配线层11G~14G与接地系统连接。
- [0070] 在2层图案20至6层图案60中,也是电源配线层与1.0V电源系统连接,接地配线层与接地系统连接。
- [0071] IC用电源配线层11V由将B6和C7连接的线段形成,与位于B6和C7的电源端子1V连接。
- [0072] IC用电源配线层12V由将B4和E7连接的线段形成,与位于B4、C5、D6及E7的电源端子1V连接。
- [0073] IC用电源配线层13V由将B2和G7连接的线段形成,与位于B2、C3、D4、E5、F6及G7的电源端子1V连接。
- [0074] IC用电源配线层14V由将D2和G5连接的线段形成,与位于D2、E3、F4及G5的电源端子1V连接。
- [0075] IC用电源配线层15V由将F2和G3连接的线段形成,与位于F2及G3的电源端子1V连接。
- [0076] IC用接地配线层11G由将B5和D7连接的线段形成,与位于B5、C6及D7的接地端子1G连接。
- [0077] IC用接地配线层12G由将B3和F7连接的线段形成,与位于B3、C4、D5、E6及F7的接地端子1G连接。
- [0078] IC用接地配线层13G由将C2和G6连接的线段形成,与位于C2、D3、E4、F5及G6的接地端子1G连接。
- [0079] IC用接地配线层14G由将E2和G4连接的线段形成,与位于E2、F3及G4的接地端子1G连接。
- [0080] IC用电源配线层11V~15V、IC用接地配线层11G~14G与一个对角线平行地交替配置。

[0081] 在2层图案20至6层图案60中,在暂时决定了能够安装于6层图案60的多个旁路电容C1~C12的配置后,以将1层图案10中的多个IC用电源配线层11V~15V及多个IC用接地配线层11G~14G与能够安装的多个旁路电容C1~C12连接的方式,适当配置各层中的配线层及将配线层之间连接的通路孔。

[0082] 即,2层图案20至6层图案60的各层中的配线层及将配线层之间连接的通路孔不是由IC 1的引脚的配置唯一地决定的。

[0083] 但是,在下面的说明中,为了容易理解地对实施方式1涉及的印刷基板的设计辅助系统的特征点进行说明,出于避免繁杂的说明,方便说明的目的,使用示意性地表示列与行的交点的符号对各层中的配线层及将配线层之间连接的通路孔的位置进行说明。

[0084] 因此,各层中的配线层及将配线层之间连接的通路孔的位置并不限于以下说明的位置。

[0085] 2层图案20是积层的第1切换图案。

[0086] 2层图案20是多个电源用切换配线层21V~26V和多个接地用切换配线层21G~26G的图案。

[0087] 电源用切换配线层21V由将B6和C6连接的线段形成。

[0088] 电源用切换配线层22V由将B4和C4连接的线段形成。

[0089] 电源用切换配线层23V由将B2和C2连接的线段形成。

[0090] 电源用切换配线层24V由将F7和G7连接的线段形成。

[0091] 电源用切换配线层25V由将F5和G5连接的线段形成。

[0092] 电源用切换配线层26V由将F3和G3连接的线段形成。

[0093] 接地用切换配线层21G由将D7和E7连接的线段形成。

[0094] 接地用切换配线层22G由将D6和E6连接的线段形成。

[0095] 接地用切换配线层23G由将D5和E5连接的线段形成。

[0096] 接地用切换配线层24G由将D4和E4连接的线段形成。

[0097] 接地用切换配线层25G由将D3和E3连接的线段形成。

[0098] 接地用切换配线层26G由将D2和E2连接的线段形成。

[0099] 积层通路孔71V将IC用电源配线层11V中的B6的位置和电源用切换配线层21V中的B6的位置电连接。

[0100] 积层通路孔72V将IC用电源配线层12V中的B4的位置和电源用切换配线层22V中的B4的位置电连接。

[0101] 积层通路孔73V将IC用电源配线层13V中的B2的位置和电源用切换配线层23V中的B2的位置电连接。

[0102] 积层通路孔74V将IC用电源配线层14V中的G7的位置和电源用切换配线层24V中的G7的位置电连接。

[0103] 积层通路孔75V将IC用电源配线层15V中的G5的位置和电源用切换配线层25V中的G5的位置电连接。

[0104] 积层通路孔76V将IC用电源配线层16V中的G3的位置和电源用切换配线层26V中的G3的位置电连接。

[0105] 积层通路孔71G将IC用接地配线层11G中的D7的位置和接地用切换配线层21G中的

D7的位置电连接。

[0106] 积层通路孔72G将IC用接地配线层12G中的E6的位置和接地用切换配线层22G中的E6的位置电连接。

[0107] 积层通路孔73G将IC用接地配线层12G中的D5的位置和接地用切换配线层23G中的D5的位置电连接。

[0108] 积层通路孔74G将IC用接地配线层13G中的E4的位置和接地用切换配线层24G中的E4的位置电连接。

[0109] 积层通路孔75G将IC用接地配线层13G中的D3的位置和接地用切换配线层25G中的D3的位置电连接。

[0110] 积层通路孔76G将IC用接地配线层14G中的E2的位置和接地用切换配线层26G中的E2的位置电连接。

[0111] 3层图案30为接地(GND)图案层,除了C6、C4、C2、F7、F5及F3的位置之外为满铺图案。

[0112] GND图案层30在C6、C4、C2、F7、F5及F3的位置处,导电层被圆形地去除,在C6、C4、C2、F7、F5及F3的中心位置处,内层通路孔(IVH:interstitial via hole,下面称为IVH)81V~86V不与GND图案层30电连接地被贯穿。

[0113] 4层图案40为电源图案层,除了D6、D4、D2、E7、E5及E3的位置之外为满铺图案。

[0114] 电源图案层40在D6、D4、D2、E7、E5及E3的位置处,导电层被圆形地去除,在D6、D4、D2、E7、E5及E3的中心位置处,IVH 81G~86G不与电源图案层40电连接地被贯穿。

[0115] 5层图案50是积层的第2切换图案。

[0116] 5层图案50是两个电源用切换图案层51V、52V和接地用切换图案层51G的图案。

[0117] 电源用切换图案层51V是以将B2~B7至C2~C7的位置包围的方式形成的满铺图案。

[0118] 电源用切换图案层52V是以将F2~F7至G2~G7的位置包围的方式形成的满铺图案。

[0119] 接地用切换图案层51G是以除了电源用切换图案层51V、52V之外,与电源用切换图案层51V、52V分隔开地将A1~A8至H1~H8的位置包围的方式形成的满铺图案。

[0120] IVH 81V~86V及IVH 81G~86G将2层至3层及4层贯穿,将所对应的2层图案20和5层图案电连接。

[0121] IVH 81V在C6的位置处,将电源用切换配线层21V、电源图案层40和电源用切换图案层51V电连接。

[0122] IVH 82V在C4的位置处,将电源用切换配线层22V、电源图案层40和电源用切换图案层51V电连接。

[0123] IVH 83V在C2的位置处,将电源用切换配线层23V、电源图案层40和电源用切换图案层51V电连接。

[0124] IVH 84V在F7的位置处,将电源用切换配线层24V、电源图案层40和电源用切换图案层52V电连接。

[0125] IVH 85V在F5的位置处,将电源用切换配线层25V、电源图案层40和电源用切换图案层52V电连接。

- [0126] IVH 86V在F3的位置处,将电源用切换配线层26V、电源图案层40和电源用切换图案层52V电连接。
- [0127] IVH 81G在E7的位置处,将接地用切换配线层21G、GND图案层30和接地用切换图案层51G电连接。
- [0128] IVH 82G在D6的位置处,将接地用切换配线层22G、GND图案层30和接地用切换图案层51G电连接。
- [0129] IVH 83G在E5的位置处,将接地用切换配线层23G、GND图案层30和接地用切换图案层51G电连接。
- [0130] IVH 84G在D4的位置处,将接地用切换配线层24G、GND图案层30和接地用切换图案层51G电连接。
- [0131] IVH 85G在E3的位置处,将接地用切换配线层25G、GND图案层30和接地用切换图案层51G电连接。
- [0132] IVH 86G在D2的位置处,将接地用切换配线层26G、GND图案层30和接地用切换图案层51G电连接。
- [0133] 6层图案60是印刷基板的背面处的图案,是能够安装多个旁路电容C1~C12的安装面。
- [0134] 6层图案60是两个电容器用电源配线层61V、62V和电容器用接地配线层61G的图案。
- [0135] 电容器用电源配线层61V是与电源用切换图案层51V相对地形成的满铺图案。
- [0136] 电容器用电源配线层62V是与电源用切换图案层52V相对地形成的满铺图案。
- [0137] 电容器用接地配线层61G是位于电容器用电源配线层61V和电容器用电源配线层62V之间,以与电容器用电源配线层61V和电容器用电源配线层62V分隔开地将D2~D7至E2~E7的位置包围的方式形成的满铺图案。
- [0138] 电源用切换图案层51V和电容器用电源配线层61V各自在B6、B4及B2的位置处,通过积层通路孔91V~93V电连接。
- [0139] 电源用切换图案层52V和电容器用电源配线层62V各自在G7、G5及G3的位置处,通过积层通路孔94V~96V电连接。
- [0140] 接地用切换图案层51G和电容器用接地配线层61G各自在D和E之间的3~6的位置这4处,通过积层通路孔91G~94G电连接。
- [0141] 电容器用电源配线层61V中的C7~C2这6个位置各自是能够与所对应的旁路电容C1~C6的一个电极(下面,为了方便,称为电源侧电极)连接的位置。
- [0142] 电容器用接地配线层61G中的D7~D2这6个位置各自是能够与所对应的旁路电容C1~C6的另一个电极(下面,为了方便,称为GND侧电极)连接的位置。
- [0143] 电容器用电源配线层62V中的F7~F2这6个位置各自是能够与所对应的旁路电容C7~C12的电源侧电极连接的位置。
- [0144] 电容器用接地配线层61G中的E7~E2这6个位置各自是能够与所对应的旁路电容C7~C12的GND侧电极连接的位置。
- [0145] 即,在印刷基板的安装面能够安装12个旁路电容C1~C12。
- [0146] 接着,使用图1~图3对实施方式1涉及的印刷基板的设计辅助系统进行说明。

[0147] 实施方式1涉及的设计辅助系统是对旁路电容的有效性进行判别,能够将配置于印刷基板的安装面的旁路电容的个数优化的设计辅助系统。

[0148] 以上述所示的印刷基板为例,针对能够安装于印刷基板的安装面的12个旁路电容C1~C12对有效性进行判断,删除不需要的旁路电容,高效地选择最佳个数的旁路电容而进行设计辅助。

[0149] 如图1所示,实施方式1涉及的设计辅助系统100具有基板信息输入部101、调查对象选择部102、连接路径计算部103、有效性评价部104、设计变更部105和变更结果输出部106。

[0150] 通过基板信息输入部101输入基板设计信息200,基板信息输入部101将输入进来的基板设计信息200变换为在设计辅助系统100内能够处理的格式而输出。

[0151] 基板设计信息200包含与包括IC 1及旁路电容C1~C12在内的部件相关的部件个体信息以及与形成于印刷基板的配线布局相关的信息。

[0152] 基板设计信息200例如是印刷基板的CAD(Computer Aided Design)数据201,如图2所示,作为内部信息至少包含部件组信息210、个体部件信息211、电气网络组信息220、个体网络信息221、配线组信息222及个体配线信息223这些要素。

[0153] 各要素为层级构造。

[0154] 构成部件组信息210的个体部件信息211表示对于IC 1、旁路电容C1~C12及电感(未图示)这样的安装于印刷基板的各个部件的部件个体信息,部件个体信息是将表示部件型号及特性的部件固有信息以及安装外形等关联起来的信息。

[0155] 构成电气网络组信息220的个体网络信息221是1.0V电源系统、GND系统这样的在印刷基板之上电气独立的个体网络。例如,是在上述印刷基板中,表示1层至6层中的A1~A8、~、H1~H8的位置,即,表示各节点是1.0V系统还是GND系统的信息。

[0156] 配线组信息222是表示与个体网络信息221电连接的配线的汇总的信息。

[0157] 构成配线组信息222的个体配线信息223是表示IC 1的端子的种类和连接位置,即网络、安装部件,例如,与旁路电容C1~C12连接的安装焊盘、各层中的配线层、将层间连接的通路孔这样的构成印刷基板的各个导体的构造物的信息。

[0158] 例如,个体配线信息223是在上述印刷基板中,位于IC 1的B2、B4、B6、C3、C5、C7、D2、D4、D6、E3、E5、E7、F2、F4、F6、G3、G5、G7处的引脚为电源端子1V,1.0V电源系统与电源系统连接这样的信息。相同地,是IC 1的接地端子1G的信息。

[0159] 相同地,个体配线信息223是IC用电源配线层11V~15V及IC用接地配线层11G~14G、电源用切换配线层21V~26V及接地用切换配线层21G~26G、GND图案层30、电源图案层40、电源用切换图案层51V、52V及接地用切换图案层51G、电容器用电源配线层61V、62V及电容器用接地配线层61G中的与网络信息有关的各层的配线层中的各个信息,是与配线布局相关的信息。

[0160] 相同地,个体配线信息223是积层通路孔71V~76V、71G~76G、IVH 81V~86V、81G~86G及积层通路孔91V~96V、91G~94G中的与网络信息有关的通路孔的各个信息,是与配线布局相关的信息。

[0161] 调查对象选择部102具有个体部件选择部和个体配线选择部。

[0162] 调查对象选择部102中的个体部件选择部参照从基板信息输入部101输出的基板

设计信息200中的个体部件信息211,对用于搭载于印刷基板的IC 1和旁路电容C1~C12进行选择。

[0163] 调查对象选择部102中的个体部件选择部例如如图3所示,针对上述印刷基板,将旁路电容C1~C12选择为调查对象,将除了从基板信息输入部101输出的旁路电容之外的旁路电容分类为并非调查对象。

[0164] 由调查对象选择部102中的个体部件选择部设为调查对象的信息是与设为调查对象的旁路电容C1~C12的个体信息相关联的排列,即表示6层图案中的配置位置的信息。

[0165] 调查对象选择部102中的个体配线选择部参照从基板信息输入部101输出的基板设计信息200中的个体配线信息223,对选择出的IC 1的电源端子1V和接地端子1G进行选择。

[0166] 就调查对象选择部102中的个体配线选择部而言,如果个体部件选择部选择了上述IC 1,则如图3所示,将位于B2、B4、B6、C3、C5、C7、D2、D4、D6、E3、E5、E7、F2、F4、F6、G3、G5、G7处的引脚设为电源端子1V而作为调查对象,将位于B3、B5、C2、C4、C6、D3、D5、D7、E2、E4、E6、F3、F5、F7、G4、G6处的引脚设为接地端子1G而作为调查对象,将除此之外的引脚分类为并非调查对象。

[0167] 被调查对象选择部102中的个体配线选择部设为调查对象的信息是表示与被设为调查对象的IC 1的电源端子1V及接地端子1G相关联的配置,即,1层图案中的连接位置的信息。

[0168] 在图3中,在个体配线信息223中,标记IC而示出是IC 1的端子。

[0169] 此外,调查对象选择部102也可以基于与个体部件信息211、个体配线信息223相关联的个体网络信息221,自动地对与相同网络连接的旁路电容C1~C12、IC 1的电源端子1V及接地端子1G进行选择。

[0170] 连接路径计算部103计算从由调查对象选择部102中的个体配线选择部选择出的与IC 1的多个电源端子1V各自对应的多个IC用电源配线层11V~15V中的连接位置至旁路电容C1~C12各自的电源侧电极所连接的电容器用电源配线层61V、62V中的连接位置为止的配线路径的最短距离。

[0171] 另外,连接路径计算部103计算从由调查对象选择部102中的个体配线选择部选择出的与IC 1的多个接地端子1G各自对应的多个IC用接地配线层11G~14G中的连接位置至旁路电容C1~C12各自的GND侧电极所连接的电容器用接地配线层61G中的连接位置为止的配线路径的最短距离。

[0172] 例如,关于IC 1的多个电源端子1V,计算从位于C7的电源端子1V所连接的IC用电源配线层11V中的C7的位置,至旁路电容C1的电源侧电极所连接的电容器用电源配线层61V中的C7的位置为止的最短距离,至旁路电容C2的电源侧电极所连接的电容器用电源配线层61V中的C6的位置为止的最短距离,至旁路电容C3的电源侧电极所连接的电容器用电源配线层61V中的C5的位置为止的最短距离,至旁路电容C4的电源侧电极所连接的电容器用电源配线层61V中的C4的位置为止的最短距离,至旁路电容C5的电源侧电极所连接的电容器用电源配线层61V中的C3的位置为止的最短距离,至旁路电容C6的电源侧电极所连接的电容器用电源配线层61V中的C2的位置为止的最短距离,至旁路电容C7的电源侧电极所连接的电容器用电源配线层62V中的F7的位置为止的最短距离,至旁路电容C8的电源侧电极所

连接的电容器用电源配线层62V中的F6的位置为止的最短距离,至旁路电容C9的电源侧电极所连接的电容器用电源配线层62V中的F5的位置为止的最短距离,至旁路电容C10的电源侧电极所连接的电容器用电源配线层62V中的F4的位置为止的最短距离,及至旁路电容C11的电源侧电极所连接的电容器用电源配线层62V中的F3的位置为止的最短距离,及至旁路电容C12的电源侧电极所连接的电容器用电源配线层62V中的F2的位置为止的最短距离。

[0173] 作为一个例子在图11中示出计算结果。

[0174] 针对IC 1的多个电源端子1V,在上述例子中针对18个电源端子1V的每一者,相同地,对从电源端子1V所连接的IC用电源配线层11V~15V中的连接位置至旁路电容C1~C12各自的电源侧电极所连接的电容器用电源配线层61V、62V中的连接位置为止的最短距离进行计算。

[0175] 另外,针对IC 1的多个接地端子1G,在上述例子中针对16个接地端子1G的每一者,相同地,对从接地端子1G所连接的IC用接地配线层11G~14G中的连接位置至旁路电容C1~C12各自的GND侧电极所连接的电容器用接地配线层61G中的连接位置为止的最短距离进行计算。

[0176] 总而言之,连接路径计算部103对IC 1的电源端子1V的每一者与旁路电容C1~C12的电源侧端子的全部组合下的印刷基板中的1.0V电源系统的配线路径的最短距离以及IC 1的接地端子1G的每一者与旁路电容C1~C12的接地侧端子的全部组合下的接地系统的配线路径的最短距离进行计算。

[0177] 由连接路径计算部103得到的信息是将IC 1的电源端子1V及接地端子1G的每一者、旁路电容C1~C12的每一者和最短距离的每一者关联起来的信息。

[0178] 有效性评价部104针对IC 1的电源端子1V的每一者对旁路电容C1~C12的电源侧端子的全部组合下的印刷基板中的1.0V电源系统的配线路径的最短距离进行相对比较,将最短距离示出最小值的配线路径中的旁路电容设为有效,除此之外设为无效,针对IC 1的接地端子1G的每一者对旁路电容C1~C12的电源侧端子的全部组合下的印刷基板中的接地系统的配线路径的最短距离进行比较,将最短距离示出最小值的配线路径中的旁路电容判定为有效,除此之外判定为无效,最终将针对IC 1的电源端子1V及接地端子1G之中的至少1个旁路电容设为有效的旁路电容设为有效。

[0179] 即,有效性评价部104针对IC 1的多个电源端子1V及多个接地端子1G的每一者提取配线路径为最短距离的1个旁路电容,将提取出的旁路电容判定为有效,除此之外判定为无效。

[0180] 在图12的对于各端子的有效性的栏中示出对于多个电源端子1V及多个接地端子1G的每一者的判定结果的一个例子。

[0181] 在图12中,示出对于位于IC 1的C7处的电源端子1V来说旁路电容C2为有效(图示○符号),将除此之外的旁路电容判定为无效(图示×符号)这样的结果,示出对于位于IC 1的C6处的接地端子1G来说旁路电容C2为有效(图示○符号),将除此之外的旁路电容判定为无效(图示×符号)这样的结果,示出对于位于IC 1的C5处的电源端子1V来说旁路电容C4为有效(图示○符号),将除此之外的旁路电容判定为无效(图示×符号)这样的结果。

[0182] 另外,在图12中,在对于基板的有效性的栏中,对于IC 1的多个电源端子1V及多个接地端子1G,示出对针对旁路电容C1~C12的每一者的有效性进行判定得到的结果,对于IC

1的多个电源端子1V及多个接地端子1G之中的至少1个端子,示出将针对旁路电容设为有效的旁路电容C2、C4、C6、C7、C9、C11判定为有效(图示○符号),将除此之外的旁路电容C1、C3、C5、C8、C10、C12判定为无效(图示×符号)这样的结果。

[0183] 由有效性评价部104得到的信息是针对与有效关联起来的对基板判定为有效的旁路电容C2、C4、C6、C7、C9、C11的旁路电容个体信息以及针对与无效关联起来的判定为无效的旁路电容C1、C3、C5、C8、C10、C12所相关的旁路电容个体信息。

[0184] 总而言之,有效性评价部104将旁路电容C1~C12之中的与由连接路径计算部103计算出的最短距离的配线路径连接的旁路电容C2、C4、C6、C7、C9、C11判定为有效,将除此之外的旁路电容C1、C3、C5、C8、C10、C12判定为无效。

[0185] 此外,有效性评价部104即使在针对IC 1的电源端子1V及接地端子1G将旁路电容C1~C12重复地判定为有效的情况下,最终结果也判定为有效。

[0186] 设计变更部105基于由有效性评价部104得到的信息,决定为将判定为有效的旁路电容安装于印刷基板的6层图案,不将判定为无效的旁路电容安装于印刷基板的6层图案。

[0187] 设计变更部105例如在上述例子中,关于判定为有效的旁路电容C2、C4、C6、C7、C9、C11决定为是安装于印刷基板的6层图案的旁路电容,关于无效即未判定为有效的旁路电容C1、C3、C5、C8、C10、C12决定为是不安装于印刷基板的6层图案的旁路电容。

[0188] 由设计变更部105得到的信息是针对与安装关联起来的判定为有效的旁路电容C2、C4、C6、C7、C9、C11的旁路电容个体信息。

[0189] 变更结果输出部106将由设计变更部105得到的信息变换为基板设计信息200的格式而作为变更结果300输出。

[0190] 在图13中示出基于由变更结果输出部106得到的变更结果300,显示于显示器等显示装置的配置于6层图案的设计变更后的旁路电容C2、C4、C6、C7、C9、C11的配置状态。

[0191] 这样,计算从与IC 1的多个电源端子1V的每一者对应的多个IC用电源配线层11V~15V中的连接位置至旁路电容C1~C12各自的电源侧电极所连接的电容器用电源配线层61V、62V中的连接位置为止的配线路径的最短距离及从与IC 1的多个接地端子1G的每一者对应的多个IC用接地配线层11G~14G中的连接位置至旁路电容C1~C12各自的GND侧电极所连接的电容器用接地配线层61G中的连接位置为止的配线路径的最短距离,对至与IC 1的多个电源端子1V及多个接地端子1G的每一者对应的旁路电容C1~C12为止的最短距离进行相对比较,删除了配线路径比所选择的最短距离长,配线路径的阻抗高,对从IC 1的多个电源端子1V及多个接地端子1G的每一者至旁路电容C1~C12为止的阻抗的降低贡献低的旁路电容,因此不会降低由旁路电容器实现的性能,实现旁路电容器的配置个数的优化。

[0192] 接着,使用图14对实施方式1涉及的印刷基板的设计辅助系统的动作进行说明。

[0193] 如步骤ST1所示,调查对象选择部102读入由基板信息输入部101输入的基板设计信息200。

[0194] 调查对象选择部102将读入的基板设计信息200分类为对象和并非对象,选择被设为对象的个体部件信息211及个体配线信息223(步骤ST2)。

[0195] 作为一个例子如图3所示,作为个体部件信息211将旁路电容C1~C12选择为调查对象,作为个体配线信息223将位于B2、B4、B6、C3、C5、C7、D2、D4、D6、E3、E5、E7、F2、F4、F6、G3、G5、G7处的IC 1的电源端子1V和位于B3、B5、C2、C4、C6、D3、D5、D7、E2、E4、E6、F3、F5、F7、

G4、G6处的接地端子1G选择为调查对象。

[0196] 步骤ST2是将IC的多个电源端子1V及多个接地端子1G、旁路电容C1~C12选择为调查对象的选择步骤。

[0197] 此外,在希望知晓图3所示的将设为调查对象的个体部件信息即旁路电容C1~C12和设为调查对象的个体配线信息即IC 1的电源端子1V及接地端子1G排列起来的数据的情况下,也可以设为通过图3所示的排列而输出至显示装置那样的结构。

[0198] 连接路径计算部103针对通过选择步骤选择为调查对象的IC 1的多个电源端子1V及多个接地端子1G的每一者对至旁路电容C1~C12的每一者为止的印刷基板中的配线路径的最短距离进行计算(步骤ST3)。

[0199] 步骤ST3是针对IC 1的多个电源端子1V及多个接地端子1G的每一者,对与旁路电容C1~C12的每一者对应的印刷基板中的配线路径的最短距离进行计算的最短距离计算步骤。

[0200] 关于配线路径的最短距离的计算,使用图5至图10,以图4所示的位于C7处的电源端子1V为例进行说明。

[0201] 如图5所示,以位于C7处的电源端子1V所连接的1层图案10中的IC用电源配线层11V的C7的位置为起点PS,从起点PS经由路径P1至位于IC用电源配线层11V中的B6处的积层通路孔71V。

[0202] 从积层通路孔71V在2层图案20的电源用切换配线层21V中,如图6所示,经由路径P2至位于电源用切换配线层21V中的C6处的IVH 81V。

[0203] 如图7所示,IVH 81V没有与3层图案30电连接,将3层图案30贯穿,到达4层图案40。

[0204] 在4层图案40中,如图8所示,针对旁路电容C1~C6将从IVH 81V至5层图案50的路径选择为最短距离,针对旁路电容C7、C8将经由路径P41至IVH 84V的路径选择为最短距离,对于旁路电容C9、C10将经由路径P42至IVH 85V的路径选择为最短距离,对于旁路电容C11、C12将经由路径P43至IVH 86V的路径选择为最短距离。

[0205] 在5层图案50中,如图9所示,与旁路电容C1~C12对应地,将从IVH 81V经由电源用切换图案层51V中的路径P51至积层通路孔91V的路径、从IVH 84V经由电源用切换图案层52V中的路径P52至积层通路孔94V的路径、从IVH 85V经由电源用切换图案层52V中的路径P53至积层通路孔95V的路径、从IVH 86V经由电源用切换图案层52V中的路径P54至积层通路孔96V的路径选择为最短距离。

[0206] 在6层图案60中,如图10所示,将如下路径选择为最短距离。

[0207] 从积层通路孔91V经由路径P61至旁路电容C1的电源侧端子所连接的电容器用电源配线层61V中的C7的位置即终点PE1的路径。

[0208] 从积层通路孔92V经由路径P62至旁路电容C2的电源侧端子所连接的电容器用电源配线层61V中的C6的位置即终点PE2的路径。

[0209] 从积层通路孔91V经由路径P63至旁路电容C3的电源侧端子所连接的电容器用电源配线层61V中的C5的位置即终点PE3的路径。

[0210] 从积层通路孔91V经由路径P64至旁路电容C4的电源侧端子所连接的电容器用电源配线层61V中的C4的位置即终点PE4的路径。

[0211] 从积层通路孔92V经由路径P65至旁路电容C5的电源侧端子所连接的电容器用电

源配线层61V中的C3的位置即终点PE5的路径。

[0212] 从积层通路孔91V经由路径P66至旁路电容C6的电源侧端子所连接的电容器用电源配线层61V中的C2的位置即终点PE6的路径。

[0213] 从积层通路孔94V经由路径P67至旁路电容C7的电源侧端子所连接的电容器用电源配线层62V中的F7的位置即终点PE7的路径。

[0214] 从积层通路孔94V经由路径P68至旁路电容C8的电源侧端子所连接的电容器用电源配线层62V中的F6的位置即终点PE8的路径。

[0215] 从积层通路孔95V经由路径P69至旁路电容C9的电源侧端子所连接的电容器用电源配线层62V中的F5的位置即终点PE9的路径。

[0216] 从积层通路孔95V经由路径P610至旁路电容C10的电源侧端子所连接的电容器用电源配线层62V中的F4的位置即终点PE10的路径。

[0217] 从积层通路孔96V经由路径P611至旁路电容C11的电源侧端子所连接的电容器用电源配线层62V中的F3的位置即终点PE11的路径。

[0218] 从积层通路孔96V经由路径P612至旁路电容C12的电源侧端子所连接的电容器用电源配线层62V中的F2的位置即终点PE12的路径。

[0219] 因此,与针对位于C7处的电源端子1V的旁路电容C1对应的印刷基板中的配线路径的最短距离是起点PS-路径P1-积层通路孔71V-路径P2-IVH 81V-路径P51-积层通路孔91V-路径P61-终点PE1这样的路径。该路径由连接路径计算部103进行计算。

[0220] 相同地,与针对位于C7处的电源端子1V的旁路电容C2~C12对应的印刷基板中的配线路径的最短距离也由连接路径计算部103进行计算。

[0221] 在图11中示出以上述方式由连接路径计算部103求出的与针对位于C7处的电源端子1V的旁路电容C1~C12对应的印刷基板中的配线路径的最短距离的一个例子。

[0222] 此外,在希望知晓图11所示的将个体部件信息即旁路电容C1~C12、个体配线信息即IC 1的电源端子1V及接地端子1G和表示最短距离的信息排列为1组的数据的情况下,也可以设为通过图11所示的排列而输出至显示装置那样的结构。

[0223] 在对基板中的配线路径的最短距离进行计算的步骤ST3中,如果对于IC 1的多个电源端子1V及多个接地端子1G全部都结束了与旁路电容C1~C12对应的印刷基板中的配线路径的最短距离的计算,则有效性评价部104对于IC 1的多个电源端子1V及多个接地端子1G的每一者,进行与旁路电容C1~C12对应的印刷基板中的配线路径的最短距离的相对比较,将最短距离示出最小值的旁路电容判定为有效,将剩余的旁路电容判定为无效(步骤ST4)。

[0224] 步骤ST4是判定针对IC 1的多个电源端子1V及多个接地端子1G各自的旁路电容C1~C12的有效性的第1有效性判定步骤。

[0225] 如果有效性评价部104结束了针对IC 1的多个电源端子1V及多个接地端子1G各自的旁路电容C1~C12的有效性的判定,则有效性评价部104将关于多个电源端子1V及多个接地端子1G的至少1个端子而判定为有效的旁路电容针对印刷基板判定为有效,将除此之外的旁路电容针对印刷基板判定为无效即并非有效(步骤ST5)。

[0226] 步骤ST5是判定对于印刷基板的旁路电容C1~C12的有效性的第2有效性判定步骤。

[0227] 由此,在图12中示出有效性评价部104通过第1有效性判定步骤得到的针对各端子的有效性的判定结果和通过第2有效性判定步骤得到的针对基板的有效性的判定结果的一个例子。

[0228] 此外,在希望知晓图12所示的将个体部件信息即旁路电容C1~C12、表示针对IC 1的电源端子1V及接地端子1G的每一者的有效性的判定结果和对于基板的有效性的判定结果的信息排列为1组的数据的情况下,也可以设为通过图12所示的排列而输出至显示装置那样的结构。

[0229] 设计变更部105基于由有效性评价部104得到的信息,决定为将针对印刷基板判定为有效的旁路电容安装于印刷基板,不将判定为无效的旁路电容安装于印刷基板(步骤ST6)。

[0230] 步骤ST6是决定搭载于印刷基板的旁路电容的旁路电容决定步骤。

[0231] 变更结果输出部106将通过步骤ST6决定的旁路电容涉及的信息变换为基板设计信息200的格式而作为变更结果300输出(步骤ST7),结束。

[0232] 在图13中示出基于变更结果300,显示于显示器等显示装置的设计变更后的旁路电容C2、C4、C6、C7、C9、C11的配置状态。

[0233] 实施方式1涉及的设计辅助系统中的调查对象选择部102、连接路径计算部103、有效性评价部104和设计变更部105由基于计算机的硬件结构实现,如图15所示,具有CPU(Central Processing Unit)110、大容量的半导体存储器(RAM:Random Access Memory)120、硬盘装置或SSD装置等非易失性记录装置等存储装置(ROM:Read only memory)130、输入接口部140、输出接口部150、信号路径(总线)160。

[0234] CPU 110对RAM 120、ROM 130、输入接口部140和输出接口部150进行控制、管理。

[0235] CPU 110将存储于ROM 130的程序载入至RAM 120,CPU 110基于载入至RAM 120的程序而执行各种处理。

[0236] 由步骤ST2至步骤ST6实现的印刷基板的设计辅助方法通过由CPU 110按照存储于ROM 130的程序执行处理而进行。

[0237] 即,存储于ROM 130的程序具有:选择流程,将搭载于基板的半导体集成电路装置的多个电源端子及多个接地端子、能够搭载于基板的多个旁路电容器选择为调查对象;最短距离计算流程,计算与针对选择出的半导体集成电路装置的多个电源端子及多个接地端子各自的多个旁路电容器各自对应的基板中的配线路径的最短距离;第1有效性判定流程,针对半导体集成电路装置的多个电源端子及多个接地端子的每一者,进行计算出的与多个旁路电容器的每一者对应的基板中的配线路径的最短距离的相对比较,将最短距离示出最小值的旁路电容器判定为有效,将剩余的旁路电容器判定为无效;第2有效性判定流程,针对半导体集成电路装置的多个电源端子及多个接地端子中的至少1个端子,将判定为有效的旁路电容器判定为对基板有效,将除此之外的旁路电容器判定为对基板无效;以及旁路电容决定流程,从多个旁路电容器之中将判定为对基板有效的旁路电容器决定为搭载于基板的旁路电容器。

[0238] 此外,实施方式1涉及的印刷基板的设计辅助系统计算IC 1的电源端子1V的每一者与旁路电容C1~C12的电源侧端子的全部组合下的印刷基板中的1.0V电源系统的配线路径的最短距离、IC 1的接地端子1G的每一者与旁路电容C1~C12的接地侧端子的全部组合

下的接地系统的配线路径的最短距离,针对IC 1的多个电源端子1V及多个接地端子1G的每一者提取配线路径为最短距离的1个旁路电容,将提取出的旁路电容设为有效,除此之外判定为无效,但也可以计算IC 1的电源端子1V的每一者与旁路电容C1~C12的电源侧端子的全部组合下的印刷基板中的1.0V电源系统的配线路径的最短距离,针对IC 1的多个电源端子1V的每一者提取配线路径为最短距离的1个旁路电容,将提取出的旁路电容设为有效,除此之外判定为无效。

[0239] 如上所述,就实施方式1涉及的印刷基板的设计辅助系统而言,连接路径计算部103计算从与IC 1的多个电源端子1V的每一者对应的多个IC用电源配线层11V~15V中的连接位置至旁路电容C1~C12各自的电源侧电极所连接的电容器用电源配线层61V、62V中的连接位置为止的配线路径的最短距离,有效性评价部104对由连接路径计算部103计算出的至与IC 1的多个电源端子1V的每一者对应的旁路电容C1~C12为止的最短距离进行相对比较,将相对比较出的结果示出最小值的最短距离的配线路径所连接的旁路电容器判定为有效,将除此之外的旁路电容器判定为无效,设计变更部105在多个旁路电容C1~C12之中,将有效性评价部104判定为对印刷基板有效的旁路电容安装于基板,不将有效性评价部104判定为对印刷基板无效的旁路电容安装于基板,删除了对于各个人电脑来说配线路径比作为最小值选择出的最短距离长,其结果,配线路径中的阻抗高,对从IC 1的多个电源端子1V的每一者至旁路电容C1~C12为止的阻抗的降低贡献低的旁路电容,因此不会降低由旁路电容器实现的性能,实现旁路电容器的配置个数的优化。

[0240] 就实施方式1涉及的印刷基板的设计辅助系统而言,连接路径计算部103进一步计算从与IC 1的多个接地端子1G的每一者对应的多个IC用接地配线层11G~14G中的连接位置至旁路电容C1~C12各自的GND侧电极所连接的电容器用接地配线层61G中的连接位置为止的配线路径的最短距离,有效性评价部104进一步对由连接路径计算部103计算出的至与IC 1的多个接地端子1G的每一者对应的旁路电容C1~C12为止的最短距离进行相对比较,将相对比较后的结果示出最小值的最短距离的配线路径所连接的旁路电容器判定为有效,将除此之外的旁路电容器判定为无效,因此能够删除对从IC 1的多个接地端子1G的每一者至旁路电容C1~C12为止的阻抗的降低贡献低的旁路电容,不会降低由旁路电容器实现的性能,进一步实现旁路电容器的配置个数的优化。

[0241] 实施方式2

[0242] 根据图16至图20对实施方式2涉及的印刷基板的设计辅助系统进行说明。

[0243] 实施方式2涉及的设计辅助系统相对于实施方式1涉及的设计辅助系统,仅有效性评价部104A和设计变更部105A不同,其它方面相同。

[0244] 因此,以有效性评价部104A和设计变更部105A为中心进行说明。

[0245] 此外,IC 1的引脚配置及印刷基板中的IC 1的安装区域正下方的各层的表面的图案使用与在实施方式1中图4至图10所示者相同的图案。

[0246] 另外,在图16至图20中,与在图1至图15中标注的标号相同的标号表示相同或相当部分。

[0247] 有效性评价部104A的如下功能与实施方式1涉及的设计辅助系统中的有效性评价部104相同,即,针对IC 1的多个电源端子1V及多个接地端子1G的每一者提取配线路径为最短距离的1个旁路电容,将提取出的旁路电容设为有效,除此之外判定为无效的功能,以及

将关于多个电源端子1V及多个接地端子1G的至少1个端子判定为有效的旁路电容判定为对印刷基板有效,将除此之外的旁路电容判定为对印刷基板无效即并非有效的功能。

[0248] 在图17中,在从各端子至旁路电容为止的最短距离和有效性的栏中示出由连接路径计算部103计算出的最短距离和针对多个电源端子1V及多个接地端子1G的每一者的判定结果的一个例子,在对于基板的有效性的栏中示出对于基板的有效性的判定结果。

[0249] 在图17中,在从各端子至旁路电容为止的最短距离和有效性的栏及对于基板的有效性的栏中示出的一个例子与在实施方式1中图11及图12所示的一个例子相同。

[0250] 有效性评价部104A进一步具有如下功能,即,基于对于基板的有效性的判定结果,分组为判定为对印刷基板有效的旁路电容C2、C4、C6、C7、C9、C11、判定为对印刷基板无效的旁路电容C1、C3、C5、C8、C10、C12,对各组赋予优先位次。

[0251] 有效性评价部104A针对判定为对印刷基板有效的组A、判定为无效的组B各自的旁路电容,基于最短距离的值执行排序。

[0252] 以组A、B为单位的排序是在属于各个组A、B的旁路电容中,对关于IC 1的多个电源端子1V及多个接地端子1G的每一者计算出的印刷基板中的配线路径的最短距离进行相对比较,得到最小值的最短距离,将该最小值的最短距离的值小的旁路电容的有效性评价得更高,以组A、B为单位进行有效性的排序。

[0253] 例如,针对判定为对印刷基板有效的旁路电容C2、C4、C6、C7、C9、C11的组A以如下方式进行排序。

[0254] 针对各个旁路电容C2、C4、C6、C7、C9、C11,对关于IC 1的多个电源端子1V及多个接地端子1G的每一者计算出的印刷基板中的配线路径的最短距离的最小值进行相对比较,得到最小值的最短距离。例如,如针对旁路电容C2得到对位于C7处的电源端子1V的最短距离,针对旁路电容C4得到对位于C5处的电源端子1V的最短距离那样,得到针对各旁路电容的最小的最短距离。

[0255] 接着,对所得到的针对各旁路电容的最小的最短距离进行相对比较,将最小值的最短距离的值小的旁路电容的有效性评价得更高而进行排序。例如,如图17的位次的栏所示,按评价从高到低的顺序,如A1为旁路电容C2,A2为旁路电容C4,A3为旁路电容C7,A4为旁路电容C6,A5为旁路电容C9,A6为旁路电容C11那样进行排序。

[0256] 关于判定为无效的旁路电容C1、C3、C5、C8、C10、C12的组B,也与组A相同地进行排序,例如,如图17的位次的栏所示,按评价从高到低的顺序,如B1为旁路电容C8,B2为旁路电容C3,B3为旁路电容C1,B4为旁路电容C5,B5为旁路电容C10,B6为旁路电容C12那样进行排序。

[0257] 即,有效性评价部104A设为有效性的位次是A1为有效性最高,接着成为A2至A6的顺序,进一步为B1至B6的顺序,B6为有效性最低的排序。

[0258] 设计变更部105A基于由有效性评价部104A得到的有效性的排序,以有效性位次从低到高的顺序依次累积旁路电容而设为删除候补,如果除去设为删除候补的旁路电容的情况下的旁路电容(下面,称为安装候补旁路电容)的总电容值小于未删除的全部旁路电容C1~C12(下面,称为可安装的全部旁路电容)的总电容值,则以使安装候补旁路电容的总电容值大于或等于可安装的全部旁路电容的总电容值的方式对电容值不同的安装候补旁路电容进行选择。

[0259] 可安装的全部旁路电容是可安装于印刷基板的安装面的暂时决定的多个旁路电容C1~C12,是由调查对象选择部102中的个体部件选择部选择为调查对象的旁路电容C1~C12。

[0260] 选择为调查对象的旁路电容C1~C12的总电容值大于或等于满足由旁路电容器对IC 1实现的性能的电容量。

[0261] 关于各旁路电容C1~C12的电容量,为了避免由反共振导致的特性的劣化,从在调查对象选择部102的个体部件选择部中登记的旁路电容对电容量相等的旁路电容进行选择。

[0262] 所选择的旁路电容C1~C12的每一者是总电容值大于或等于满足由旁路电容器对IC 1实现的性能的电容量的登记于个体部件选择部的旁路电容之中的最小电容值的旁路电容。

[0263] 相同地,各安装候补旁路电容也从调查对象选择部102的个体部件选择部中登记的旁路电容进行选择。

[0264] 所选择的各安装候补旁路电容是安装候补旁路电容的总电容值大于或等于满足由旁路电容器对IC 1实现的性能的电容量的登记于个体部件选择部的旁路电容中的最小电容值的旁路电容。

[0265] 总而言之,设计变更部105A选择满足安装候补旁路电容的总电容值大于或等于可安装的全部旁路电容的总电容值这一条件,安装候补旁路电容各自的电容量相等的旁路电容。

[0266] 因此,对于不会降低由旁路电容器对IC 1实现的性能,另外,避免了由反共振导致的特性的劣化的安装候补旁路电容,设计变更部105A从在调查对象选择部102的个体部件选择部中登记的的旁路电容中选择满足条件的最小电容值的旁路电容。

[0267] 设计变更部105A基于由有效性评价部104A得到的有效性的排序,以有效性位次从低到高的顺序依次累积旁路电容而设为删除候补,对除去设为删除候补的旁路电容的情况下的IC 1的多个电源端子1V及多个接地端子1G间的阻抗和设定好的阻抗进行比较,如果该比较结果是IC 1的多个电源端子1V及多个接地端子1G间的阻抗低于设定好的阻抗,上一次的比较结果是高,则决定为至得到该比较结果时的旁路电容为止不安装于印刷基板,将剩余的旁路电容安装于印刷基板。

[0268] 设计变更部105A具有旁路电容变更位次决定、旁路电容变更、阻抗计算、变更结果比较及优化完成判定的功能。

[0269] 各功能如下。

[0270] 旁路电容变更位次决定的功能基于由有效性评价部104A得到的有效性的排序,将有效性位次低的旁路电容的删除位次设定得高。

[0271] 即,旁路电容C1~C12的删除位次与由有效性评价部104A得到的有效性的排序相反。

[0272] 旁路电容变更的功能是,从删除位次最高的旁路电容起依次累积通过旁路电容变更位次决定的功能将删除位次设定得高的旁路电容而设为删除候补,即,设为不安装于印刷基板,在变更结果比较的功能中,如果判定为比较结果是高,则将至前一个设为删除候补的删除位次为止的旁路电容再次设为删除候补。

[0273] 并且,旁路电容变更的功能是,如果通过优化完成判定的功能确定不能完成,则将至删除位次更高一位的旁路电容为止设为删除候补。

[0274] 旁路电容变更的功能例如是在初始状态下,将全部旁路电容C1~C12设为安装于基板(可安装的全部旁路电容),即,设为没有删除候补,如果通过优化完成判定的功能确定为不能完成,则将删除位次最高的旁路电容设为删除候补,在该例子中将11个旁路电容安装于基板。

[0275] 旁路电容变更的功能是,如果通过优化完成判定的功能确定为不能完成,则从删除位次高的旁路电容起依次设为删除候补,在该例子中以10个、9个的顺序安装于旁路电容。

[0276] 另外,旁路电容变更的功能是,如果通过变更结果比较的功能确定为比较结果是高,则返回到前一个设为删除候补的删除候补,将追加了1个旁路电容的个数安装于基板。例如,在删除位次为第7个,换言之将5个旁路电容安装于基板的情况下,如果比较结果是高,则旁路电容变更的功能将删除位次为第6个,换言之追加了1个旁路电容的6个旁路电容安装于基板。

[0277] 并且,旁路电容变更的功能对安装于基板的旁路电容(安装候补旁路电容)的总电容值与可安装的全部旁路电容C1~C12的总电容值进行比较,如果安装候补旁路电容的总电容值小于可安装的全部旁路电容C1~C12的总电容值,则相对于安装候补旁路电容的电容值而将调查对象选择部102的个体部件选择部中登记的下一个电容值更高的旁路电容选择为安装候补旁路电容。

[0278] 阻抗计算的功能是对安装候补旁路电容的IC 1的多个电源端子1V及多个接地端子1G间的阻抗进行计算。

[0279] 阻抗的计算通过通常已知的计算方法,例如,基于从由基板信息输入部101输入的基板设计信息200提取出的3D模型的电磁场解析或基于等价电路化的电路解析来进行。

[0280] 变更结果比较的功能是对阻抗的计算结果与设定好的阻抗(下面,称为设定值)进行比较,在阻抗的计算结果高于设定值的情况下返回到旁路电容变更的功能。

[0281] 如果返回到旁路电容变更的功能,则旁路电容变更的功能返回到前一个设为删除候补的删除候补,将追加了1个旁路电容的个数安装于基板。

[0282] 设定值也是将IC 1安装于印刷基板时的目标值。

[0283] 优化完成判定的功能在旁路电容变更的功能示出初始状态的情况下,或在变更结果比较的功能中,判定为该比较结果是阻抗的计算结果低于设定值,该比较结果的前一个的比较结果也是低的情况下,判定为无法实现旁路电容配置的优化而返回到旁路电容变更的功能。

[0284] 如果返回到旁路电容变更的功能,则旁路电容变更的功能将删除候补设定为至删除位次高1位为止的删除候补,即,将删除了1个旁路电容的个数安装于基板。

[0285] 另外,优化完成判定的功能是,在变更结果比较的功能中,如果该比较结果是阻抗的计算结果低于设定值,该比较结果的前一个的比较结果是高,则判定为旁路电容的优化完成,决定为将至得到该比较结果时的删除位次为止的旁路电容删除,将剩余的旁路电容安装于基板。

[0286] 如上所述,由于对至与IC 1的多个电源端子1V及多个接地端子1G的每一者对应的

旁路电容C1~C12为止的最短距离进行相对比较,在进行了有效性的排序的基础上决定安装于印刷基板的旁路电容,因此能够在不降低由旁路电容器对IC 1实现的性能的情况下,使IC 1的多个电源端子及多个接地端子间的阻抗小于或等于设定值,实现安装于印刷基板的旁路电容的个数的优化的精度及高效化。

[0287] 接着,使用图18及图19对实施方式2涉及的印刷基板的设计辅助系统的动作进行说明。

[0288] 由于从步骤ST1至步骤ST5为止与实施方式1涉及的设计辅助系统相同,因此省略说明。

[0289] 在图17中示出有效性评价部104A通过第1有效性判定步骤ST4得到的从IC 1的多个电源端子1V及多个接地端子1G的每一者至旁路电容C1~C12为止的最短距离及对于各端子的有效性的判定结果、通过第2有效性判定步骤ST5得到的对于基板的有效性的判定结果的一个例子。

[0290] 有效性评价部104A针对判定为对印刷基板有效的旁路电容的组A和判定为无效的组B各自的旁路电容对最短距离的最小值进行相对比较,以组A及组B为单位从最小值小者起设为有效性高而执行排序(步骤ST5A)。

[0291] 步骤5A是有效性的排序步骤。

[0292] 在图17的有效性的栏中示出有效性评价部104A通过步骤ST5A得到的有效性的位次的例子。

[0293] 此外,在希望知晓图17所示的将个体部件信息即旁路电容C1~C12、表示从个体配线信息即IC 1的电源端子1V及接地端子1G的每一者至旁路电容C1~C12为止的最短距离的信息及表示对于各端子的有效性的判定结果的信息、表示通过第2有效性判定步骤得到的对于基板的有效性的判定结果的信息和表示旁路电容C1~C12的有效性的位次的信息排列为1组的数据的情况下,也可以设为通过图17所示的排列而输出至显示装置那样的结构。

[0294] 步骤ST6A是设计变更部105A基于由有效性评价部104A得到的信息,决定搭载于印刷基板的旁路电容的旁路电容决定步骤。

[0295] 旁路电容决定步骤ST6A具有步骤ST6A1至步骤ST6A5。

[0296] 对IC 1的旁路电容C1~C12的总电容值是满足由旁路电容器对IC 1实现的性能的电容量,作为一个例子设为12.0 $\mu$ F。

[0297] 因此,可安装于印刷基板的对于IC 1的旁路电容C1~C12各自的电容值相等,不会降低旁路电容整体的性能,从调查对象选择部102的个体部件选择部中登记的旁路电容中将满足总电容值大于或等于12.0 $\mu$ F的1.0 $\mu$ F的旁路电容选择为初始状态的旁路电容。

[0298] 在实施方式2中,安装于基板的个人电脑的总电容值满足大于或等于初始状态的旁路电容C1~C12的总电容值12.0 $\mu$ F,不会降低与IC 1的电源端子1V连接的旁路电容整体的性能,通过旁路电容决定步骤ST6A求取使IC 1的多个电源端子及多个接地端子间的阻抗小于或等于设定值的安装于基板的旁路电容的个数及配置位置的优化。

[0299] 在步骤ST6A1中,设计变更部105A根据由有效性评价部104A得到的有效性的排序,以有效性位次从低到高的顺序进行旁路电容C1~C12的删除候补的排序。

[0300] 删除候补的排序与决定安装于印刷基板的旁路电容的配置位置和与IC 1的电源端子1V及接地端子1G连接的个数的变更顺序的步骤相当。

- [0301] 步骤ST6A1是决定旁路电容的变更顺序的步骤。
- [0302] 在将旁路电容C1~C12各自的电容值设为 $1.0\mu\text{F}$ 的初始状态下,在步骤ST6A2中设为删除候补0,即,将旁路电容C1~C12全部安装于印刷基板,进入步骤ST6A2。
- [0303] 在步骤ST6A3中,设计变更部105A基于由基板信息输入部101输入的基板设计信息200,通过电磁场解析或基于等价电路化的电路解析,对将旁路电容C1~C12全部安装于印刷基板的情况下的IC 1的多个电源端子1V及多个接地端子1G间的阻抗进行计算。
- [0304] 步骤ST6A3是计算阻抗的步骤。
- [0305] 在步骤ST6A4中,对阻抗的计算结果和由基板信息输入部101输入的阻抗的设定值进行比较。
- [0306] 如果阻抗的计算结果低于设定值即是OK,则进入步骤ST6A5。
- [0307] 步骤ST6A4是进行变更了旁路电容向印刷基板的安装个数(包含配置)时的阻抗的比较的步骤。
- [0308] 在步骤ST6A5中,由于是初始状态,因此设为NG而返回到步骤ST6A2。
- [0309] 在步骤ST6A2中将删除候补设定为至删除位次高1位为止的删除候补,即,将删除了1个旁路电容的个数安装于基板。
- [0310] 作为一个例子示出的是,在步骤ST6A2中将旁路电容C12设为删除候补(参照图17的位次的栏),将除去旁路电容C12后的11个旁路电容安装于印刷基板。
- [0311] 11个旁路电容的总电容值为 $11.0\mu\text{F}$ ( $=1.0\mu\text{F}\times 11$ 个),由于小于满足由旁路电容器对IC 1实现的性能的电容量 $12.0\mu\text{F}$ ,因此以11个旁路电容的总电容值大于或等于电容量 $12.0\mu\text{F}$ 的方式,从调查对象选择部102的个体部件选择部中登记的旁路电容中对11个旁路电容的每一者进行选择。
- [0312] 从调查对象选择部102的个体部件选择部中登记的旁路电容中,由设计变更部105A选择满足11个旁路电容的总电容值大于或等于电容量 $12.0\mu\text{F}$ 这一条件,即示出各旁路电容的电容量满足( $12.0\mu\text{F}/11$ 个)的电容量的最小电容值的旁路电容,作为一个例子选择 $2.2\mu\text{F}$ 的旁路电容。
- [0313] 从初始状态的12个 $1.0\mu\text{F}$ 的旁路电容变更为11个 $2.2\mu\text{F}$ 的旁路电容,进入步骤ST6A3。
- [0314] 从步骤ST6A3依次进入步骤ST6A4、步骤ST6A5。
- [0315] 在步骤ST6A5中,由于阻抗的计算结果低于设定值,低于设定值这一比较结果的前一个的比较结果也是低,因此设为NG而返回到步骤ST6A2。
- [0316] 步骤ST6A2是将删除候补累积至删除位次高1位的旁路电容C10而设为删除候补,将除了旁路电容C12、C10之外的10个旁路电容安装于印刷基板。
- [0317] 此时,10个旁路电容的总电容值为 $22.0\mu\text{F}$ ( $=2.2\mu\text{F}\times 10$ 个),由于满足大于或等于可安装的全部旁路电容C1~C12的总电容值 $12.0\mu\text{F}$ ,因此进入步骤ST6A3,相同地进入步骤ST6A4、步骤ST6A5,返回到步骤ST6A2的处理直至在步骤ST6A4中阻抗的计算结果高于设定值为止重复执行。
- [0318] 现在,作为一个例子,在累积至旁路电容C11,删除候补在该例子中为C12、C10、C5、C1、C3、C8、C11这7个,将剩余的5个旁路电容安装于印刷基板的情况下,在步骤ST6A4中,阻抗的计算结果高于设定值,即,设为NG而返回到步骤ST6A2。

[0319] 在步骤ST6A2中,返回到累积至前一个设为删除候补的旁路电容C8的删除候补,将追加了1个旁路电容C11的6个旁路电容安装于印刷基板。

[0320] 此时,6个旁路电容的总电容值为 $13.2\mu\text{F}$ ( $=2.2\mu\text{F}\times 6$ 个),满足大于或等于可安装的全部旁路电容C1~C12的总电容值 $12.0\mu\text{F}$ ,因此进入步骤ST6A3。

[0321] 在该情况下,由于阻抗的计算结果低于设定值,因此从步骤ST6A3依次进入步骤ST6A4、步骤ST6A5。

[0322] 在步骤ST6A5中,由于阻抗的计算结果低于设定值,低于设定值这一比较结果的前一个的比较结果是高,因此设为OK,决定为将至得到该比较结果时的删除位次为止的旁路电容删除,在该例子中将C12、C10、C5、C1、C3、C8这6个旁路电容删除,将剩余的旁路电容安装于基板,在该例子中将电容值 $2.2\mu\text{F}$ 的旁路电容C2、C4、C7、C6、C9、C11安装于基板,输出变更结果。

[0323] 在图20中示出旁路电容C1~C12的每一者的容量值为初始状态的 $1.0\mu\text{F}$ 的情况、将旁路电容C1~C12的每一者的电容值设为 $2.2\mu\text{F}$ 的情况下的对印刷基板的旁路电容C1~C12的有效性。

[0324] 如上所述,在步骤ST6A5中,至该比较结果是阻抗的计算结果低于设定值,前一个的比较结果是阻抗的计算结果高于设定值为止,根据删除位次进行旁路电容的删除,由此能够在不降低由旁路电容器对于IC 1实现的性能的情况下,避免相对于阻抗的设定值过剩地安装向印刷基板安装的旁路电容,以最低限度的旁路电容的个数安装于印刷基板中的准确的配置位置。

[0325] 步骤ST7与实施方式1涉及的设计辅助系统相同,将通过步骤ST6A决定的旁路电容涉及的信息变换为基板设计信息200的格式而作为变更结果300输出,结束。

[0326] 基于变更结果300的显示于显示器等显示装置的设计变更后的旁路电容的配置状态与由图13所示的实施方式1涉及的设计辅助系统得到的配置状态相同。

[0327] 实施方式2涉及的设计辅助系统中的调查对象选择部102、连接路径计算部103、有效性评价部104A和设计变更部105A与图15所示的实施方式1涉及的设计辅助系统中的基于计算机的硬件结构相同。

[0328] 由步骤ST2至步骤ST6A实现的印刷基板的设计辅助方法通过由CPU 110按照存储于ROM 130的程序执行处理而进行。

[0329] 即,存储于ROM 130的程序具有:选择流程,将搭载于基板的半导体集成电路装置的多个电源端子及多个接地端子、能够搭载于基板的多个旁路电容器选择为调查对象;最短距离计算流程,计算与针对选择出的半导体集成电路装置的多个电源端子及多个接地端子各自的多个旁路电容器各自对应的基板中的配线路径的最短距离;第1有效性判定流程,针对半导体集成电路装置的多个电源端子及多个接地端子的每一者,进行计算出的与多个旁路电容器的每一者对应的基板中的配线路径的最短距离的相对比较,将最短距离示出最小值的旁路电容器判定为有效,将剩余的旁路电容器判定为无效;第2有效性判定流程,将针对半导体集成电路装置的多个电源端子及多个接地端子的至少1个端子判定为有效的旁路电容器判定为对基板有效,将除此之外的旁路电容器判定为对基板无效;有效性的排序流程,将判定为对基板有效的旁路电容器的组A的有效性设为比判定为对基板无效的旁路电容器的组B高,并且,针对属于各个组A及组B的旁路电容器,对关于半导体集成电路装置

的多个电源端子及多个接地端子的每一者计算出的基板中的配线路径的最短距离进行相对比较,得到最小值的最短距离,将该最小值的最短距离的值小的旁路电容器的有效性评价得更高而执行有效性的排序;旁路电容选择流程,基于所得到的有效性的排序,以有效性位次从低到高的顺序依次累积旁路电容器而设为删除候补,选择除去设为该删除候补的旁路电容器后的情况下的旁路电容器的总电容值满足大于或等于初始设定的可搭载于基板的多个旁路电容器的总电容值,除去设为该删除候补的旁路电容器后的情况下的旁路电容器的每一者的电容值相等的旁路电容器;以及旁路电容决定流程,基于所得到的有效性的排序,以有效性位次从低到高的顺序依次累积旁路电容而设为删除候补,对除去设为该删除候补的旁路电容器后的情况下的半导体集成电路装置的多个电源端子及多个接地端子间的阻抗与设定好的阻抗进行比较,如果该比较结果是半导体集成电路装置的多个电源端子及多个接地端子间的阻抗低于设定好的阻抗,前一个的比较结果是高,则至得到该比较结果时的旁路电容为止不安装于基板,将剩余的旁路电容器决定为安装于基板的旁路电容器。

[0330] 如上所述,实施方式2涉及的印刷基板的设计辅助系统具有与实施方式1涉及的设计辅助系统相同的效果,除此之外,对IC 1的多个电源端子1V及多个接地端子1G间的阻抗的计算结果与设定好的阻抗进行比较,直至该比较结果是阻抗的计算结果低于设定值,前一个的比较结果是阻抗的计算结果高于设定值为止根据删除位次进行旁路电容的删除,由此能够在不降低由旁路电容器对IC 1实现的性能的情况下,避免相对于阻抗的设定值过剩地安装向印刷基板安装的旁路电容,以最低限度的旁路电容的个数安装于印刷基板中的准确的配置位置。

[0331] 实施方式3

[0332] 根据图21至图22对实施方式3涉及的印刷基板的设计辅助系统进行说明。

[0333] 实施方式3涉及的设计辅助系统相对于实施方式2涉及的设计辅助系统,仅设计变更部105B不同,其它方面相同。

[0334] 因此,以设计变更部105B为中心进行说明。

[0335] 此外,在图21至图22中,与在图1至图20中标注的标号相同的标号表示相同或相当的部分。

[0336] 设计变更部105B通过有效性评价部104A将属于组B的旁路电容全部设为删除候补,接着,基于由有效性评价部104A得到的组A中的有效性的排序,以有效性位次从低到高的顺序依次累积旁路电容而设为删除候补,对除去设为删除候补的个人电脑后的情况下的IC 1的多个电源端子1V及多个接地端子1G间的阻抗与设定好的阻抗进行比较,如果该比较结果是IC 1的多个电源端子1V及多个接地端子1G间的阻抗低于设定好的阻抗,前一个的比较结果是高,则决定为至得到该比较结果时的旁路电容为止不安装于印刷基板,将剩余的旁路电容安装于印刷基板。

[0337] 设计变更部105B具有旁路电容变更位次决定、旁路电容变更、阻抗计算、变更结果比较及优化完成判定的功能。

[0338] 仅旁路电容变更位次决定的功能与实施方式2中的旁路电容变更位次决定的功能不同,其它方面相同。

[0339] 旁路电容变更位次决定的功能是,首先,通过有效性评价部104A将属于组B的旁路

电容全部设为删除候补,接着,基于由有效性评价部104A得到的组A中的有效性的排序,将有效性的位次低的旁路电容的删除位次设定得高。

[0340] 即,旁路电容C1~C12的删除位次与由有效性评价部104A得到的有效性的排序相反。

[0341] 如上所述,由于将属于组B的旁路电容全部设为删除候补,对至与IC 1的多个电源端子1V及多个接地端子1G的每一者对应的旁路电容C1~C12为止的最短距离进行相对比较,在进行了有效性的排序的基础上决定安装于印刷基板的旁路电容,因此实现处理时间的缩短,使IC 1的多个电源端子及多个接地端子间的阻抗小于或等于设定值,能够实现安装于印刷基板的旁路电容的个数的优化精度及高效化。

[0342] 接着,使用图22对实施方式3涉及的印刷基板的设计辅助系统的动作进行说明。

[0343] 实施方式3涉及的设计辅助系统的动作相对于实施方式2涉及的设计辅助系统的动作仅决定旁路电容的变更顺序的步骤ST6A1'不同,其它方面相同,因此以步骤ST6A1'为中心进行说明。

[0344] 在步骤ST6A1'中,最先,作为删除候补设为属于组B的全部旁路电容,在该例子中为C12、C10、C5、C1、C3、C8这6个,将剩余的6个旁路电容安装于印刷基板而进入步骤ST6A2、步骤ST6A3、步骤ST6A4,在步骤ST6A4中,如果阻抗的计算结果低于设定值则进入步骤ST6A5,返回到步骤ST6A2。

[0345] 在步骤ST6A2中将删除候补设为至删除位次高1位为止的删除候补,即,将删除了1个旁路电容的个数安装于基板。

[0346] 作为一个例子,旁路电容C11为下一个删除候补,将至C11为止的删除候补设为7个,将5个旁路电容安装于印刷基板,进入步骤ST6A3、步骤ST6A4,在步骤ST6A4中,阻抗的计算结果高于设定值,返回到步骤ST6A2。

[0347] 在步骤ST6A2中,将删除候补返回至属于组B的最低的删除候补的旁路电容C8,将追加了1个旁路电容C11的6个旁路电容安装于印刷基板,进入步骤ST6A3。

[0348] 在该情况下,由于阻抗的计算结果低于设定值,因此从步骤ST6A3依次进入步骤ST6A4、步骤ST6A5。

[0349] 在步骤6A5中,由于阻抗的计算结果低于设定值,低于设定值这一比较结果的前一个的比较结果是高,因此设为OK,决定为将至得到该比较结果时的删除位次为止的旁路电容删除,在该例子中将C12、C10、C5、C1、C3、C8这6个旁路电容删除,将剩余的旁路电容安装于基板,在该例子中将C2、C4、C7、C6、C9、C11安装于基板,输出变更结果。

[0350] 此外,在步骤ST6A4中,如果阻抗的计算结果低于设定值则进入步骤ST6A5,返回到步骤ST6A2,在步骤ST6A2中将删除候补累积至删除位次高1位的旁路电容而设为删除候补,重复进行处理。

[0351] 另一方面,在步骤ST6A2中,将删除候补设为属于组B的全部旁路电容,进入步骤ST6A3、步骤ST6A4,在步骤ST6A4中,如果阻抗的计算结果高于设定值则返回到步骤ST6A2。

[0352] 在步骤ST6A2中,将删除候补返回至属于组B的最低的删除候补的旁路电容C8,将追加了1个旁路电容C11的6个旁路电容安装于印刷基板,进入步骤ST6A3,进行相同的处理。

[0353] 实施方式3涉及的设计辅助系统中的调查对象选择部102、连接路径计算部103、有效性评价部104A和设计变更部105B与图15所示的实施方式1涉及的设计辅助系统中的基于

计算机的硬件结构相同。

[0354] 由步骤ST2至步骤ST6A实现的印刷基板的设计辅助方法通过由CPU 110按照存储于ROM 130的程序执行处理而进行。

[0355] 即,存储于ROM 130的程序具有:选择流程,将搭载于基板的半导体集成电路装置的多个电源端子及多个接地端子、能够搭载于基板的多个旁路电容器选择为调查对象;最短距离计算流程,计算与针对选择出的半导体集成电路装置的多个电源端子及多个接地端子各自的多个旁路电容器各自对应的基板中的配线路径的最短距离;第1有效性判定流程,针对半导体集成电路装置的多个电源端子及多个接地端子的每一者,进行计算出的与多个旁路电容器的每一者对应的基板中的配线路径的最短距离的相对比较,将最短距离示出最小值的旁路电容器判定为有效,将剩余的旁路电容器判定为无效;第2有效性判定流程,将针对半导体集成电路装置的多个电源端子及多个接地端子的至少1个端子判定为有效的旁路电容器判定为对基板有效,将除此之外的旁路电容器判定为对基板无效;有效性的排序流程,将判定为对基板有效的旁路电容器的组A的有效性设为比判定为对基板无效的旁路电容器的组B高,并且,针对属于组A的旁路电容器,对关于半导体集成电路装置的多个电源端子及多个接地端子的每一者计算出的基板中的配线路径的最短距离进行相对比较,得到最小值的最短距离,将该最小值的最短距离的值小的旁路电容器的有效性评价得更高而执行有效性的排序;旁路电容选择流程,将设为组B的旁路电容器全部设为删除候补,接着基于所得到的组A中的有效性的排序,以有效性位次从低到高的顺序依次累积旁路电容器而设为删除候补,选择除去设为该删除候补的旁路电容器后的情况下的旁路电容器的总电容值满足大于或等于初始设定的可搭载于基板的多个旁路电容器的总电容值,除去设为该删除候补的旁路电容器后的情况下的旁路电容器的每一者的电容值相等的旁路电容器;以及旁路电容决定流程,将设为组B的旁路电容器全部设为删除候补,接着基于所得到的组A中的有效性的排序,以有效性位次从低到高的顺序依次累积旁路电容而设为删除候补,对除去设为该删除候补的旁路电容器后的情况下的半导体集成电路装置的多个电源端子及多个接地端子间的阻抗与设定好的阻抗进行比较,如果该比较结果是半导体集成电路装置的多个电源端子及多个接地端子间的阻抗低于设定好的阻抗,前一个的比较结果是高,则至得到该比较结果时的旁路电容为止不安装于基板,将剩余的旁路电容器决定为安装于基板的旁路电容器。

[0356] 如上所述,实施方式3涉及的印刷基板的设计辅助系统具有与实施方式2涉及的设计辅助系统相同的效果,除此之外,由于最先将属于组B的旁路电容全部设为删除候补,因此能够使针对印刷基板的旁路电容的个数及配置位置从接近于最优化的状态开始,缩短处理时间,不会降低由旁路电容器对IC 1实现的性能,使IC 1的多个电源端子及多个接地端子间的阻抗小于或等于设定值,实现安装于印刷基板的旁路电容的个数的优化精度及高效化。

[0357] 实施方式4

[0358] 根据图23至图24对实施方式4涉及的印刷基板的设计辅助系统进行说明。

[0359] 实施方式4涉及的设计辅助系统相对于实施方式2涉及的设计辅助系统,仅有效性评价部104B不同,其它方面相同。

[0360] 因此,以有效性评价部104B为中心进行说明。

[0361] 此外,在图23至图24中,与在图1至图22中标注的标号相同的标号表示相同或相当的部分。

[0362] 有效性评价部104B对在多个旁路电容C1~C12之中是否包含平滑电容器进行确认,如果包含则提取平滑电容器,提取出的平滑电容器必须安装于印刷基板。

[0363] 就有效性评价部104B中的平滑电容器的提取而言,参照基于从基板信息输入部101输入的基板设计信息由连接路径计算部103得到的个体部件信息即旁路电容C1~C12的规格所关联的部件信息即旁路电容C1~C12的电容值,如果大于或等于预先决定的平滑电容器的电容阈值,则识别为平滑电容器。

[0364] 平滑电容器的电容阈值通常为 $10\mu\text{F}$ 。

[0365] 有效性评价部104B对于除去提取出的平滑电容器后的多个旁路电容的处理与实施方式2中的有效性评价部104A相同。

[0366] 关于设计变更部105A,对于除去有效性评价部104B提取出的平滑电容器后的多个旁路电容的处理也与实施方式2中的设计变更部105A实质上相同。

[0367] 即,设计变更部105A始终将由有效性评价部104B提取出的平滑电容器排除在删除候补之外而实施处理,在变更结果比较的功能中,如果该比较结果是阻抗的计算结果低于设定值,该比较结果的前一个的比较结果是高,则决定为将至得到该比较结果时的删除位次为止的旁路电容删除,将包含由有效性评价部104B提取出的平滑电容器在内的剩余的旁路电容安装于基板。

[0368] 此外,基板信息输入部101、调查对象选择部102、连接路径计算部103和变更结果输出部106与实施方式2中的基板信息输入部101、调查对象选择部102、连接路径计算部103和变更结果输出部106相同。

[0369] 如上所述,如果通过有效性评价部104B提取了平滑电容器,则除去平滑电容器而进行处理,因此能够防止将安装于印刷基板的电源平滑用的电容器删除,在此基础上,使IC1的多个电源端子及多个接地端子间的阻抗小于或等于设定值,实现安装于印刷基板的旁路电容的个数的优化精度及高效化。

[0370] 实施方式4涉及的印刷基板的设计辅助系统的动作也与实施方式2涉及的设计辅助系统的动作实质上相同,但在第1有效性判定步骤ST4中提取出平滑电容器的基础上执行处理这一点上不同。

[0371] 即,在实施方式2中示出的图18所示的流程图中,实施方式4涉及的设计辅助系统的动作如下。

[0372] 在第1有效性判定步骤ST4中,有效性评价部104B从多个旁路电容C1~C12提取平滑电容器,针对除去平滑电容器后的所述多个旁路电容C1~C12执行是有效还是无效的判定,在第2有效性判定步骤ST5中,针对除去平滑电容器后的所述多个旁路电容C1~C12执行对印刷基板有效还是无效的判定。

[0373] 在图23中示出有效性评价部104B通过第1有效性判定步骤ST4提取出的平滑电容器、通过第1有效性判定步骤ST4得到的从IC1的多个电源端子1V及多个接地端子1G的每一者至旁路电容C1~C12为止的最短距离及对各端子的有效性的判定结果、通过第2有效性判定步骤得到的对基板的有效性的判定结果和有效性的位次的例子。

[0374] 作为一个例子,使由有效性评价部104B提取出的平滑电容器为旁路电容C1,旁路

电容C1的电容值为 $12\mu\text{F}$ ,旁路电容C2~C12的每一者是以旁路电容C1~C12的总电容值满足大于或等于满足由旁路电容器对IC 1实现的性能的电容量 $12.0\mu\text{F}$ 的方式,从调查对象选择部102的个体部件选择部中登记的旁路电容中设为示出最小电容值的 $0.1\mu\text{F}$ 的旁路电容。

[0375] 为了表示旁路电容C1为平滑电容器,在位次的栏中填入C。

[0376] 此外,在希望知晓图23所示的将个体部件信息即旁路电容C1~C12、旁路电容C1~C12的电容值、表示从个体配线信息即IC 1的电源端子1V及接地端子1G的每一者至旁路电容C1~C12为止的最短距离的信息及表示对各端子的有效性的判定结果的信息、表示通过第2有效性判定步骤得到的对基板的有效性的判定结果的信息和表示旁路电容C1~C12的有效性的位次的信息排列为1组的数据的情况下,也可以设为通过图23所示的排列而输出至显示装置那样的结构。

[0377] 另外,在实施方式2中示出的图19所示的流程图中,实施方式4涉及的旁路电容决定步骤ST6A如下。

[0378] 在步骤ST6A1中,设计变更部105A例如除去由有效性评价部104A提取出的平滑电容器即旁路电容C1,根据由有效性评价部104A得到的有效性的排序,以有效性位次从低到高的顺序进行旁路电容C2~C12的删除候补的排序。

[0379] 步骤ST6A2之后至步骤ST6A5为止,以将通过有效性评价部104A提取出的平滑电容器即旁路电容C1安装于印刷基板为前提执行处理。

[0380] 如上所述,在将通过有效性评价部104A提取出的平滑电容器即旁路电容C1安装于印刷基板的前提下,至比较结果是阻抗的计算结果低于设定值,前一个的比较结果是阻抗的计算结果高于设定值为止,根据删除位次进行旁路电容的删除,由此能够在必然将平滑电容器安装于印刷基板的基础上,避免相对于阻抗的设定值过剩地安装向印刷基板安装的旁路电容,以最低限度的旁路电容的个数安装于印刷基板中的准确的配置位置。

[0381] 实施方式4涉及的设计辅助系统中的调查对象选择部102、连接路径计算部103、有效性评价部104B和设计变更部105A与图15所示的实施方式1涉及的设计辅助系统中的基于计算机的硬件结构相同。

[0382] 由步骤ST2至步骤ST6A实现的印刷基板的设计辅助方法通过由CPU 110按照存储于ROM 130的程序执行处理而进行。

[0383] 即,存储于ROM 130的程序具有:选择流程,将搭载于基板的半导体集成电路装置的多个电源端子及多个接地端子、能够搭载于基板的多个旁路电容器选择为调查对象;最短距离计算流程,计算与针对选择出的半导体集成电路装置的多个电源端子及多个接地端子各自的多个旁路电容器各自对应的基板中的配线路径的最短距离;第1有效性判定流程,从多个旁路电容器提取平滑电容器,针对半导体集成电路装置的多个电源端子及多个接地端子的每一者,进行计算出的与除去提取出的平滑电容器后的多个旁路电容器的每一者对应的基板中的配线路径的最短距离的相对比较,将最短距离示出最小值的旁路电容器判定为有效,将剩余的旁路电容器判定为无效;第2有效性判定流程,将针对半导体集成电路装置的多个电源端子及多个接地端子的至少1个端子判定为有效的旁路电容器判定为对基板有效,将除此之外的旁路电容器判定为对基板无效;有效性的排序流程,将判定为对基板有效的旁路电容器的组A的有效性设为比判定为对基板无效的旁路电容器的组B高,并且,针对属于组A及组B的每一者的旁路电容器,对关于半导体集成电路装置的多个电源端子及多

个接地端子的每一者计算出的基板中的配线路径的最短距离进行相对比较,得到最小值的最短距离,将该最小值的最短距离的值小的旁路电容器的有效性评价得更高而执行有效性的排序;以及旁路电容决定流程,基于所得到的有效性的排序,以有效性位次从低到高的顺序依次累积旁路电容而设为删除候补,对除去设为该删除候补的旁路电容器后的情况下的半导体集成电路装置的多个电源端子及多个接地端子间的阻抗与设定好的阻抗进行比较,如果该比较结果是半导体集成电路装置的多个电源端子及多个接地端子间的阻抗低于设定好的阻抗,前一个的比较结果是高,则至得到该比较结果时的旁路电容为止不安装于基板,将包含提取出的平滑电容器在内的剩余的旁路电容器决定为安装于基板的旁路电容器。

[0384] 如上所述,实施方式4涉及的印刷基板的设计辅助系统具有与实施方式2涉及的设计辅助系统相同的效果,除此之外,在必然将平滑电容器安装于印刷基板的基础上,使IC 1的多个电源端子及多个接地端子间的阻抗小于或等于设定值,能够实现安装于印刷基板的旁路电容的个数的优化精度及高效化。

[0385] 此外,在实施方式4涉及的设计辅助系统中,也可以与实施方式3涉及的设计辅助系统相同地,通过有效性评价部104B将属于组B的旁路电容全部设为删除候补,通过设计变更部105B执行处理。

[0386] 该情况下的存储于ROM 130的程序具有:选择流程,将搭载于基板的半导体集成电路装置的多个电源端子及多个接地端子、能够搭载于基板的多个旁路电容器选择为调查对象;最短距离计算流程,计算与针对选择出的半导体集成电路装置的多个电源端子及多个接地端子各自的多个旁路电容器各自对应的基板中的配线路径的最短距离;第1有效性判定流程,从多个旁路电容器提取平滑电容器,针对半导体集成电路装置的多个电源端子及多个接地端子的每一者,进行计算出的与除去提取出的平滑电容器后的多个旁路电容器的每一者对应的基板中的配线路径的最短距离的相对比较,将最短距离示出最小值的旁路电容器判定为有效,将剩余的旁路电容器判定为无效;第2有效性判定流程,将针对半导体集成电路装置的多个电源端子及多个接地端子的至少1个端子判定为有效的旁路电容器判定为对基板有效,将除此之外的旁路电容器判定为对基板无效;有效性的排序流程,将判定为对基板有效的旁路电容器的组A的有效性设为比判定为对基板无效的旁路电容器的组B高,并且,针对属于组A的旁路电容器,关于半导体集成电路装置的多个电源端子及多个接地端子的每一者计算出的基板中的配线路径的最短距离进行相对比较,得到最小值的最短距离,将该最小值的最短距离的值小的旁路电容器的有效性评价得更高而执行有效性的排序;以及旁路电容决定流程,将设为组B的旁路电容器全部设为删除候补,接着基于所得到的有效性的排序,以组A中的有效性位次从低到高的顺序依次累积旁路电容而设为删除候补,对除去设为该删除候补的旁路电容器后的情况下的半导体集成电路装置的多个电源端子及多个接地端子间的阻抗与设定好的阻抗进行比较,如果该比较结果是半导体集成电路装置的多个电源端子及多个接地端子间的阻抗低于设定好的阻抗,前一个的比较结果是高,则至得到该比较结果时的旁路电容为止不安装于基板,将包含提取出的平滑电容器在内的剩余的旁路电容器决定为安装于基板的旁路电容器。

[0387] 另外,在实施方式4涉及的设计辅助系统中,有效性评价部104从多个旁路电容C1~C12提取平滑电容器,在针对除去平滑电容器后的多个旁路电容C1~C12执行了对于印刷

基板有效还是无效的判定后,与实施方式1涉及的设计辅助系统相同地,设计变更部105基于由有效性评价部104得到的信息,决定为将作为平滑电容器提取出的旁路电容及判定为有效的旁路电容安装于印刷基板,不将判定为无效的旁路电容安装于印刷基板。

[0388] 该情况下的存储于ROM 130的程序具有:选择流程,将搭载于基板的半导体集成电路装置的多个电源端子及多个接地端子、能够搭载于基板的多个旁路电容器选择为调查对象;最短距离计算流程,计算与针对选择出的半导体集成电路装置的多个电源端子及多个接地端子各自的多个旁路电容器各自对应的基板中的配线路径的最短距离;第1有效性判定流程,从多个旁路电容器提取平滑电容器,针对半导体集成电路装置的多个电源端子及多个接地端子的每一者,进行计算出的与除去提取出的平滑电容器后的多个旁路电容器的每一者对应的基板中的配线路径的最短距离的相对比较,将最短距离示出最小值的旁路电容器判定为有效,将剩余的旁路电容器判定为无效;第2有效性判定流程,将针对半导体集成电路装置的多个电源端子及多个接地端子的至少1个端子判定为有效的旁路电容器判定为对基板有效,将除此之外的旁路电容器判定为对基板无效;以及旁路电容决定流程,从多个旁路电容器之中将作为平滑电容器提取出的旁路电容器及判定为对基板有效的旁路电容器决定为搭载于基板的旁路电容器。

[0389] 实施方式5

[0390] 根据图25至图35对实施方式5涉及的印刷基板的设计辅助系统进行说明。

[0391] 实施方式5涉及的设计辅助系统相对于实施方式2涉及的设计辅助系统,仅有效性评价部104C不同,其它方面相同。

[0392] 因此,以有效性评价部104C为中心进行说明。

[0393] 此外,在图25至图34中,与在图1至图22中标注的标号相同的标号表示相同或相当的部分。

[0394] 关于实施方式5涉及的设计辅助系统,以图26所示的引脚配置的IC 1及图27至图32所示的具有IC 1的安装区域正下方的各层中的图案的印刷基板为对象,对决定旁路电容的配置位置的设计辅助进行说明。

[0395] 即,在实施方式2涉及的设计辅助系统中,作为IC 1,如图4所示,以电源端子1V与接地端子1G在纵向以及横向上均交替配置的IC及与该IC对应的印刷基板为对象。

[0396] 相对于此,实施方式5涉及的设计辅助系统如图26所示,相邻的两个电源端子1V成对地配置,在本例中配置有4个电源端子1V对。

[0397] 相邻地配置的两个电源端子1V的间距P为1mm。即,引脚配置的格子间的间距为1mm。

[0398] 因此,首先,使用图26至图32对IC 1的引脚配置及印刷基板中的IC的安装区域正下方的各层中的图案进行说明。

[0399] IC 1的引脚配置(在该例子中,是焊料球的配置,总称为引脚配置)如图26所示,与实施方式2中作为对象的IC 1的引脚配置相同地,以横向8列、纵向8行的 $8 \times 8$ 的格子状配置了引脚。

[0400] 将横向设为A列至H列,将纵向设为1行至8行,将列与行的交点设为A1~A8、~、H1~H8。

[0401] IC 1的电源端子1V配置于B4、B5、D2、E2、D7、E7、G4、G5。

[0402] 配置于B4及B5的电源端子1V构成电源端子1V对,配置于D2及E2的电源端子1V构成电源端子1V对,配置于D7及E7的电源端子1V构成电源端子1V对,配置于G4及G5的电源端子1V构成电源端子1V对,在本例中,配置有4个电源端子1V对。

[0403] IC 1的接地端子1G配置于位于将C3~C6至F3~F6的位置包围的区域的16个引脚配置。

[0404] 剩余的引脚为信号端子1S。

[0405] 电源端子1V与1.0V电源系统连接,将1.0V供给至电源端子1V。接地端子1G与接地系统连接,设为接地电位。

[0406] 接着,使用图27~图32对印刷基板中的IC 1的安装区域正下方的各层中的表面图案进行说明。

[0407] 为了方便说明,将印刷基板的第1层的图案简称为1层图案。第2层至第6层也简称地进行说明。

[0408] 此外,在1层至6层中,在IC 1的安装区域正下方之外的区域中形成有信号配线层等图案。

[0409] 1层图案10为印刷基板的表面处的图案,是IC 1的安装面。

[0410] 1层图案10是多个IC用电源配线层11V~14V的图案和IC用接地图案11G。

[0411] IC用电源配线层11V~14V与1.0V电源系统连接,IC用接地图案11G与接地系统连接。

[0412] 在2层图案20至6层图案60中,也是电源配线层与1.0V电源系统连接,接地图案与接地系统连接。

[0413] IC用电源配线层11V~14V各自与4个电源端子1V对相对应地配置。

[0414] 即,IC用电源配线层11V由将B5和B4连接的线段形成,与位于B5和B4处的电源端子1V对连接。

[0415] IC用电源配线层12V由将D2和E2连接的线段形成,与位于D2和E2处的电源端子1V对连接。

[0416] IC用电源配线层13V由将D7和E7连接的线段形成,与位于D7和E7处的电源端子1V对连接。

[0417] IC用电源配线层14V由将G5和G4连接的线段形成,与位于G5和G4处的电源端子1V对连接。

[0418] IC用接地图案11G是以将C3~C6至F3~F6的位置包围的方式形成的满铺图案,与位于将C3~C6至F3~F6包围的区域的16个接地端子1G连接。

[0419] 在2层图案20至6层图案60中,在暂时决定了能够安装于6层图案60的多个旁路电容C1~C8的配置后,以将1层图案10中的多个IC用电源配线层11V~14V及接地图案11G与能够安装的多个旁路电容C1~C8连接的方式,适当配置各层中的电源配线层及将电源配线层之间连接的通路孔、将各层中的接地图案之间连接的通路孔。

[0420] 即,2层图案20至6层图案60的各层中的电源配线层及将电源配线层之间连接的通路孔、将各层中的接地图案之间连接的通路孔不是由IC 1的引脚的配置唯一地决定的。

[0421] 但是,在下面的说明中,为了容易理解地对实施方式5涉及的印刷基板的设计辅助系统的特征点进行说明,出于避免繁杂的说明,方便说明的目的,使用示意性地表示列与行

的交点的标号对各层中的电源配线层及将电源配线层之间连接的通路孔、将各层中的接地图案之间连接的通路孔的位置进行说明。

[0422] 因此,各层中的电源配线层及将电源配线层之间连接的通路孔、将各层中的接地图案之间连接的通路孔的位置并不限于以下说明的位置。

[0423] 2层图案20是积层的第1切换图案。

[0424] 2层图案20是多个电源用切换配线层21V~28V的图案和接地用切换图案21G。

[0425] 电源用切换配线层21V由将B5和A5连接的线段形成。

[0426] 电源用切换配线层22V由将B4和A4连接的线段形成。

[0427] 电源用切换配线层23V由将D2和D1连接的线段形成。

[0428] 电源用切换配线层24V由将E2和E1连接的线段形成。

[0429] 电源用切换配线层25V由将D7和D8连接的线段形成。

[0430] 电源用切换配线层26V由将E7和E8连接的线段形成。

[0431] 电源用切换配线层27V由将G5和H5连接的线段形成。

[0432] 电源用切换配线层28V由将G4和H4连接的线段形成。

[0433] 接地用切换图案21G是以将C3~C6至F3~F6的位置包围的方式形成的满铺图案。

[0434] 积层通路孔71V将IC用电源配线层11V中的B5的位置和电源用切换配线层21V中的B5的位置电连接。

[0435] 积层通路孔72V将IC用电源配线层11V中的B4的位置和电源用切换配线层22V中的B4的位置电连接。

[0436] 积层通路孔73V将IC用电源配线层12V中的D2的位置和电源用切换配线层23V中的D2的位置电连接。

[0437] 积层通路孔74V将IC用电源配线层12V中的E2的位置和电源用切换配线层24V中的E2的位置电连接。

[0438] 积层通路孔75V将IC用电源配线层13V中的D7的位置和电源用切换配线层25V中的D7的位置电连接。

[0439] 积层通路孔76V将IC用电源配线层13V中的E7的位置和电源用切换配线层26V中的E7的位置电连接。

[0440] 积层通路孔77V将IC用电源配线层14V中的G5的位置和电源用切换配线层27V中的G5的位置电连接。

[0441] 积层通路孔78V将IC用电源配线层14V中的G4的位置和电源用切换配线层28V中的G4的位置电连接。

[0442] 积层通路孔71G~78G分别将IC用接地图案11G中的C5、C4、D3、E3、D6、E6、F5及F4各自的位置和接地用切换图案21G中的C5、C4、D3、E3、D6、E6、F5及F4各自的位置电连接。

[0443] 3层图案30为接地图案层,除了A5、A4、D1、E1、D8、E8、H5及H4的位置之外为满铺图案。

[0444] GND图案层30在A5、A4、D1、E1、D8、E8、H5及H4的位置处,导电层被圆形地去除,在A5、A4、D1、E1、D8、E8、H5及H4的中心位置处,IVH 81V~88V不与GND图案层30电连接地被贯穿。

[0445] 4层图案40为电源图案层,除了D5、D4、E5及E4的位置之外为满铺图案。

- [0446] 电源图案层40在D5、D4、E5及E4的位置处,导电层被圆形地去除,在D5、D4、E5及E4的中心位置处,IVH 81G~84G不与电源图案层40电连接地被贯穿。
- [0447] 5层图案50是积层的第2切换图案。
- [0448] 5层图案50是多个电源用切换配线层51V~58V的图案和接地用切换图案51G。
- [0449] 电源用切换配线层51V由将A5和B5连接的线段形成。
- [0450] 电源用切换配线层52V由将A4和B4连接的线段形成。
- [0451] 电源用切换配线层53V由将D1和D2连接的线段形成。
- [0452] 电源用切换配线层54V由将E1和E2连接的线段形成。
- [0453] 电源用切换配线层55V由将D8和D7连接的线段形成。
- [0454] 电源用切换配线层56V由将E8和E7连接的线段形成。
- [0455] 电源用切换配线层57V由将H5和G5连接的线段形成。
- [0456] 电源用切换配线层58V由将H4和G4连接的线段形成。
- [0457] 接地用切换图案51G是以将C3~C6至F3~F6的位置包围的方式形成的满铺图案。
- [0458] 积层通路孔81V将电源图案层40中的A5的位置和电源用切换配线层51V中的A5的位置电连接。
- [0459] 积层通路孔82V将电源图案层40中的A4的位置和电源用切换配线层52V中的A4的位置电连接。
- [0460] 积层通路孔83V将电源图案层40中的D1的位置和电源用切换配线层53V中的D1的位置电连接。
- [0461] 积层通路孔84V将电源图案层40中的E1的位置和电源用切换配线层54V中的E1的位置电连接。
- [0462] 积层通路孔85V将电源图案层40中的D8的位置和电源用切换配线层55V中的D8的位置电连接。
- [0463] 积层通路孔86V将电源图案层40中的E8的位置和电源用切换配线层56V中的E8的位置电连接。
- [0464] 积层通路孔87V将电源图案层40中的H5的位置和电源用切换配线层57V中的H5的位置电连接。
- [0465] 积层通路孔88V将电源图案层40中的H4的位置和电源用切换配线层58V中的H4的位置电连接。
- [0466] 积层通路孔81G~84G分别将GND图案层30中的D5、D4、E5及E4各自的位置和接地用切换图案51G中的D5、D4、E5及E4各自的位置电连接。
- [0467] IVH 81V~88V及IVH 81G~84G从2层将3层及4层贯穿,将所对应的2层图案20和5层图案电连接。
- [0468] IVH 81V在A5的位置处,将电源用切换配线层21V、电源图案层40和电源用切换配线层51V电连接。
- [0469] IVH 82V在A4的位置处,将电源用切换配线层22V、电源图案层40和电源用切换配线层52V电连接。
- [0470] IVH 83V在D1的位置处,将电源用切换配线层23V、电源图案层40和电源用切换配线层53V电连接。

[0471] IVH 84V在E1的位置处,将电源用切换配线层24V、电源图案层40和电源用切换配线层54V电连接。

[0472] IVH 85V在D8的位置处,将电源用切换配线层25V、电源图案层40和电源用切换配线层55V电连接。

[0473] IVH 86V在E8的位置处,将电源用切换配线层26V、电源图案层40和电源用切换配线层56V电连接。

[0474] IVH 87V在H5的位置处,将电源用切换配线层27V、电源图案层40和电源用切换配线层57V电连接。

[0475] IVH 88V在H4的位置处,将电源用切换配线层28V、电源图案层40和电源用切换配线层58V电连接。

[0476] IVH 81G在D5的位置处,将接地用切换图案21G、GND图案层30和接地用切换图案51G电连接。

[0477] IVH 82G在D4的位置处,将接地用切换图案21G、GND图案层30和接地用切换图案51G电连接。

[0478] IVH 83G在E4的位置处,将接地用切换图案21G、GND图案层30和接地用切换图案51G电连接。

[0479] IVH 84G在E5的位置处,将接地用切换图案21G、GND图案层30和接地用切换图案51G电连接。

[0480] 6层图案60是印刷基板的背面处的图案,是能够安装多个旁路电容C1~C8的安装面。

[0481] 6层图案60是多个电容器用电源配线层61V~64V的图案和电容器用接地图案61G。

[0482] 电容器用电源配线层61V由将B4和B5连接的线段形成,配置为与由将B4和B5连接的线段形成的IC用电源配线层11V相对。

[0483] 电容器用电源配线层62V由将D2和E2连接的线段形成,配置为与由将D2和E2连接的线段形成的IC用电源配线层12V相对。

[0484] 电容器用电源配线层63V由将D7和E7连接的线段形成,配置为与由将D7和E7连接的线段形成的IC用电源配线层13V相对。

[0485] 电容器用电源配线层64V由将G4和G5连接的线段形成,配置为与由将G4和G5连接的线段形成的IC用电源配线层14V相对。

[0486] 电容器用接地图案61G是以将C3~C6至F3~F6的位置包围的方式形成的满铺图案。

[0487] 积层通路孔91V将电源用切换配线层51V中的B5的位置和电容器用电源配线层61V中的B5的位置电连接。

[0488] 积层通路孔92V将电源用切换配线层52V中的B4的位置和电容器用电源配线层61V中的B4的位置电连接。

[0489] 积层通路孔93V将电源用切换配线层53V中的D2的位置和电容器用电源配线层62V中的D2的位置电连接。

[0490] 积层通路孔94V将电源用切换配线层54V中的E2的位置和电容器用电源配线层62V中的E2的位置电连接。

[0491] 积层通路孔95V将电源用切换配线层55V中的D7的位置和电容器用电源配线层63V中的D7的位置电连接。

[0492] 积层通路孔96V将电源用切换配线层56V中的E7的位置和电容器用电源配线层63V中的E7的位置电连接。

[0493] 积层通路孔97V将电源用切换配线层57V中的G5的位置和电容器用电源配线层64V中的G5的位置电连接。

[0494] 积层通路孔98V将电源用切换配线层58V中的G4的位置和电容器用电源配线层64V中的G4的位置电连接。

[0495] 积层通路孔91G~98G分别将接地用切换图案51G中的C5、C4、D3、E3、D6、E6、F5及F4的位置的每一者和电容器用接地图案61G中的C5、C4、D3、E3、D6、E6、F5及F4的位置的每一者电连接。

[0496] 电容器用电源配线层61V的一个端部(与B5的位置对应)是能够连接旁路电容C1的电源侧电极的位置,与电容器用电源配线层61V的一个端部相对的位置处的电容器用接地图案61G的侧部(与C5的位置对应)是能够连接旁路电容C1的GND侧电极的位置。

[0497] 电容器用电源配线层61V的另一个端部(与B4的位置对应)是能够连接旁路电容C2的电源侧电极的位置,与电容器用电源配线层61V的另一个端部相对的位置处的电容器用接地图案61G的侧部(与C4的位置对应)是能够连接旁路电容C2的GND侧电极的位置。

[0498] 电容器用电源配线层62V的一个端部(与D2的位置对应)是能够连接旁路电容C3的电源侧电极的位置,与电容器用电源配线层62的一个端部相对的位置处的电容器用接地图案61G的侧部(与D3的位置对应)是能够连接旁路电容C3的GND侧电极的位置。

[0499] 电容器用电源配线层62V的另一个端部(与E2的位置对应)是能够连接旁路电容C4的电源侧电极的位置,与电容器用电源配线层62V的另一个端部相对的位置处的电容器用接地图案61G的侧部(与E3的位置对应)是能够连接旁路电容C4的GND侧电极的位置。

[0500] 电容器用电源配线层63V的一个端部(与D7的位置对应)是能够连接旁路电容C5的电源侧电极的位置,与电容器用电源配线层63V的一个端部相对的位置处的电容器用接地图案61G的侧部(与D6的位置对应)是能够连接旁路电容C5的GND侧电极的位置。

[0501] 电容器用电源配线层63V的另一个端部(与E7的位置对应)是能够连接旁路电容C6的电源侧电极的位置,与电容器用电源配线层63V的另一个端部相对的位置处的电容器用接地图案61G的侧部(与E6的位置对应)是能够连接旁路电容C6的GND侧电极的位置。

[0502] 电容器用电源配线层64V的一个端部(与G5的位置对应)是能够连接旁路电容C7的电源侧电极的位置,与电容器用电源配线层64V的一个端部相对的位置处的电容器用接地图案61G的侧部(与F5的位置对应)是能够连接旁路电容C7的GND侧电极的位置。

[0503] 电容器用电源配线层64V的另一个端部(与G4的位置对应)是能够连接旁路电容C8的电源侧电极的位置,与电容器用电源配线层64V的另一个端部相对的位置处的电容器用接地图案61G的侧部(与F4的位置对应)是能够连接旁路电容C8的GND侧电极的位置。

[0504] 即,在印刷基板的安装面能够安装8个旁路电容C1~C8。

[0505] 接着,使用图25对实施方式5涉及的印刷基板的设计辅助系统进行说明。

[0506] 如果以上述所示的印刷基板为例,则实施方式5涉及的设计辅助系统是针对能够安装于印刷基板的安装面的8个旁路电容C1~C8对有效性进行判断,删除不需要的旁路电

容,高效地选择最佳个数的旁路电容而进行设计辅助。

[0507] 如图25所示,实施方式5涉及的设计辅助系统100具有基板信息输入部101、调查对象选择部102、连接路径计算部103、有效性评价部104C、设计变更部105A和变更结果输出部106。

[0508] 由于基板信息输入部101、调查对象选择部102、连接路径计算部103和设计变更部105A与实施方式2涉及的设计辅助系统100中的基板信息输入部101、调查对象选择部102、连接路径计算部103和设计变更部105A相同,因此省略详细的说明。

[0509] 通过基板信息输入部101输入基板设计信息200,基板信息输入部101将输入进来的基板设计信息200变换为在设计辅助系统100内能够处理的格式而输出。

[0510] 调查对象选择部102具有个体部件选择部和个体配线选择部。

[0511] 调查对象选择部102中的个体部件选择部参照从基板信息输入部101输出的基板设计信息200中的个体部件信息211,对用于搭载于印刷基板的IC 1和旁路电容C1~C8进行选择。

[0512] 调查对象选择部102中的个体部件选择部针对上述印刷基板,例如,将旁路电容C1~C8选择为调查对象,将除了从基板信息输入部101输出的旁路电容之外的旁路电容分类为并非调查对象。

[0513] 调查对象选择部102中的个体配线选择部参照从基板信息输入部101输出的基板设计信息200中的个体配线信息223,对选择出的IC 1的电源端子1V和接地端子1G进行选择。

[0514] 连接路径计算部103计算从由调查对象选择部102中的个体配线选择部选择出的与IC 1的多个电源端子1V各自对应的多个IC用电源配线层11V~14V中的连接位置至旁路电容C1~C8各自的电源侧电极所连接的电容器用电源配线层61V~64V中的连接位置为止的配线路径的最短距离。

[0515] 另外,连接路径计算部103计算从由调查对象选择部102中的个体配线选择部选择出的与IC 1的多个接地端子1G各自对应的多个IC用接地图案11G中的连接位置至旁路电容C1~C8各自的GND侧电极所连接的电容器用接地配线层61G中的连接位置为止的配线路径的最短距离。

[0516] 总而言之,连接路径计算部103计算IC 1的电源端子1V的每一者与旁路电容C1~C8的电源侧端子的全部组合下的印刷基板中的1.0V电源系统的配线路径的最短距离以及IC 1的接地端子1G的每一者与旁路电容C1~C8的接地侧端子的全部组合下的接地系统的配线路径的最短距离。

[0517] 由连接路径计算部103得到的信息是将IC 1的电源端子1V及接地端子1G的每一者、旁路电容C1~C8的每一者和最短距离的每一者关联起来的信息。

[0518] 另外,由连接路径计算部103得到的信息是将IC 1的电源端子1V、接地端子1G及信号端子1S也关联起来的信息。

[0519] 有效性评价部104C针对IC 1的电源端子1V的每一者对旁路电容C1~C8的电源侧端子的全部组合下的印刷基板中的1.0V电源系统的配线路径的最短距离进行相对比较,将最短距离示出最小值的配线路径中的旁路电容设为有效,除此之外设为无效,针对IC 1的接地端子1G的每一者对旁路电容C1~C8的电源侧端子的全部组合下的印刷基板中的接地

系统的配线路径的最短距离进行比较,将最短距离示出最小值的配线路径中的旁路电容判定为有效,除此之外判定为无效,最终将针对IC 1的电源端子1V及接地端子1G之中的至少1个旁路电容设为有效的旁路电容设为有效。

[0520] 即,有效性评价部104C针对IC 1的多个电源端子1V及多个接地端子1G的每一者提取配线路径为最短距离的1个旁路电容,将提取出的旁路电容判定为有效,除此之外判定为无效。

[0521] 有效性评价部104C将判定为有效的旁路电容设为组A,将判定为无效的旁路电容设为组B。

[0522] 有效性评价部104C具有对旁路电容C1~C8的有效性进行判定,进行有效、无效的分组的有效性判定功能。

[0523] 根据图27及图32可知,IC用电源配线层11V~14V和电容器用电源配线层61V~64V配置为在印刷基板的正反方向上相对。因此,从IC 1的多个电源端子1V各自所连接的IC用电源配线层11V~14V的位置至电容器用电源配线层61V~64V中的旁路电容C1~C8各自的可连接的位置为止的最短距离是相对于多个电源端子1V的每一者来说分别至各个电容器用电源配线层61V~64V中的旁路电容C1~C8的每一者的可连接位置为止的距离。

[0524] 即,以最短距离连接多个电源端子1V的每一者的旁路电容C1~C8全部是不同的旁路电容。

[0525] 针对位于IC 1的B5处的电源端子1V提取旁路电容C1。

[0526] 针对位于IC 1的B4处的电源端子1V提取旁路电容C2。

[0527] 针对位于IC 1的D2处的电源端子1V提取旁路电容C3。

[0528] 针对位于IC 1的E2处的电源端子1V提取旁路电容C4。

[0529] 针对位于IC 1的D7处的电源端子1V提取旁路电容C5。

[0530] 针对位于IC 1的E7处的电源端子1V提取旁路电容C6。

[0531] 针对位于IC 1的G5处的电源端子1V提取旁路电容C7。

[0532] 针对位于IC 1的G4处的电源端子1V提取旁路电容C8。

[0533] 因此,有效性评价部104C中的有效性的判定将全部旁路电容C1~C8判定为对印刷基板有效,有效性评价部104C将旁路电容C1~C8分类为组A。

[0534] 将针对多个电源端子1V各自的判定结果的一个例子与通过连接路径计算部103得到的最短距离合在一起表示于图35的从各端子至旁路电容为止的最短距离和有效性的栏中。

[0535] 相同地,根据图27及图32可知,针对IC 1的多个接地端子1G的每一者,IC用接地图案11G和电容器用接地配线层61G也配置为在印刷基板的正反方向上相对,因此以最短距离连接多个接地端子1G的每一者的旁路电容C1~C8全部为不同的旁路电容。

[0536] 针对位于IC 1的C5处的接地端子1G提取旁路电容C1。

[0537] 针对位于IC 1的C4处的接地端子1G提取旁路电容C2。

[0538] 针对位于IC 1的D3处的接地端子1G提取旁路电容C3。

[0539] 针对位于IC 1的E3处的接地端子1G提取旁路电容C4。

[0540] 针对位于IC 1的D6处的接地端子1G提取旁路电容C5。

[0541] 针对位于IC 1的E6处的接地端子1G提取旁路电容C6。

[0542] 针对位于IC 1的F5处的接地端子1G提取旁路电容C7。

[0543] 针对位于IC 1的F4处的接地端子1G提取旁路电容C8。

[0544] 有效性评价部104C进一步将判定为对印刷基板有效的旁路电容的组A的有效性设为比判定为对印刷基板无效的组B高。

[0545] 有效性评价部104C针对组A及组B的每一者,对关于IC 1的多个电源端子1V及多个接地端子1G的每一者计算出的印刷基板中的配线路径的最短距离进行相对比较,得到最小值的最短距离,将该最小值的最短距离的值小的旁路电容的有效性评价得更高而执行有效性的排序。

[0546] 有效性评价部104C具有以组A及组B为单位进行组内的旁路电容的有效性的评价,执行旁路电容的有效性的排序的排序功能。

[0547] 在本例中将旁路电容C1~C8全部分类为组A,因此进行组A的旁路电容C1~C8的排序。

[0548] 有效性评价部104C关于针对属于组A的旁路电容C1~C8的电源端子1V,在本例中是位于IC 1的引脚编号B5、B4、D2、E2、D7、E7、G5、G4处的电源端子1V,提取相邻的电源端子1V。

[0549] 有效性评价部104C具有提取电源端子1V是否相邻,即,在两个电源端子1V之间不存在接地端子1G及信号端子1S的电源端子1V的相邻判定的功能。

[0550] 由有效性评价部104C进行的相邻判定以如下方式进行。

[0551] 作为第1方法,通过由基板信息输入部101输入的基板设计信息200的个体部件信息211中的关于IC 1的电源端子1V的信息和表示电源端子1V的引脚编号的信息而进行电源端子1V的相邻判定。

[0552] 即,如果电源端子1V的引脚编号是连号,则判定为引脚编号连号的多个电源端子1V相邻。

[0553] 通常,在BGA封装件中,IC 1的端子是通过由数字和字母的组合构成的引脚编号指定的。在图26所示的IC 1的引脚配置中,如A1、A2、…、A8、B1、B2、…、G8、H1、H2、…、H8那样对端子标注引脚编号。

[0554] 此时,将引脚编号的字母相同且数字连号的情况下的电源端子1V和数字相同且字母连续的情况下的电源端子1V判定为是相邻的电源端子1V。

[0555] 在本例中,将字母相同且数字连号的引脚编号B5及B4与引脚编号G5及G4各自的端子对判定为是相邻的电源端子1V的组,在本例中判定为端子对。

[0556] 另外,将数字相同且字母连续的引脚编号D2及E2与引脚编号D7及E7各自的端子对判定为是相邻的电源端子1V的组,在本例中判定为端子对。

[0557] 以8×8的格子状的引脚配置的BGA封装件为例进行了说明,但在大规模的BGA封装件的情况下,有时根据由两个字母和数字构成的引脚编号,例如AA1、AB2等对IC 1的端子进行指定。此时,按照BGA封装件的端子的字母的标记规则判别是否连续即可。

[0558] 另外,在本例中,以作为组而相邻的两个电源端子1V的组为例进行了说明,但也可以将引脚编号连号的大于或等于3个电源端子1V设为1个组。

[0559] 作为第2方法,通过由基板信息输入部101输入的基板设计信息200的个体部件信息211中的关于IC 1的端子的信息、表示电源端子1V的引脚编号的信息以及与IC 1的端子

间的间距相关的信息,进行电源端子1V的相邻判定。

[0560] 与间距相关的信息是与IC 1的端子的中心坐标间的距离相关的信息。

[0561] 对两个电源端子1V间的距离进行计算,将计算出的距离与阈值进行比较,在小于或等于阈值的情况下判定为是相邻的电源端子1V。

[0562] 阈值是BGA封装件的引脚间距。

[0563] 此外,阈值是大于或等于BGA封装件的引脚间距且小于对角线引脚间距,即小于引脚间距的 $\sqrt{2}$ 倍的范围内的值即可。

[0564] 在本例中,引脚编号B4和B5之间的距离、引脚编号G4和G5之间的距离、引脚编号D7和E7之间的距离、引脚编号D2和E2之间的距离各自小于或等于阈值,判定为引脚编号B4和B5、引脚编号G4和G5、引脚编号D7和E7、引脚编号D2和E2是各自相邻的电源端子1V的组。

[0565] 有效性评价部104C进行执行相邻判定得到的组内的多个电源端子1V与针对多个电源端子1V的每一者判定为最短距离的旁路电容C1~C8的最短距离的相对比较,从与执行相邻判定得到的组内的多个电源端子1V对应的多个旁路电容之中将1个旁路电容判定为有效,将判定为有效的旁路电容留在组A,将剩余的旁路电容判定为无效,将判定为无效的旁路电容分类为组B。

[0566] 有效性评价部104C的从针对提取出的相邻的电源端子1V的旁路电容中选择1个旁路电容是,选择与针对提取出的相邻的电源端子1V的旁路电容的每一者对应的印刷基板中的配线路径的最短距离示出最小值的配线路径所连接的旁路电容,如果示出该最小值的配线路径所连接的旁路电容存在多个,则选择示出该最小值的配线路径所连接的旁路电容中的任意1个旁路电容。

[0567] 在本例中,由于针对IC 1中的相邻的引脚编号B5和B4的电源端子1V(IC, B5、IC, B4)的旁路电容C1(最短距离:1.5mm)及旁路电容C2(最短距离:1mm)是针对旁路电容C2的最短距离比针对旁路电容C1的最短距离短,因此在旁路电容C1及旁路电容C2中,选择配线路径的最短距离示出最小值的配线路径所连接的旁路电容C2。

[0568] 即,如图35的对于基板的有效性的栏所示,将旁路电容C2维持为有效的判定而留在组A,将旁路电容C1的判定从有效变更为无效,分类为组B。

[0569] 由于至针对IC 1中的相邻的引脚编号D7和E7的电源端子1V(IC, D7、IC, E7)的旁路电容C5(最短距离:1mm)及旁路电容C6(最短距离:1mm)为止的配线路径的最短距离相同,因此选择旁路电容C5或旁路电容C6中的任意一者,在本例中选择旁路电容C6。

[0570] 即,如图35的对于基板的有效性的栏所示,将旁路电容C6维持为有效的判定而留在组A,将旁路电容C5的判定从有效变更为无效,分类为组B。

[0571] 此外,由于针对旁路电容C5的最短距离和针对旁路电容C6的最短距离相同,因此也可以是选择旁路电容C5,将旁路电容C5维持为有效的判定而留在组A,将旁路电容C6的判定从有效变更为无效,分类为组B。

[0572] 无论如何,在针对多个旁路电容的最短距离相同的情况下,从最短距离相同的多个旁路电容选择任意1个旁路电容而将1个旁路电容再判定为有效,留在组A,将剩余的旁路电容从有效再判定为无效,分类为组B即可。

[0573] 相同地,关于针对IC 1中的相邻的引脚编号D2和E2的电源端子1V(IC, D2、IC, E2)的旁路电容C3及旁路电容C4,如图35的对于基板的有效性的栏所示,将旁路电容C4维持为

有效的判定而留在组A,将旁路电容C3的判定从有效变更为无效,分类为组B。

[0574] 关于针对IC 1中的相邻的引脚编号G5和G4的电源端子1V(IC,G5、IC,G4)的旁路电容C7及旁路电容C8,如图35的对于基板的有效性的栏所示,将旁路电容C7维持为有效的判定而留在组A,将旁路电容C8的判定从有效变更为无效,分类为组B。

[0575] 其结果,有效性评价部104C将旁路电容C2、C4、C6、C7再判定为有效而留在组A,将旁路电容C1、C3、C5、C8再判定为无效而从组A变更为组B。

[0576] 组A及组B各自中的排序沿袭通过排序功能执行的排序。

[0577] 设计变更部105A与实施方式2中的设计变更部105A相同地,基于由有效性评价部104C得到的有效性的排序,以有效性位次从低到高的顺序依次累积旁路电容而设为删除候补,如果除去设为删除候补的旁路电容后的情况下的安装候补旁路电容的总电容值小于未进行删除的可安装的全部旁路电容C1~C8的总电容值,则以使得安装候补旁路电容的总电容值大于或等于可安装的全部旁路电容的总电容值的方式对电容值不同的安装候补旁路电容进行选择。

[0578] 另外,设计变更部105A与实施方式2中的设计变更部105A相同地,基于由有效性评价部104C得到的有效性的排序,以有效性位次从低到高的顺序依次累积旁路电容而设为删除候补,对除去设为删除候补的旁路电容后的情况下的IC 1的多个电源端子1V及多个接地端子1G间的阻抗和设定好的阻抗进行比较,如果该比较结果是IC 1的多个电源端子1V及多个接地端子1G间的阻抗低于设定好的阻抗,前一个的比较结果是高,则决定为至得到该比较结果时的旁路电容为止不安装于印刷基板,将剩余的旁路电容安装于印刷基板。

[0579] 总而言之,设计变更部105A与实施方式2中的设计变更部105A相同地,针对旁路电容C1~C8,具有旁路电容变更位次决定、旁路电容变更、阻抗计算、变更结果比较及优化完成判定的功能。

[0580] 因此,设计变更部105A与实施方式2中的设计变更部105A相同,因此省略进一步的说明。

[0581] 此外,设计变更部105A与实施方式1中的设计变更部105相同地,根据通过有效性评价部104C得到的信息,即,通过有效性评价部104C进行旁路电容C1~C8的再判定而得到的结果,决定为将判定为有效的旁路电容C2、C4、C6、C7安装于印刷基板,不将判定为无效的旁路电容C1、C3、C5、C8安装于印刷基板。

[0582] 变更结果输出部106与实施方式2中的变更结果输出部106相同地,将由设计变更部105A得到的信息变换为基板设计信息200的格式而作为变更结果300输出至显示器等显示装置。

[0583] 此外,在使设计变更部105A与实施方式1中的设计变更部105相同的情况下,将由设计变更部105得到的信息变换为基板设计信息200的格式而作为变更结果300输出至显示器等显示装置。

[0584] 接着,使用图33及图34对实施方式2涉及的印刷基板的设计辅助系统的动作进行说明。

[0585] 由于从步骤ST1至步骤ST5A为止与实施方式2涉及的设计辅助系统相同,因此省略说明。

[0586] 在图35的从各端子至旁路电容为止的最短距离和有效性的栏中示出有效性评价

部104C通过第1有效性判定步骤ST4得到的从IC 1的多个电源端子1V及多个接地端子1G的每一者至旁路电容C1~C8为止的最短距离及对于各端子的有效性的判定结果、通过第2有效性判定步骤ST5得到的对于基板的有效性的判定结果的一个例子。

[0587] 在图35的从各端子至旁路电容为止的最短距离和有效性的栏中代表性示出引脚编号B4、B5、D7和E7的电源端子1V(IC, B4、IC, B5、IC, D7、IC, E7)。

[0588] 有效性评价部104C关于针对判定为对印刷基板有效的旁路电容的组A下辖的旁路电容1C~C8的电源端子1V,在本例中是位于IC 1的引脚编号B5、B4、D2、E2、D7、E7、G5、G4处的电源端子1V,提取相邻的电源端子1V(步骤ST5B)。

[0589] 在本例中,有效性评价部104C将引脚编号B4和B5、引脚编号D2和E2、引脚编号D7和E7、引脚编号G4和G5判定为各自相邻的电源端子1V的组。

[0590] 步骤ST5B是相邻判定的步骤。

[0591] 有效性评价部104C进行执行相邻判定而得到的组内的多个电源端子1V(IC, B5及IC, B4、IC, D7及IC, E7、IC, D2及IC, E2、IC, G5及IC, G4)与针对多个电源端子1V(IC, B5及IC, B4、IC, D7及IC, E7、IC, D2及IC, E2、IC, G5及IC, G4)的每一者判定为最短距离的旁路电容C1及C2、C3及C4、C5及C6、C7及~C8之间的最短距离的相对比较,从与执行相邻判定得到的组内的多个电源端子1V对应的多个旁路电容中将1个旁路电容C2、C4、C6、C7判定为有效,将判定为有效的旁路电容C2、C4、C6、C7留在组A,将剩余的旁路电容C1、C3、C5、C8判定为无效,将判定为无效的旁路电容C1、C3、C5、C8分类为组B(步骤ST5C)。

[0592] 步骤ST5C是旁路电容的有效性的再判定步骤。

[0593] 在图35的对于基板的有效性的栏中示出有效性评价部104C通过步骤ST5C得到的有效性的再判定的结果的一个例子。

[0594] 在图35的对于基板的有效性的栏中,“○”的记载表示依然为有效,“○→×”的记载表示从有效变更为无效。

[0595] 在本例中,能够将属于组A的旁路电容的数量从8个削减为4个。

[0596] 由此,针对通过有效性评价部104C进行了有效性的再判定的旁路电容C1~C8,设计变更部105A基于由有效性评价部104C得到的信息,通过步骤ST6A决定搭载于印刷基板的旁路电容。

[0597] 如图34所示,旁路电容决定步骤ST6A具有步骤ST6A1至步骤ST6A5,步骤ST6A1至步骤ST6A5与实施方式2涉及的设计辅助系统中的步骤ST6A1至步骤ST6A5相同,省略详细的说明。

[0598] 即,设计变更部105A针对旁路电容C1~C8,实施旁路电容变更位次决定(步骤ST6A1)、旁路电容变更(步骤ST6A2)、阻抗计算(步骤ST6A3)、变更结果比较(步骤ST6A4)及优化完成判定(步骤ST6A5)。

[0599] 由此,如果设计变更部105通过步骤ST6A决定了搭载于印刷基板的旁路电容,则通过步骤ST7,设计变更部105A将通过步骤ST6A决定的旁路电容涉及的信息变换为基板设计信息200的格式而作为变更结果300输出至显示装置,结束。

[0600] 此外,在使设计变更部105A与实施方式1中的设计变更部105相同的情况下,设计变更部105作为步骤ST6进行动作而不是作为步骤ST6A进行动作,设计变更部105基于由有效性评价部104C得到的信息,决定为将判定为对印刷基板有效的旁路电容搭载于印刷基

板,不将判定为无效的旁路电容搭载于印刷基板,通过步骤ST7,设计变更部105将通过步骤ST6决定出的旁路电容涉及的信息变换为基板设计信息200的格式而作为变更结果300输出至显示装置,结束。

[0601] 实施方式5涉及的设计辅助系统中的调查对象选择部102、连接路径计算部103、有效性评价部104C和设计变更部105A与图15所示的实施方式1涉及的设计辅助系统中的基于计算机的硬件结构相同。

[0602] 由步骤ST2至步骤ST6A实现的印刷基板的设计辅助方法通过由CPU 110按照存储于ROM 130的程序执行处理而进行。

[0603] 即,存储于ROM 130的程序对于步骤ST2至步骤ST5C,具有:选择流程,将搭载于基板的半导体集成电路装置的多个电源端子及多个接地端子、能够搭载于基板的多个旁路电容器选择为调查对象;最短距离计算流程,计算与针对选择出的半导体集成电路装置的多个电源端子及多个接地端子各自的多个旁路电容器各自对应的基板中的配线路径的最短距离;第1有效性判定流程,针对半导体集成电路装置的多个电源端子及多个接地端子的每一者,进行计算出的与多个旁路电容器的每一者对应的基板中的配线路径的最短距离的相对比较,将最短距离示出最小值的旁路电容器判定为有效,将剩余的旁路电容器判定为无效;第2有效性判定流程,将针对半导体集成电路装置的多个电源端子及多个接地端子的至少1个端子判定为有效的旁路电容器判定为对基板有效,将除此之外的旁路电容器判定为对基板无效;有效性的排序流程,将判定为对基板有效的旁路电容器的组A的有效性设为比判定为对基板无效的旁路电容器的组B高,并且,针对属于各个组A及组B的旁路电容器,对关于半导体集成电路装置的多个电源端子及多个接地端子的每一者计算出的基板中的配线路径的最短距离进行相对比较,得到最小值的最短距离,将该最小值的最短距离的值小的旁路电容器的有效性评价得更高而执行有效性的排序;电源端子的相邻判定流程,关于针对属于组A的旁路电容器的电源端子提取相邻的电源端子;以及有效性的再判定流程,通过进行与针对该提取出的相邻的电源端子的旁路电容器的每一者所对应的基板中的配线路径的最短距离的相对比较,从而从针对该提取出的相邻的电源端子的旁路电容器中选择1个旁路电容器而留在组A,将未选择的旁路电容器从组A变更为组B。

[0604] 另外,存储于ROM 130的程序对于步骤ST6A,具有:旁路电容选择流程,基于所得到的有效性的排序,以有效性位次从低到高的顺序依次累积旁路电容器而设为删除候补,选择除去设为该删除候补的旁路电容器后的情况下的旁路电容器的总电容值满足大于或等于初始设定的可搭载于基板的多个旁路电容器的总电容值,除去设为该删除候补的旁路电容器后的情况下的旁路电容器的每一者的电容值相等的旁路电容器;以及旁路电容决定流程,基于所得到的有效性的排序,以有效性位次从低到高的顺序依次累积旁路电容而设为删除候补,对除去设为该删除候补的旁路电容器后的情况下的半导体集成电路装置的多个电源端子及多个接地端子间的阻抗与设定好的阻抗进行比较,如果该比较结果是半导体集成电路装置的多个电源端子及多个接地端子间的阻抗低于设定好的阻抗,上一次的比较结果是高,则至得到该比较结果时的旁路电容为止不安装于基板,将剩余的旁路电容器决定为安装于基板的旁路电容器。

[0605] 此外,在通过由步骤ST6而非步骤ST6A实现的印刷基板的设计辅助方法中,存储于ROM 130的程序对于步骤ST6,具有:旁路电容决定流程,将通过有效性的再判定流程从多个

旁路电容器中判定为对基板有效的旁路电容器决定为搭载于基板的旁路电容器。

[0606] 如上所述,实施方式5涉及的印刷基板的设计辅助系统具有与实施方式2涉及的设计辅助系统或实施方式2涉及的设计辅助系统相同的效果。

[0607] 并且,在实施方式5涉及的印刷基板的设计辅助系统中,有效性评价部104C关于针对属于组A的旁路电容的电源端子1V提取相邻的电源端子1V,进行与针对该提取出的相邻的电源端子1V的旁路电容的每一者所对应的基板中的配线路径的最短距离的相对比较,从而从针对该提取出的相邻的电源端子1V的旁路电容中选择1个旁路电容器而留在组A,将未选择的旁路电容器从组A变更为组B,因此能够针对相邻的电源端子1V将旁路电容设为1个,因此能够在不降低由旁路电容实现的性能的情况下削减旁路电容,实现旁路电容器的配置个数的优化。

[0608] 此外,能够进行各实施方式的自由组合、或各实施方式任意的构成要素的变形、或者在各实施方式中任意的结构要素的省略。

[0609] 工业实用性

[0610] 本发明涉及的印刷基板的设计辅助系统适于为了多功能化及高功能化而大规模化的半导体集成电路装置,特别适于针对搭载球栅格阵列封装件的半导体集成电路装置的印刷基板,对多个旁路电容器进行选择,对决定多个旁路电容器的配置位置的设计进行辅助的设计辅助系统。

[0611] 标号的说明

[0612] 1、IC、1V电源端子,1G2接地端子,10 1层图案,11V~15VIC用电源配线层,11G~14G IC用接地配线层,20 2层图案,21V~26V电源用切换配线层,21G~26G接地用切换配线层,30 3层图案(GND图案层),40 4层图案(电源图案层),50 5层图案,51V、52V电源用切换图案层,51G接地用切换图案层,60 6层图案,61V、62V电容器用电源配线层,61G电容器用接地配线层,71V~76V、71G~76G积层通路孔,81V~86V、81G~86GVIVH、91V~96V、91G~94G积层通路孔,100设计辅助系统,101基板信息输入部,102调查对象选择部,103连接路径计算部,104有效性评价部,105设计变更部,106变更结果输出部,C1~C12旁路电容。

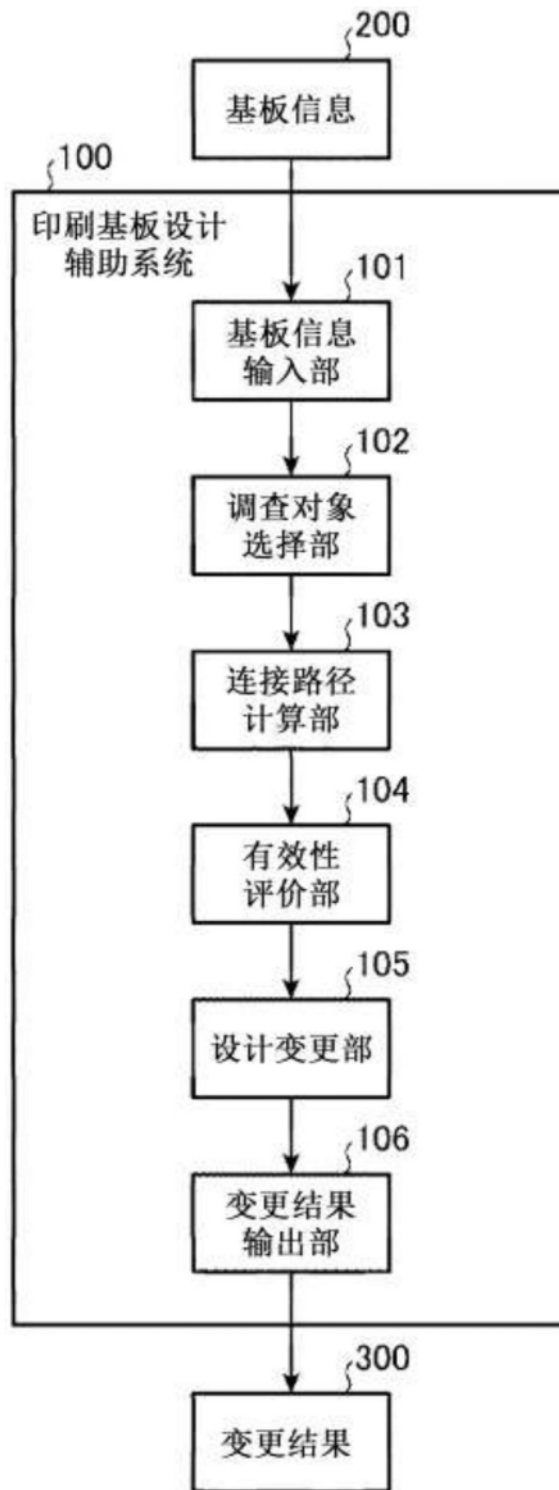


图1

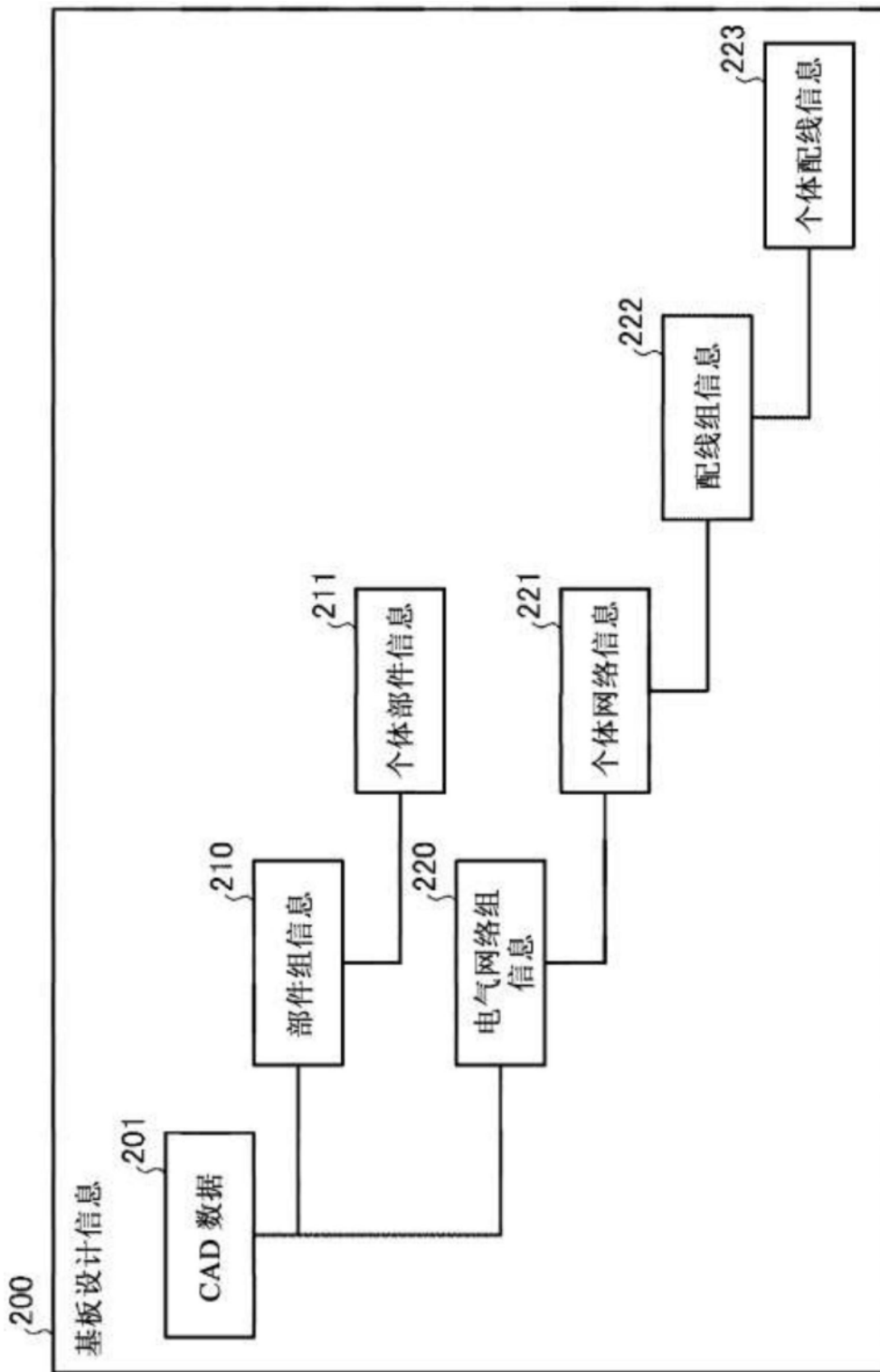


图2

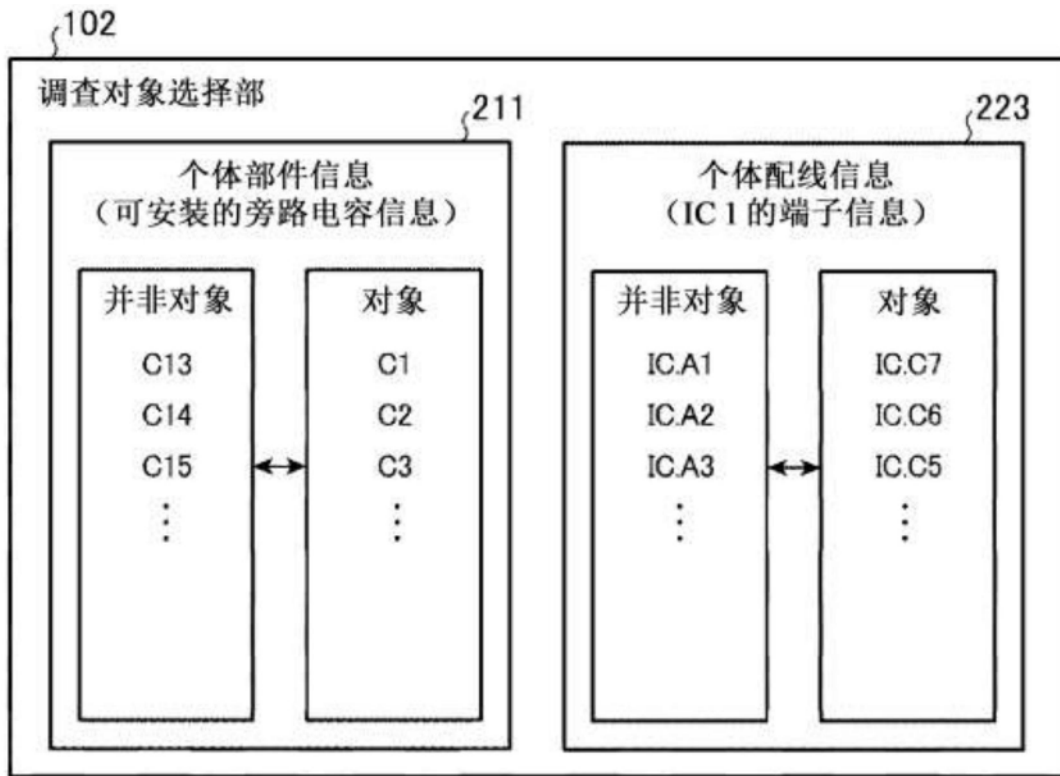


图3

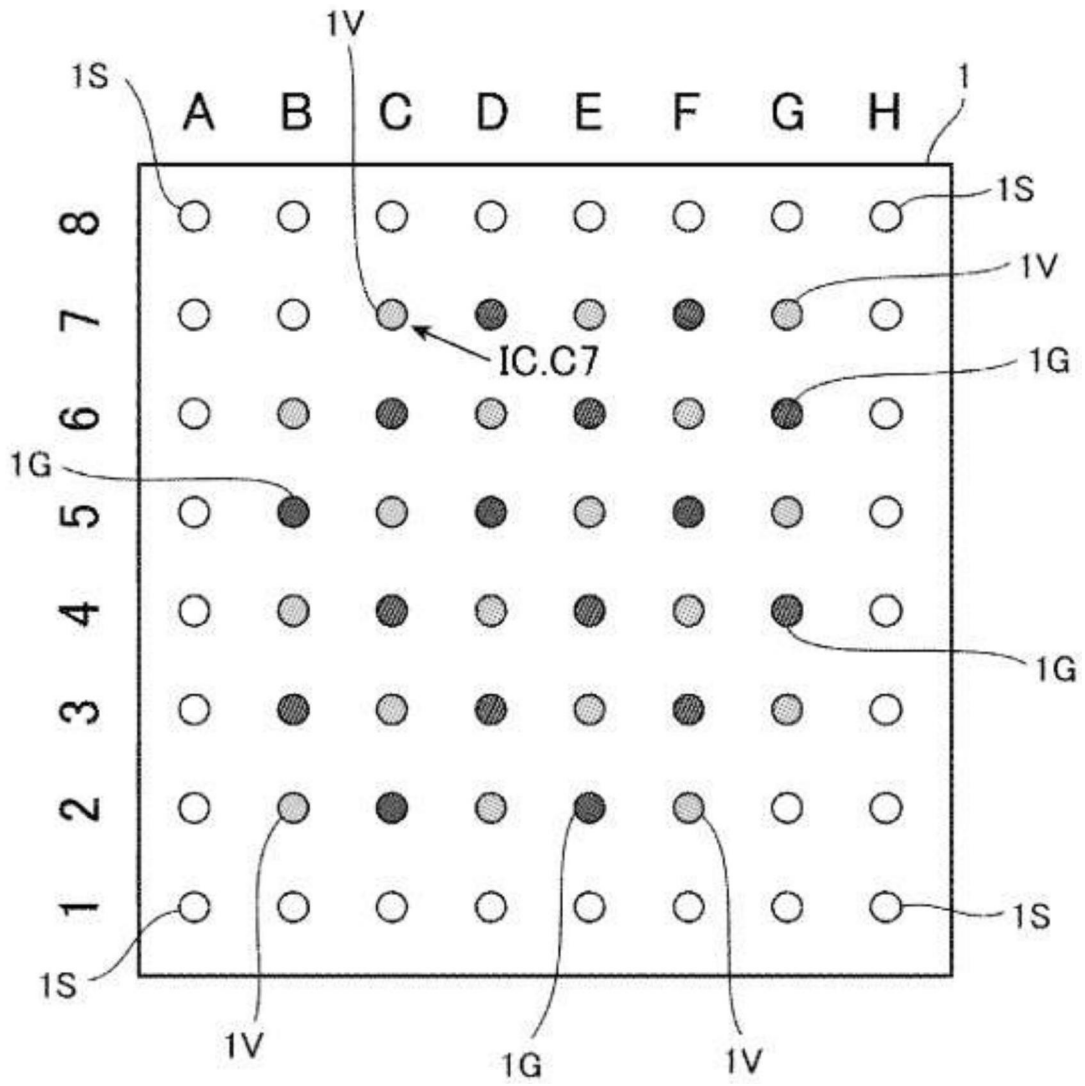


图4

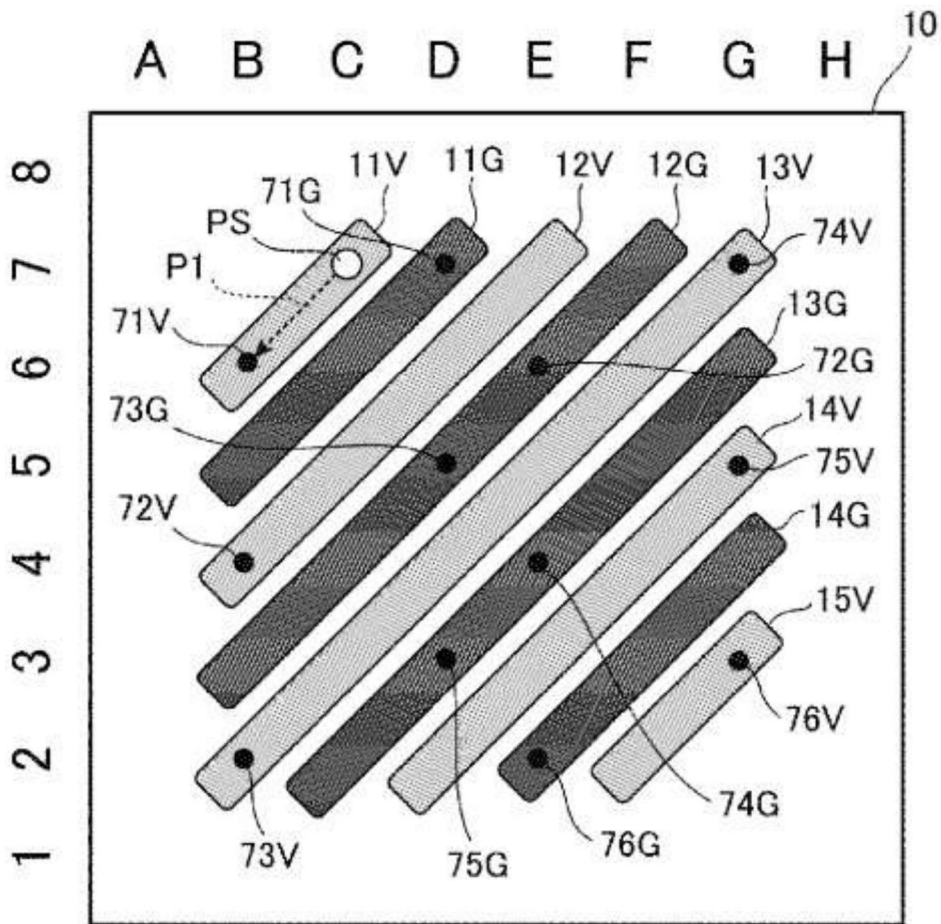


图5

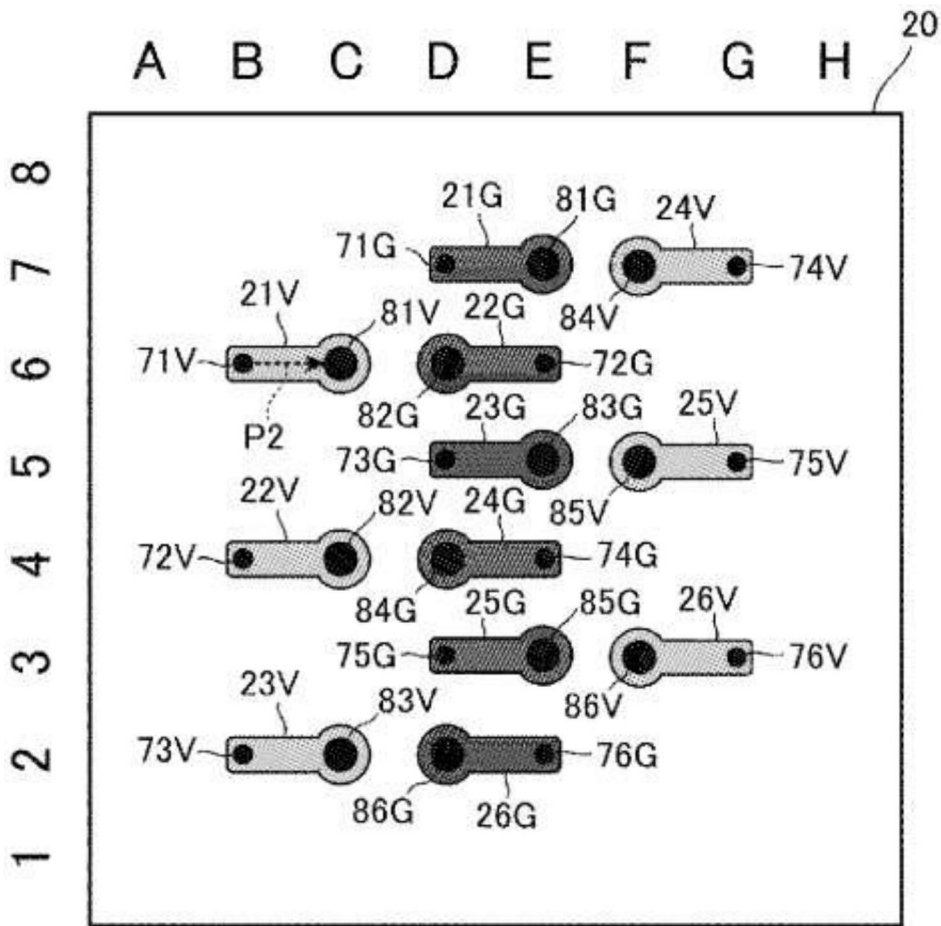


图6

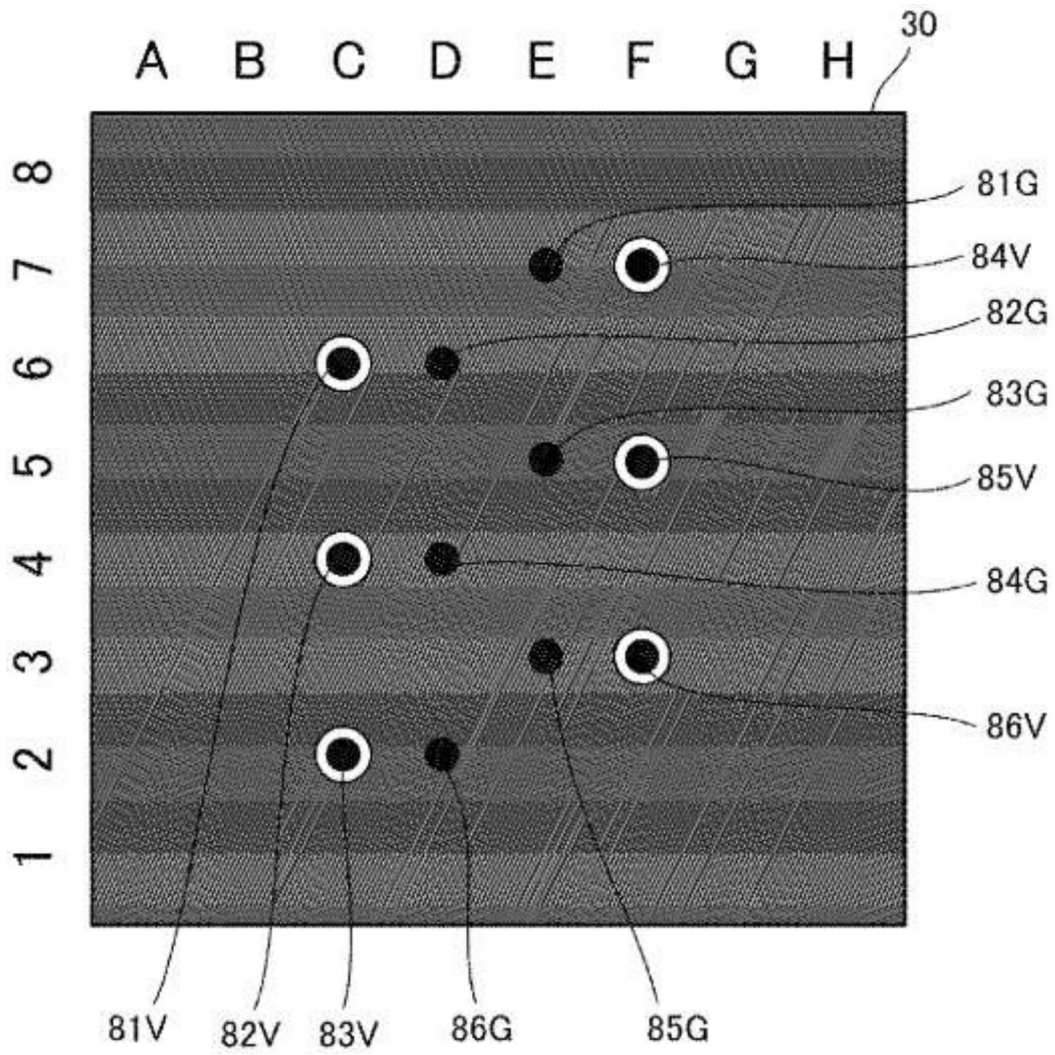


图7

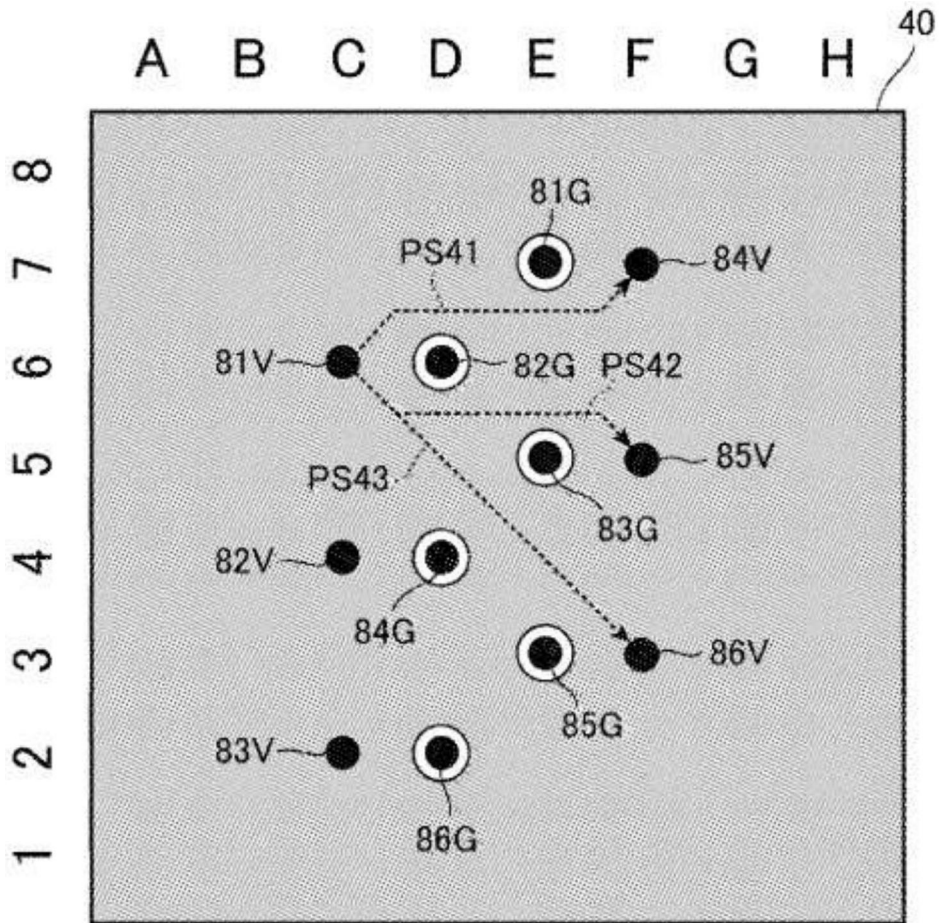


图8

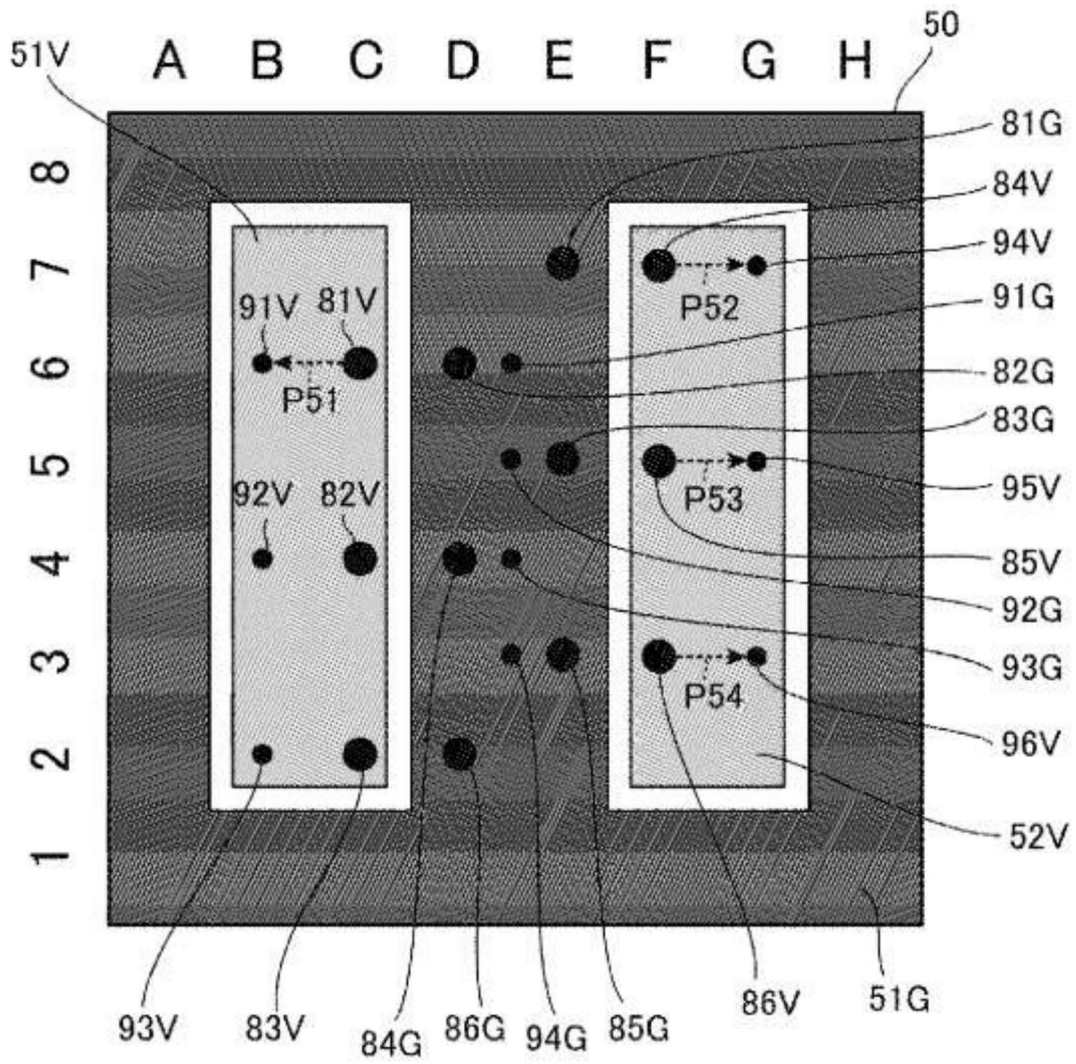


图9

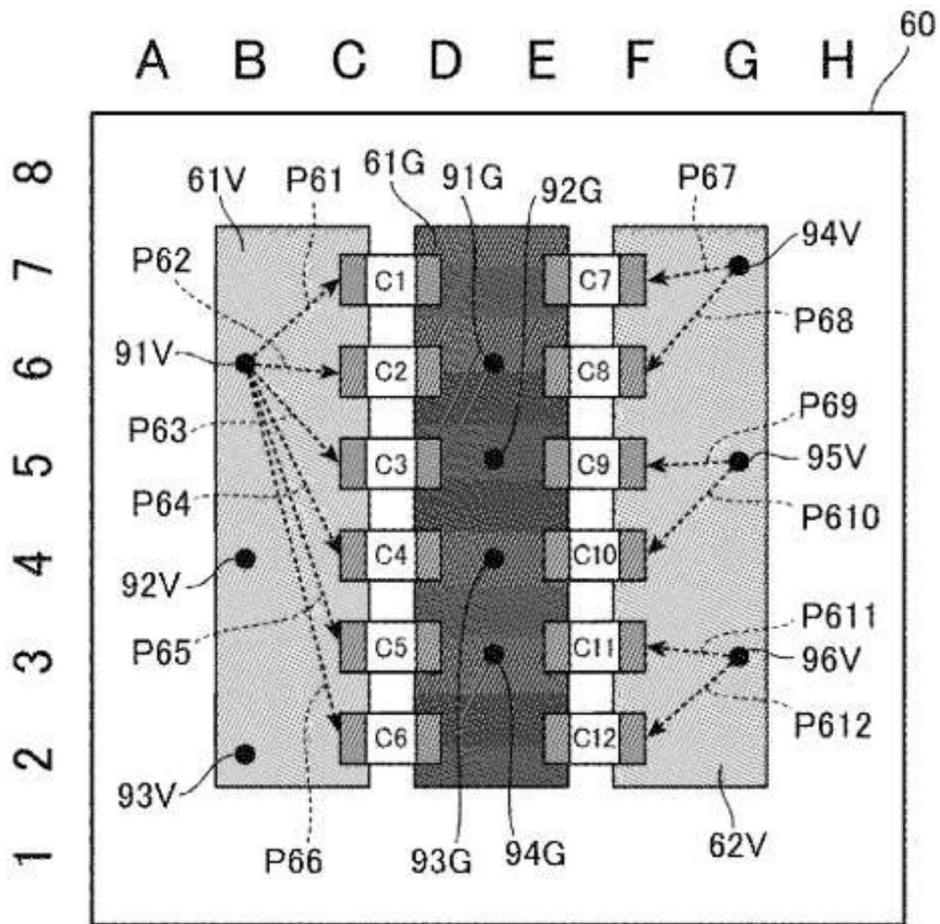


图10



个体部件	个体配线	最短距离
C1	IC.C7	2.5 mm
C2	IC.C7	1 mm
C3	IC.C7	2 mm
C4	IC.C7	3 mm
C5	IC.C7	4 mm
C6	IC.C7	5 mm
C7	IC.C7	6 mm
C8	IC.C7	7 mm
C9	IC.C7	8 mm
C10	IC.C7	9 mm
C11	IC.C7	10 mm
C12	IC.C7	11 mm

图11

个体部件	对于各端子的有效性				对于基板的有效性
	IC.C7	IC.C6	IC.C5	...	
C1	×	×	×	...	×
C2	○	○	×	...	○
C3	×	×	×	...	×
C4	×	×	○	...	○
C5	×	×	×	...	×
C6	×	×	×	...	○
C7	×	×	×	...	○
C8	×	×	×	...	×
C9	×	×	×	...	○
C10	×	×	×	...	×
C11	×	×	×	...	○
C12	×	×	×	...	×

图12

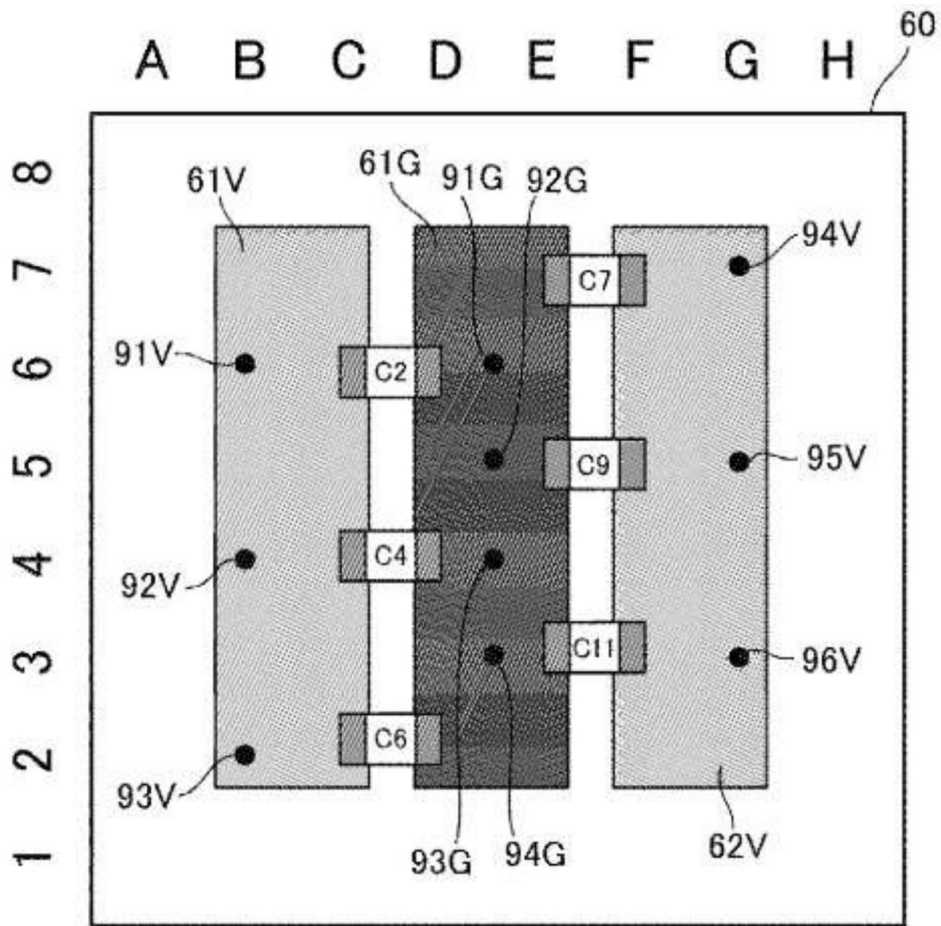


图13

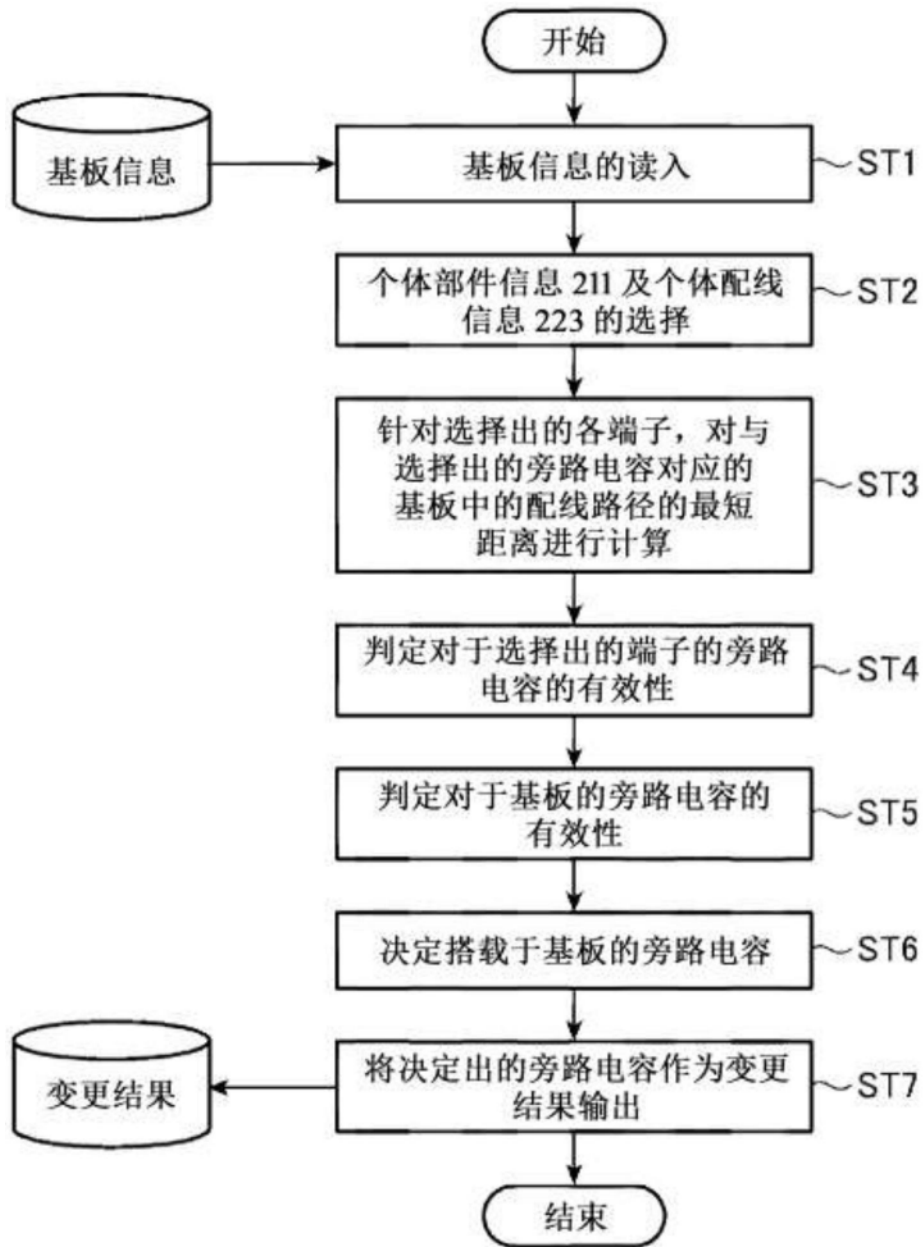


图14

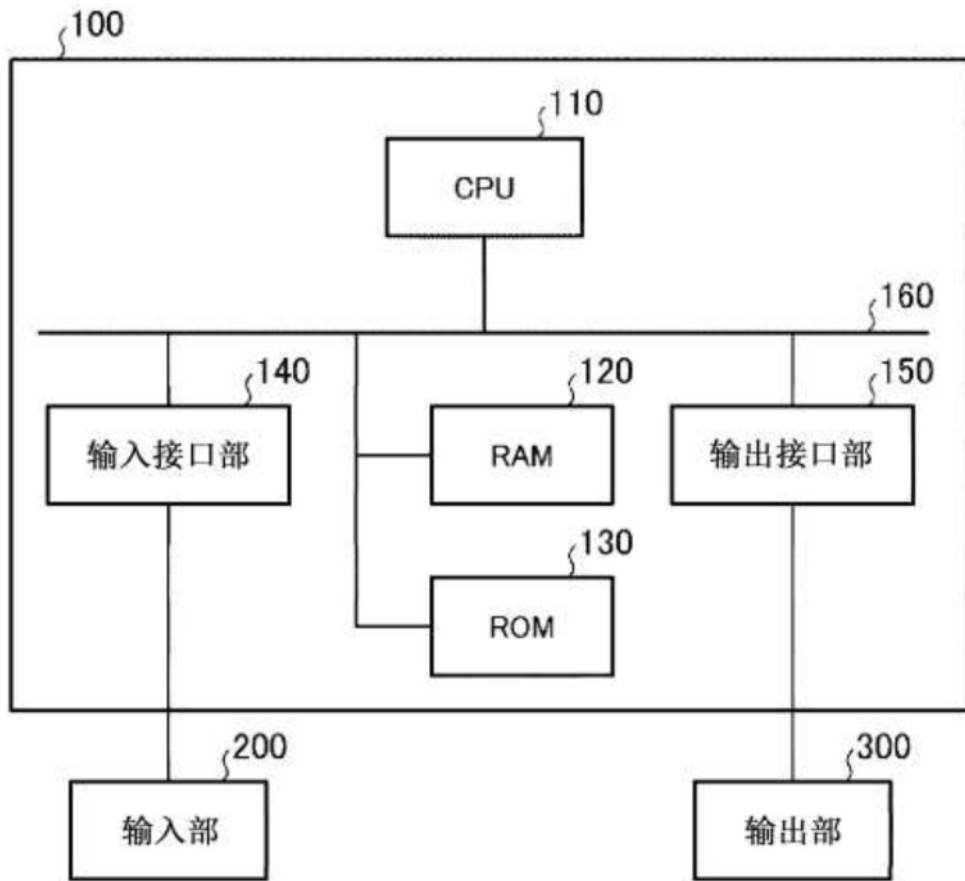


图15

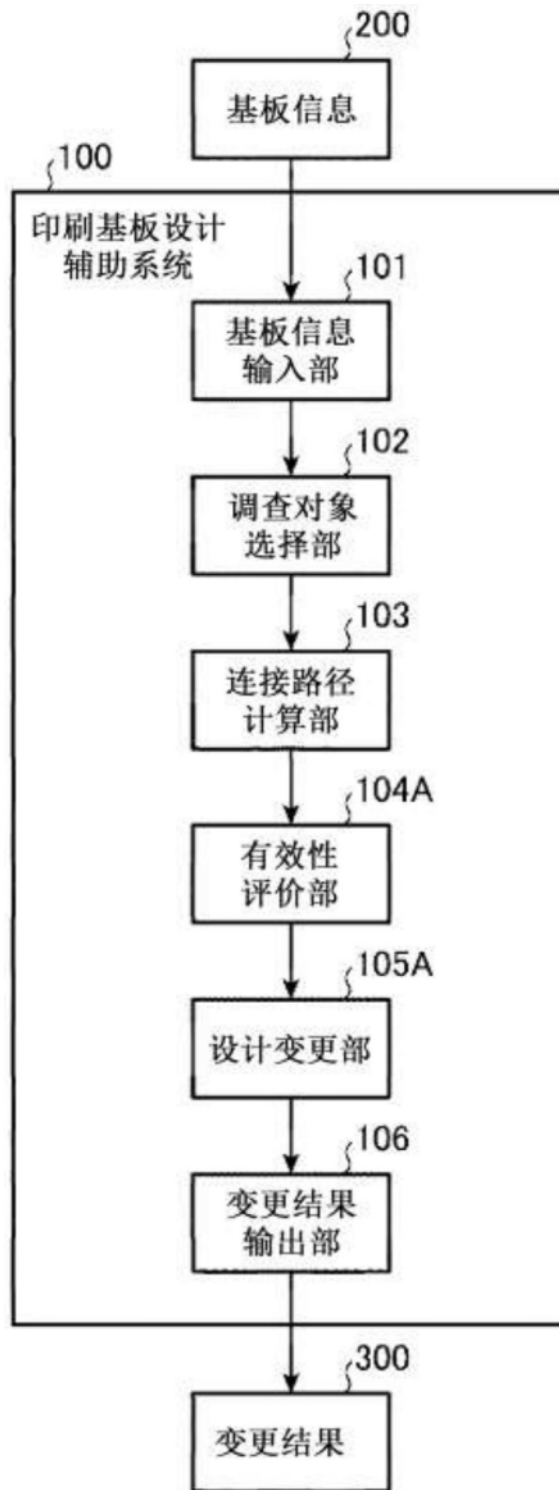


图16

个体部件	从各端子至旁路电容为止的最短距离和有效性				对于基板的有效性	位次
	IC.C7	IC.C6	IC.C5	...		
C1	2.5 mm ×	2.5 mm ×	4 mm ×	...	×	B3
C2	1 mm ○	1.2 mm ○	3 mm ×	...	○	A1
C3	2 mm ×	3 mm ×	2 mm ×	...	×	B2
C4	3 mm ×	4 mm ×	1.5 mm ○	...	○	A2
C5	4 mm ×	5 mm ×	2.8 mm ×	...	×	B4
C6	5 mm ×	6 mm ×	3 mm ×	...	○	A4
C7	6 mm ×	2.5 mm ×	7 mm ×	...	○	A3
C8	7 mm ×	1.5 mm ×	6 mm ×	...	×	B1
C9	8 mm ×	3.5 mm ×	5 mm ×	...	○	A5
C10	9 mm ×	4.5 mm ×	5.5 mm ×	...	×	B5
C11	10 mm ×	5.5 mm ×	7 mm ×	...	○	A6
C12	11 mm ×	6.5 mm ×	8 mm ×	...	×	B6

图17

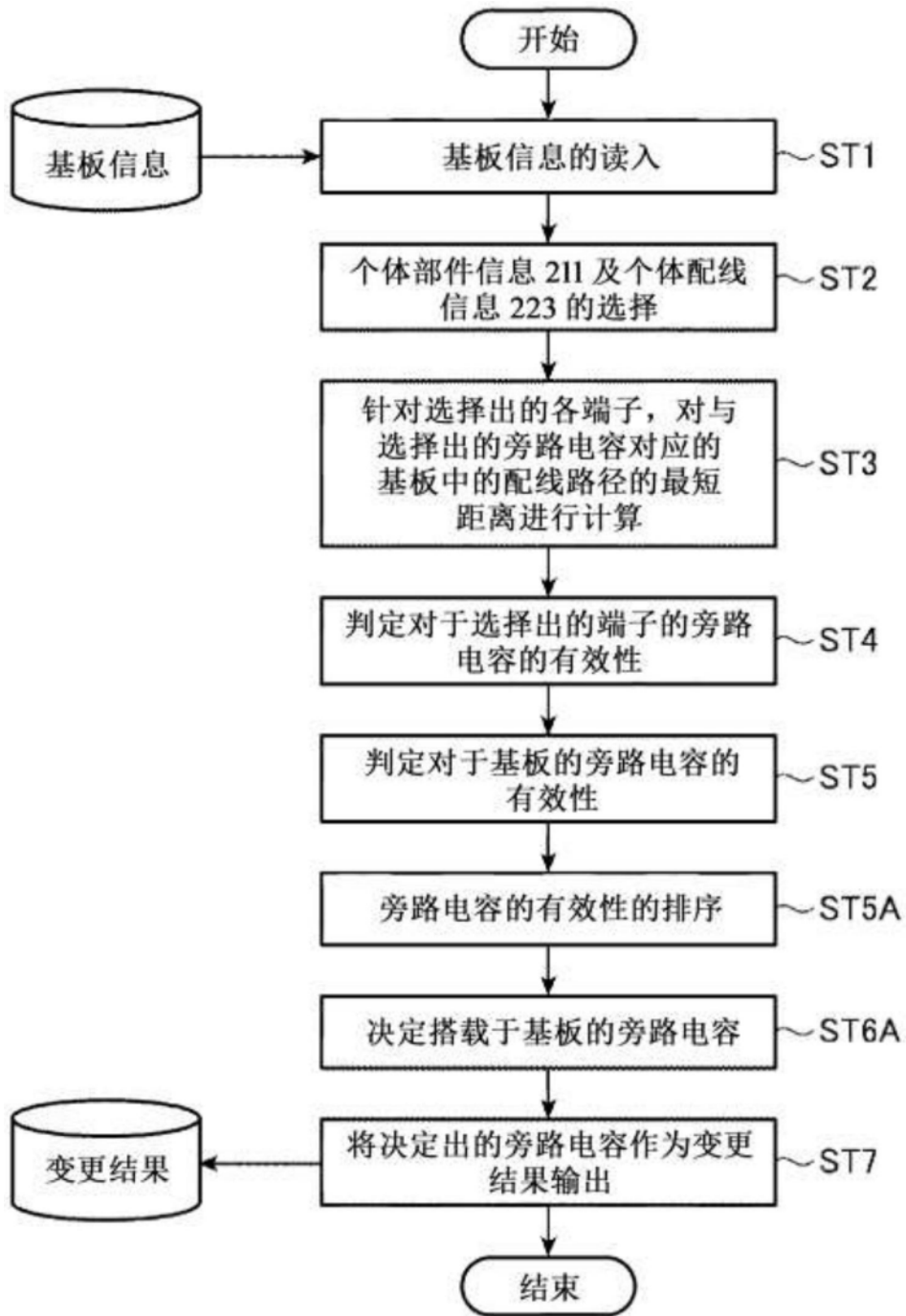


图18

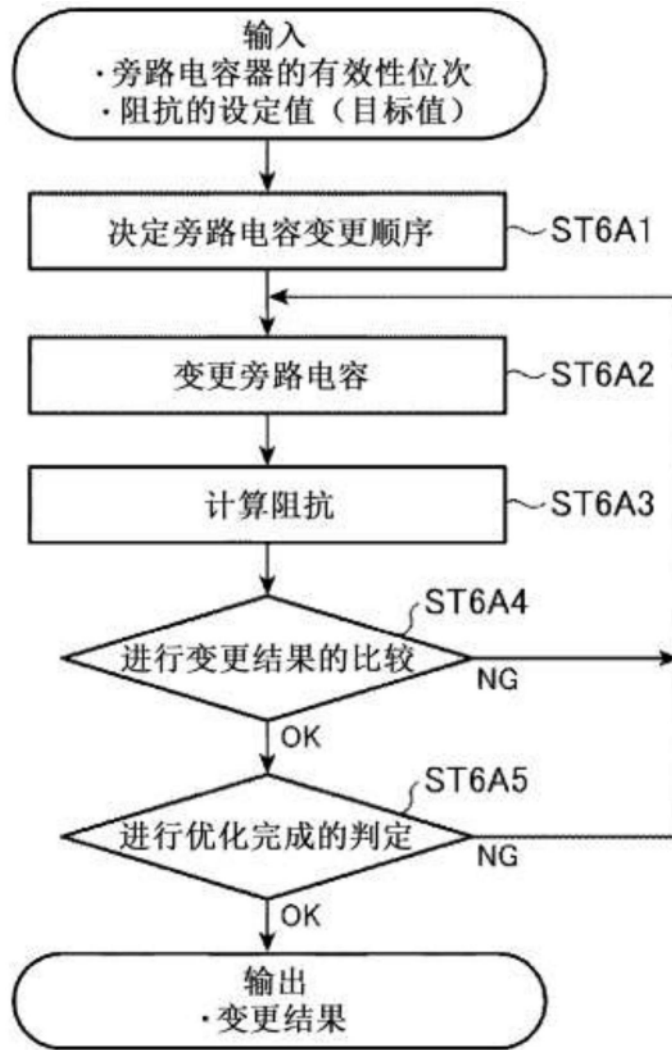


图19

个体部件	初始状态	变更后
C1	有(1.0 $\mu$ F)	×
C2	有(1.0 $\mu$ F)	有(2.2 $\mu$ F)
C3	有(1.0 $\mu$ F)	×
C4	有(1.0 $\mu$ F)	有(2.2 $\mu$ F)
C5	有(1.0 $\mu$ F)	×
C6	有(1.0 $\mu$ F)	有(2.2 $\mu$ F)
C7	有(1.0 $\mu$ F)	有(2.2 $\mu$ F)
C8	有(1.0 $\mu$ F)	×
C9	有(1.0 $\mu$ F)	有(2.2 $\mu$ F)
C10	有(1.0 $\mu$ F)	×
C11	有(1.0 $\mu$ F)	有(2.2 $\mu$ F)
C12	有(1.0 $\mu$ F)	×

图20

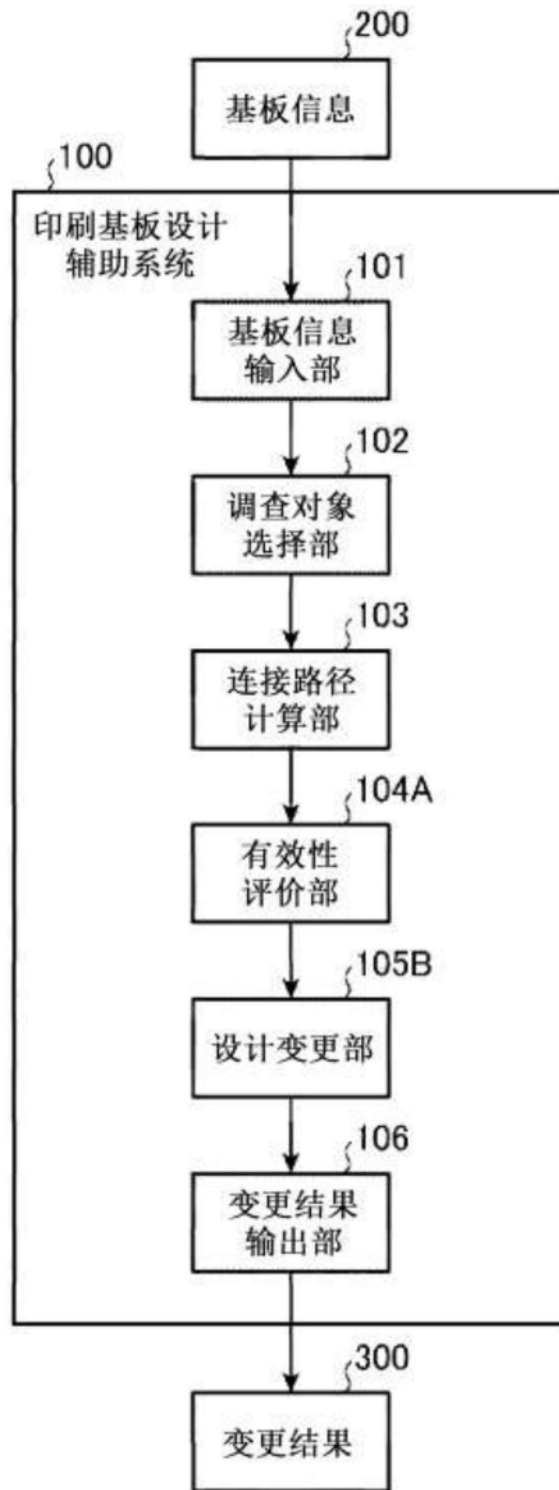


图21

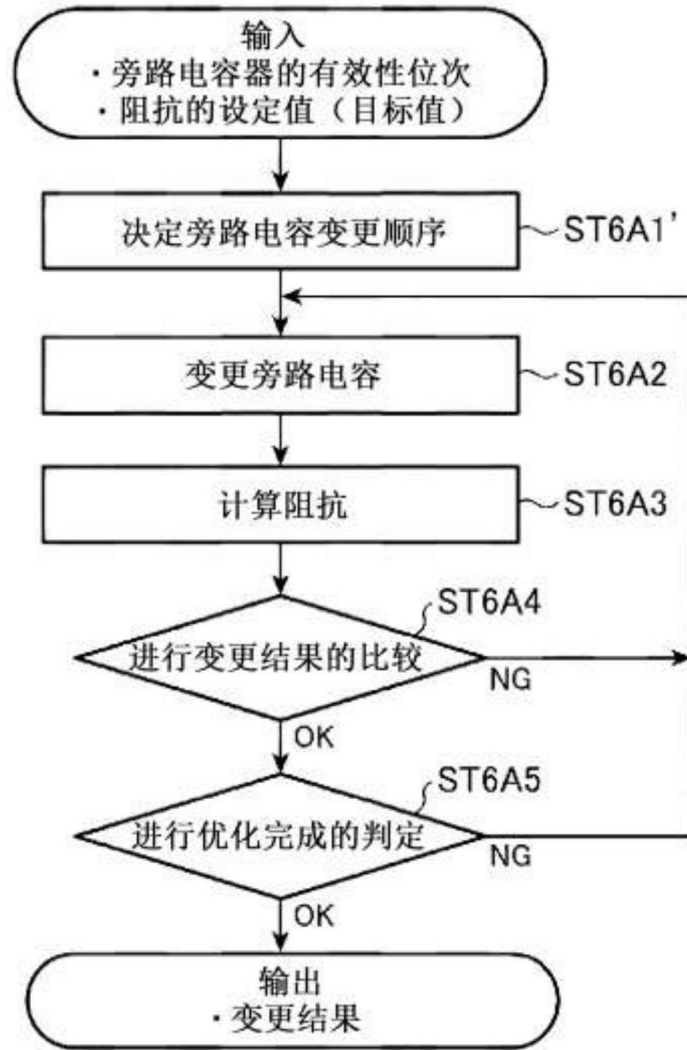


图22

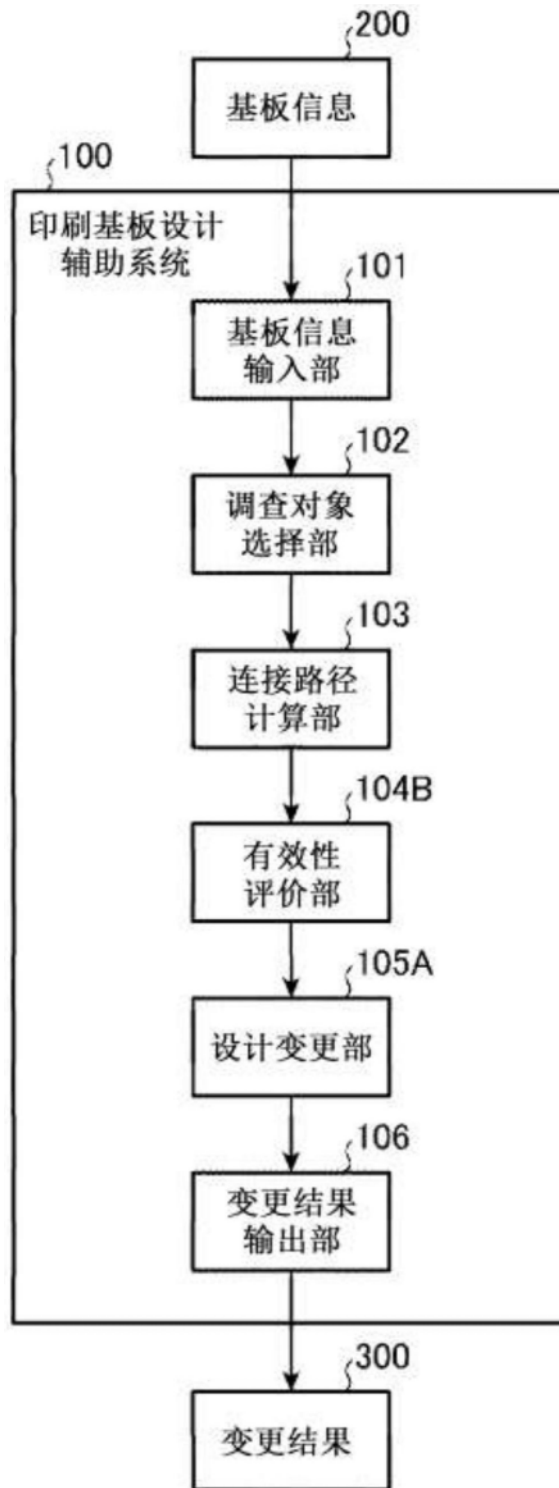


图23

个体部件	旁路电容的 电容值	从各端子至旁路电容为止的最短距离和有效性			对于基板的有效性	位次
		IC.C7	IC.C6	IC.C5		
C1	12 $\mu$ F	2.5 mm	2.5 mm	4 mm	○	C
C2	0.1 $\mu$ F	1 mm ○	1.2 mm ○	3 mm x	○	A1
C3	0.1 $\mu$ F	2 mm x	3 mm x	2 mm x	x	B2
C4	0.1 $\mu$ F	3 mm x	4 mm x	1.5 mm ○	○	A2
C5	0.1 $\mu$ F	4 mm x	5 mm x	2.8 mm x	x	B3
C6	0.1 $\mu$ F	5 mm x	6 mm x	3 mm x	○	A4
C7	0.1 $\mu$ F	6 mm x	2.5 mm x	7 mm x	○	A3
C8	0.1 $\mu$ F	7 mm x	1.5 mm x	6 mm x	x	B1
C9	0.1 $\mu$ F	8 mm x	3.5 mm x	5 mm x	○	A5
C10	0.1 $\mu$ F	9 mm x	4.5 mm x	5.5 mm x	x	B4
C11	0.1 $\mu$ F	10 mm x	5.5 mm x	7 mm x	○	A6
C12	0.1 $\mu$ F	11 mm x	6.5 mm x	8 mm x	x	B5

图24

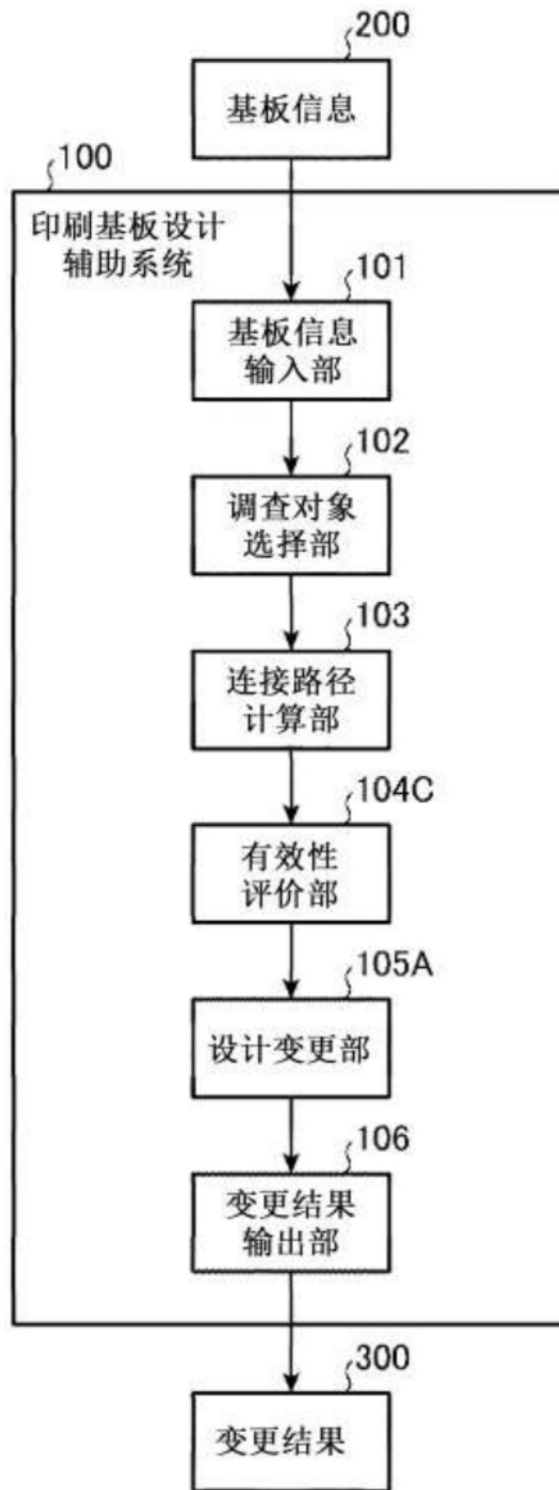


图25

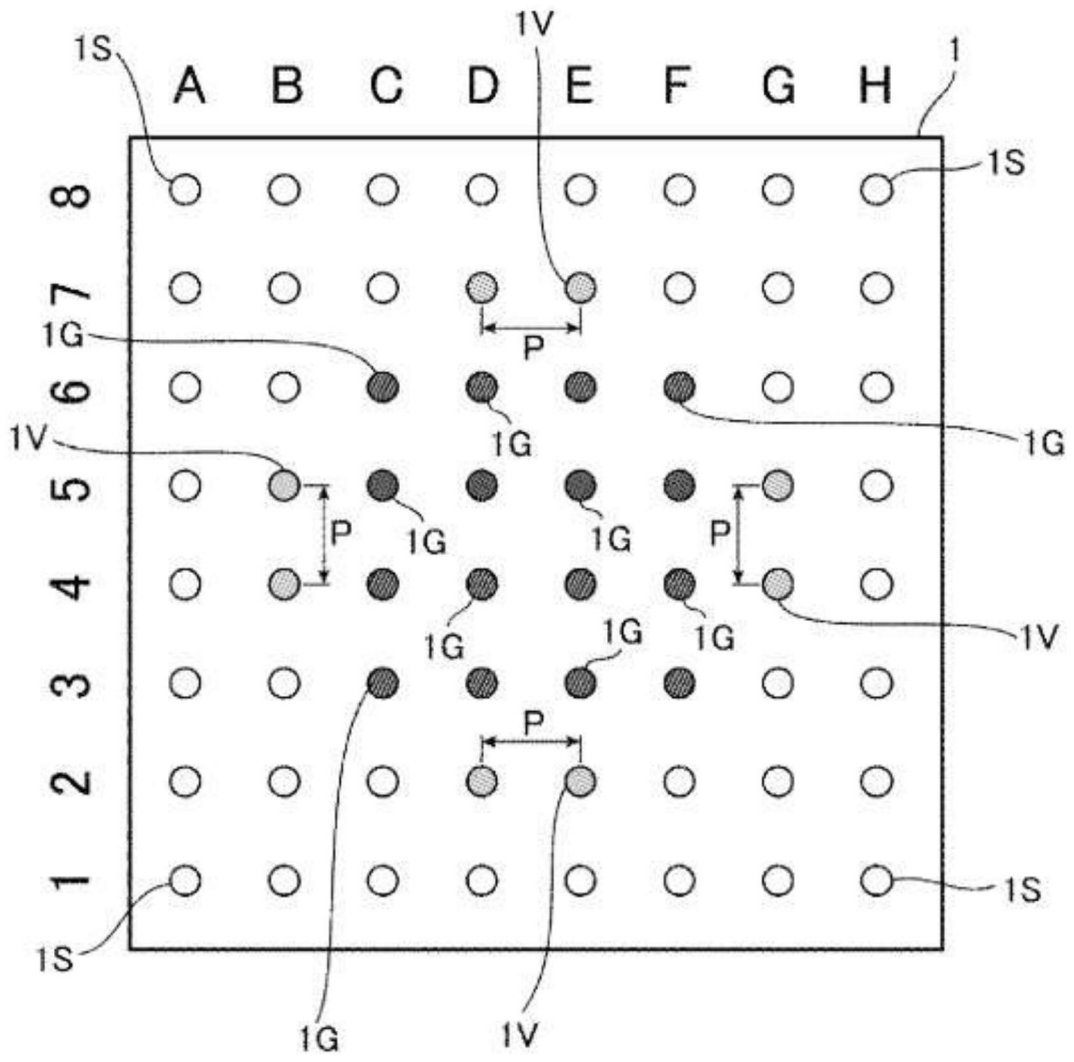


图26

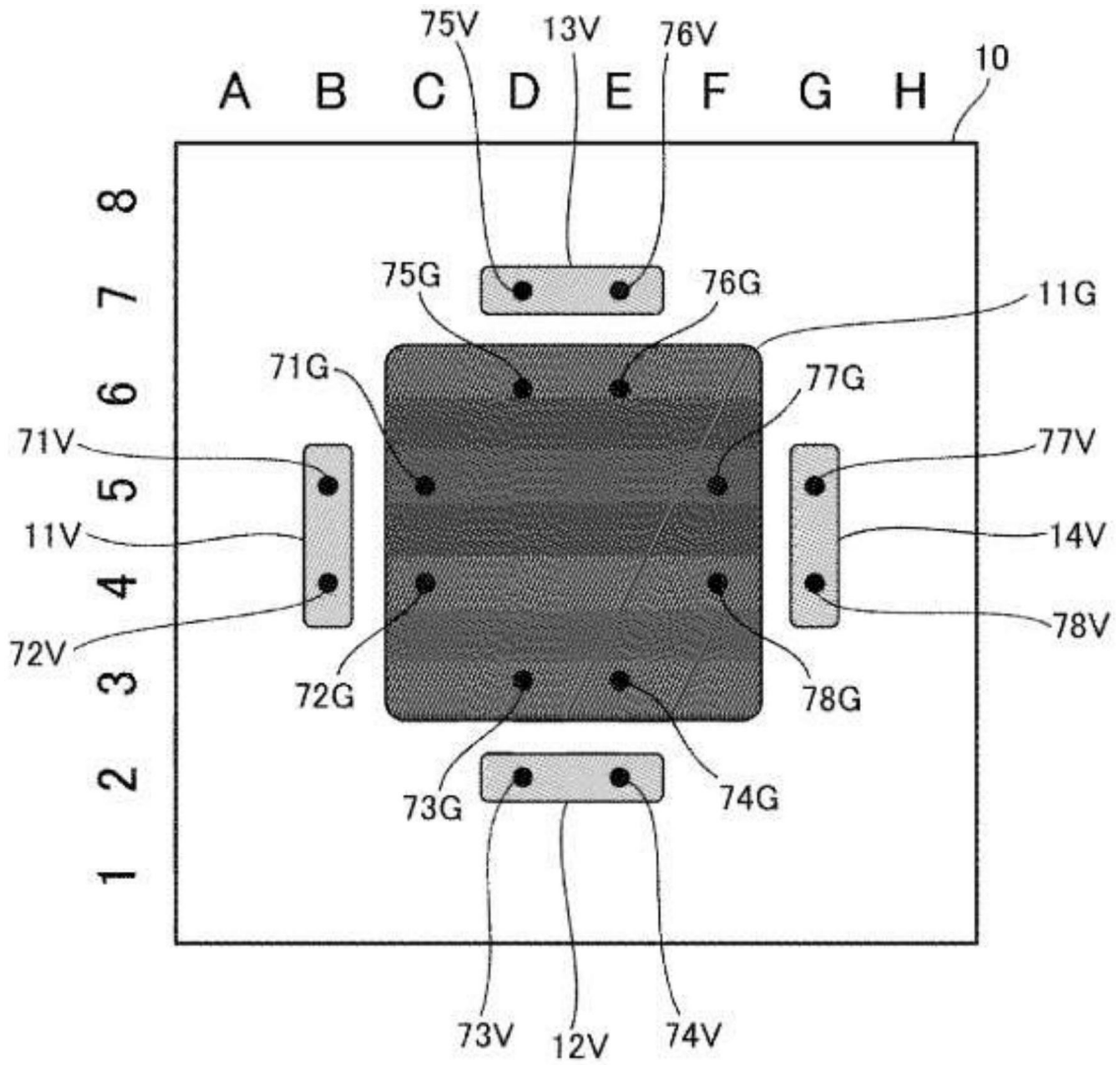


图27

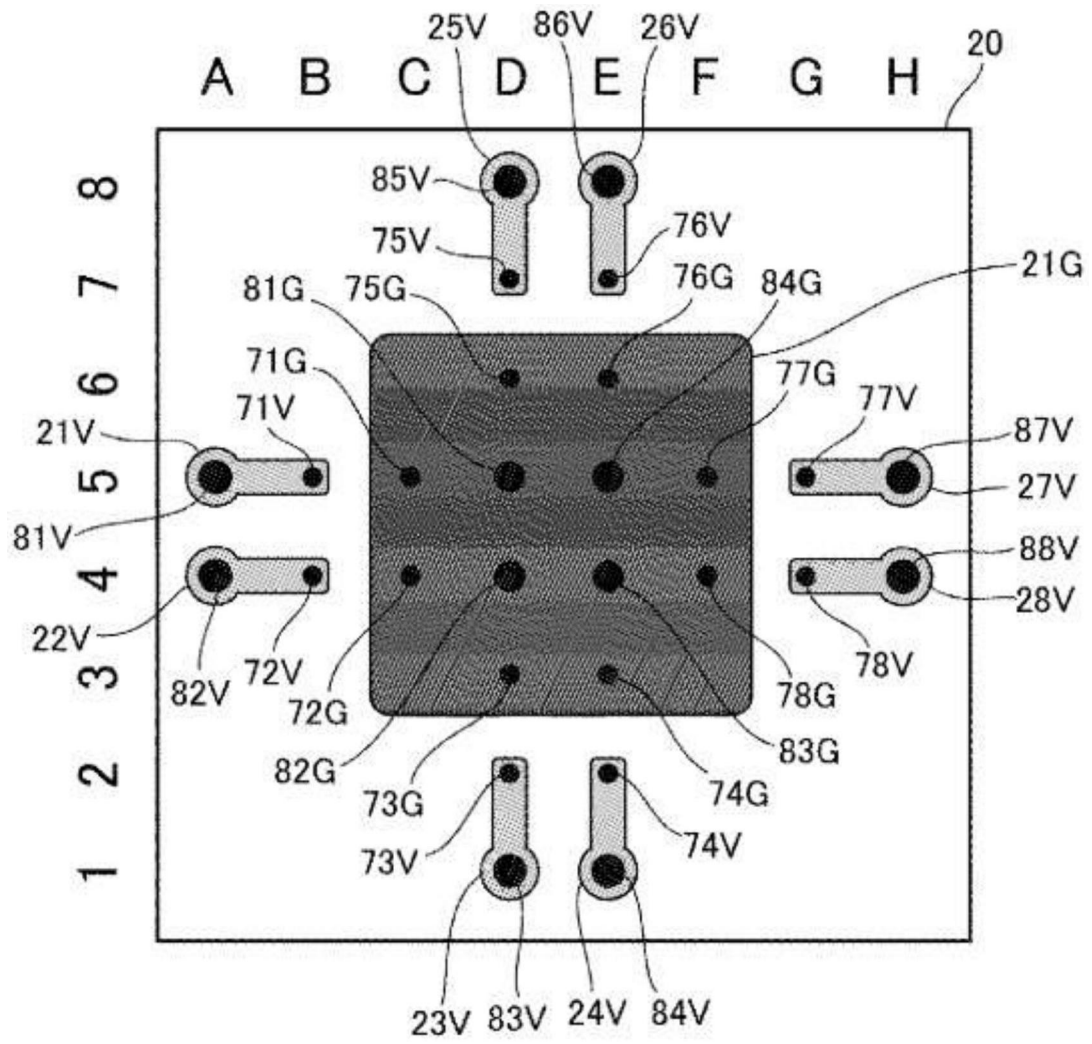


图28

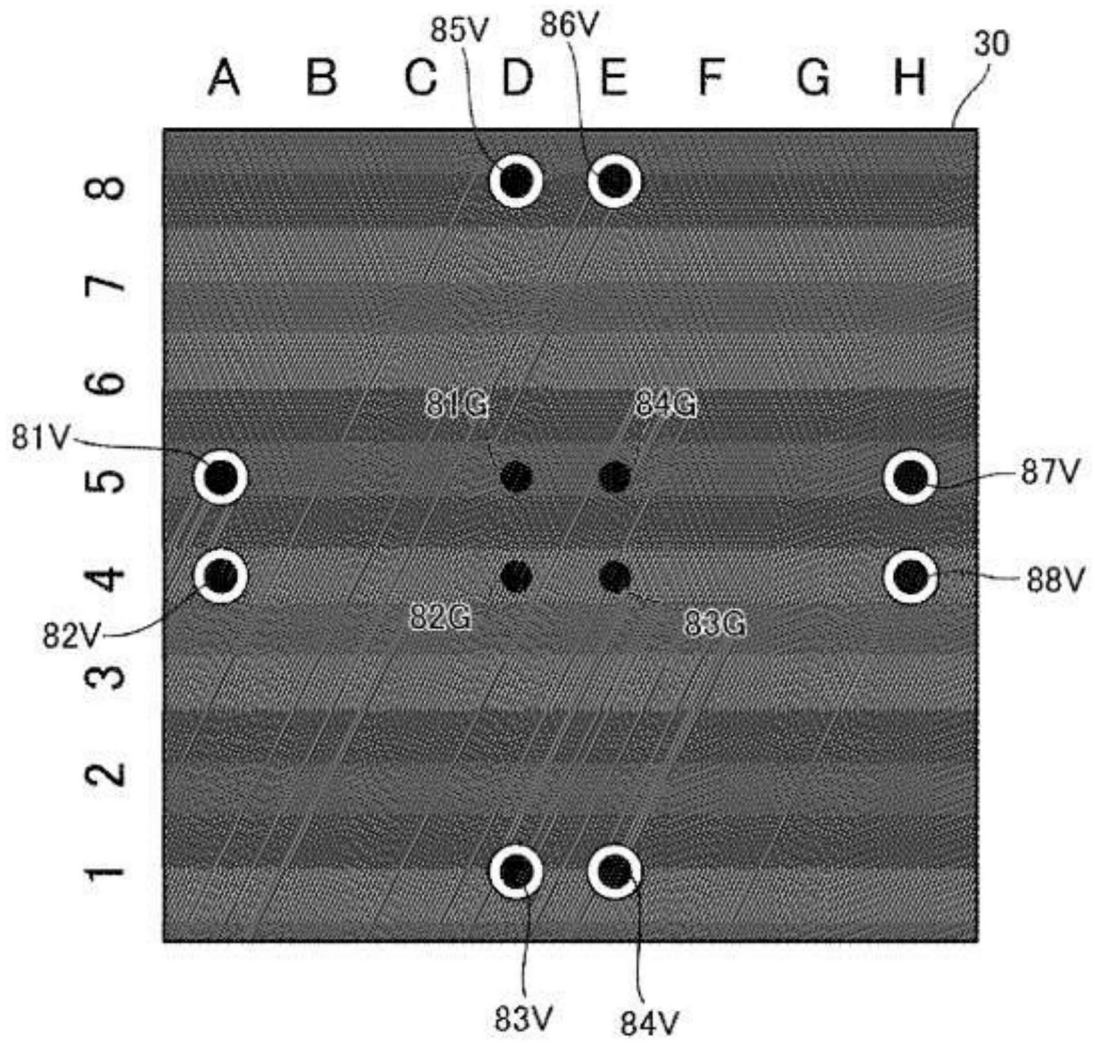


图29

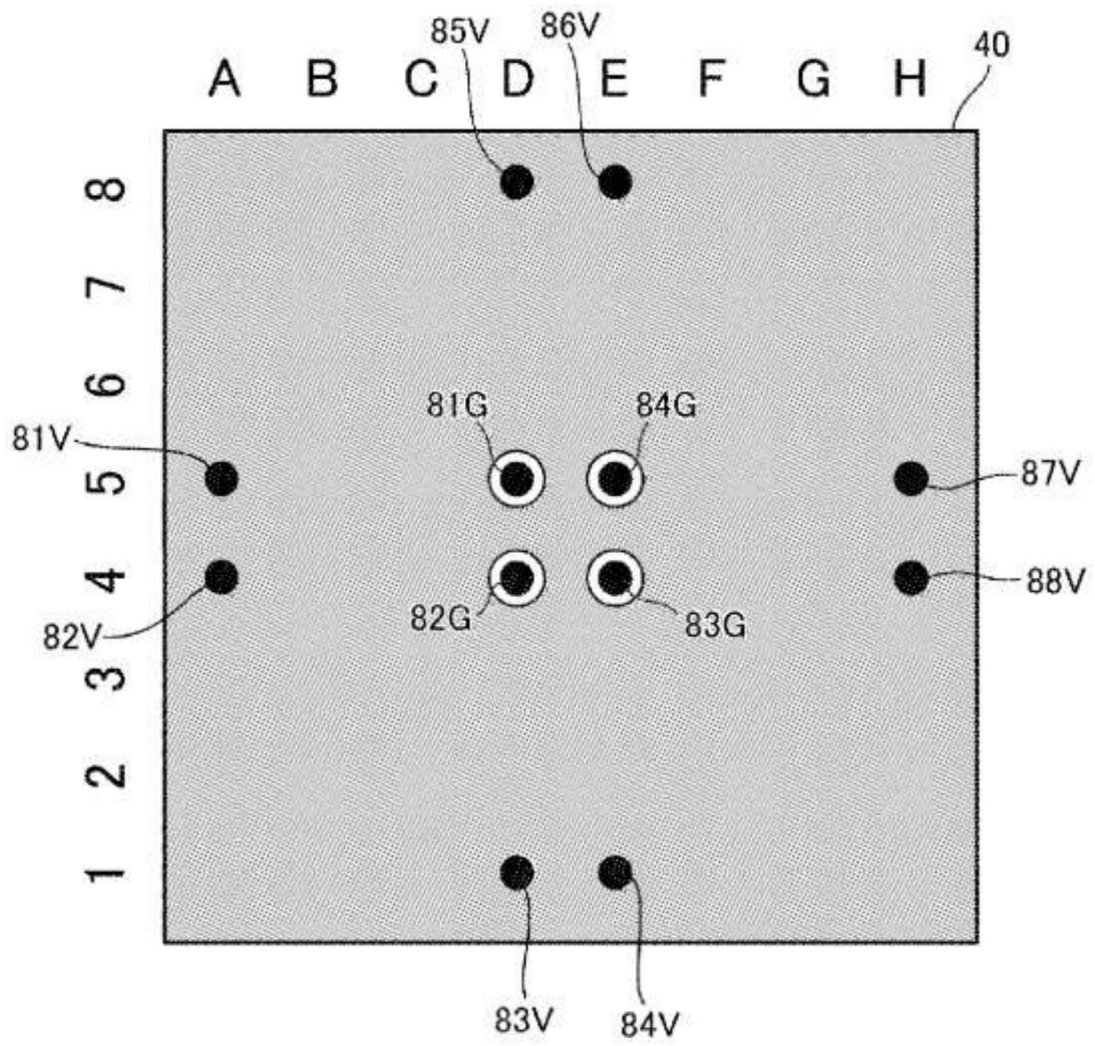


图30

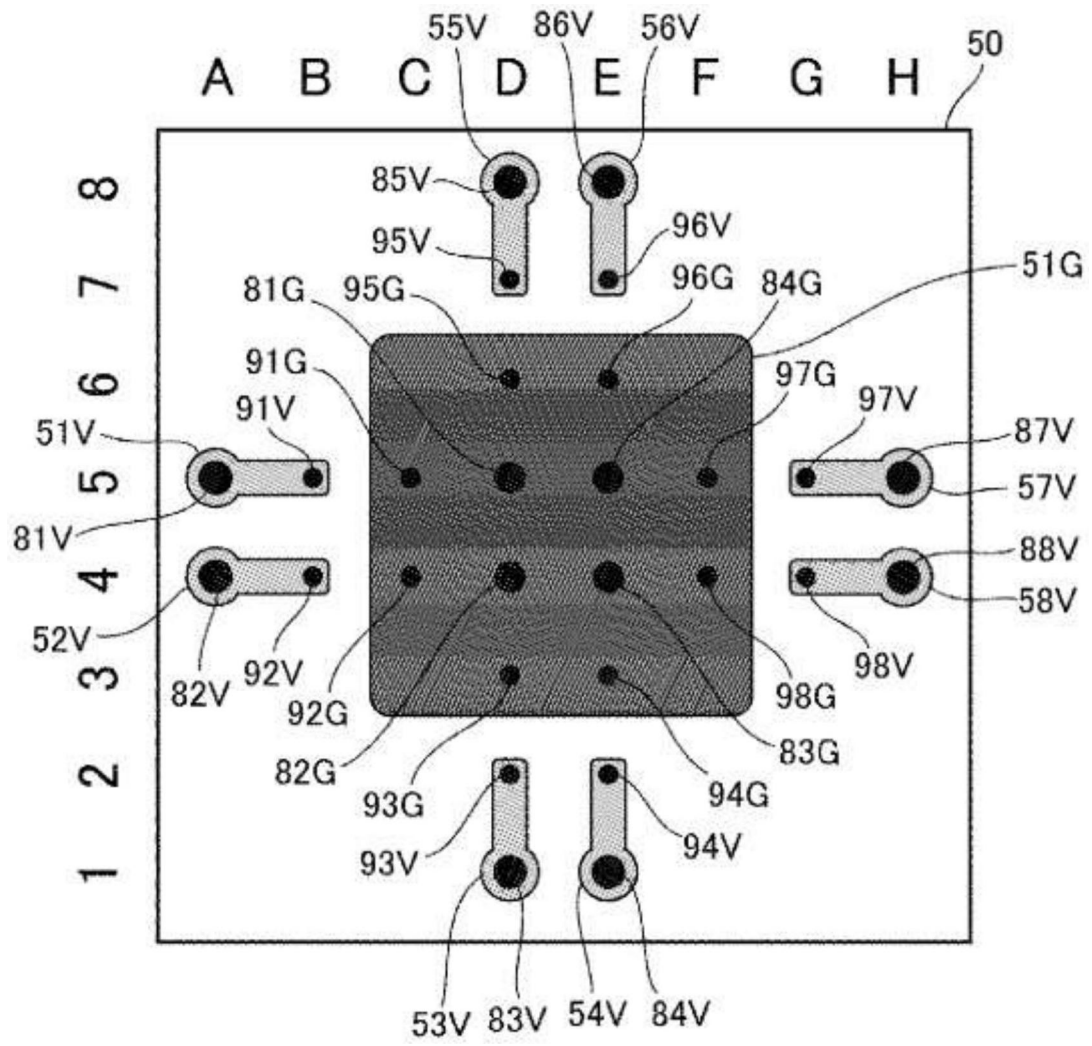


图31

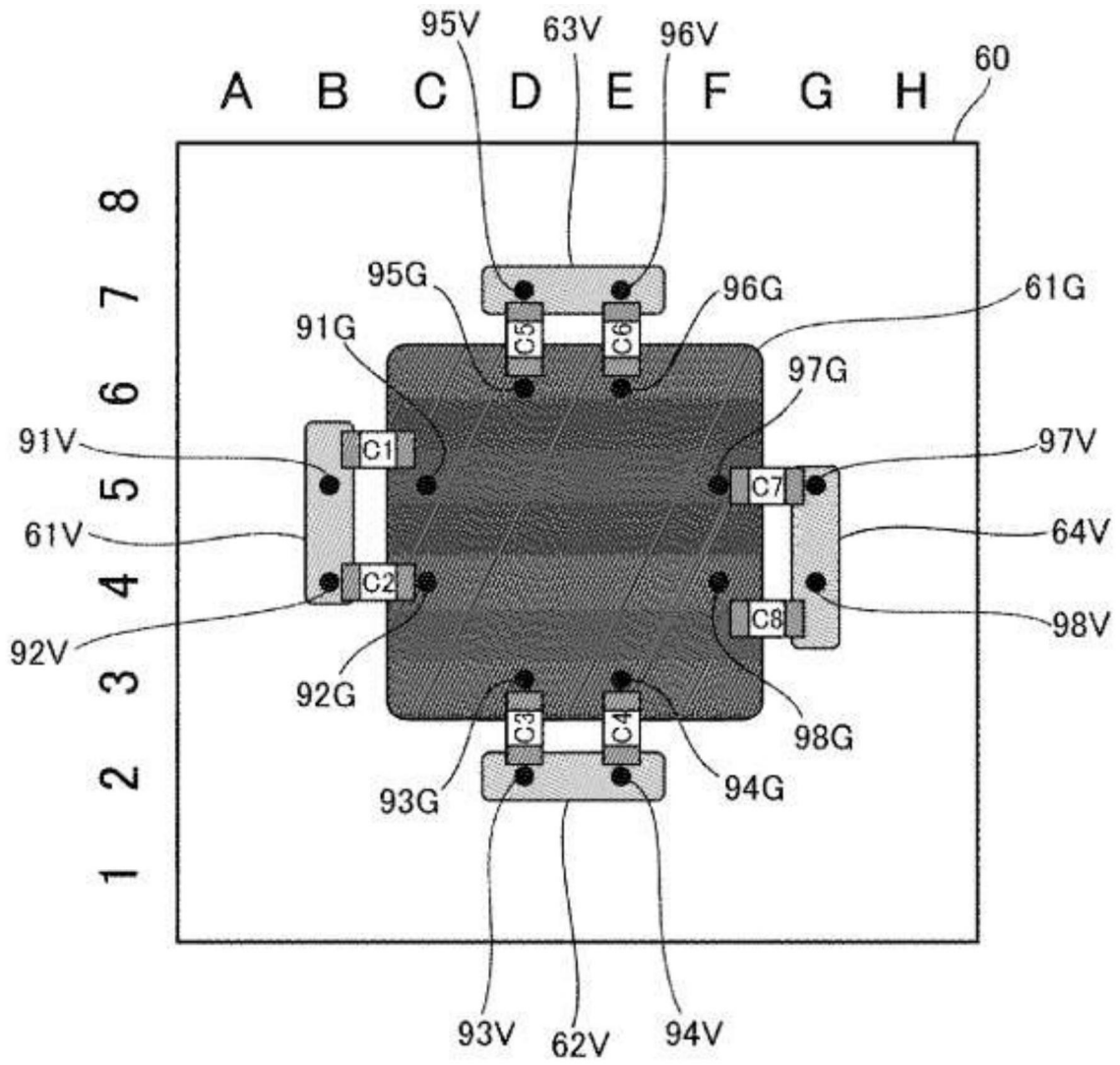


图32

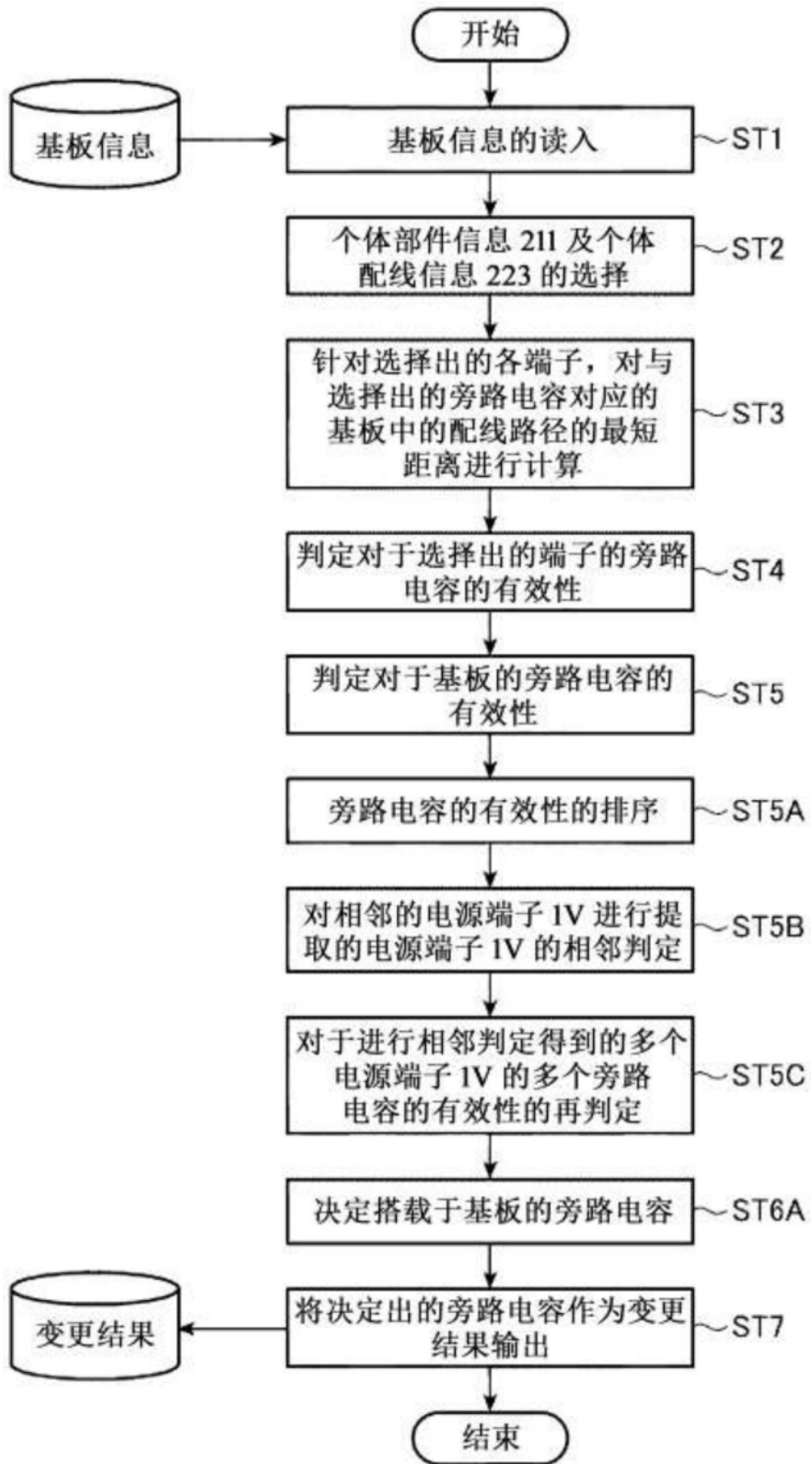


图33

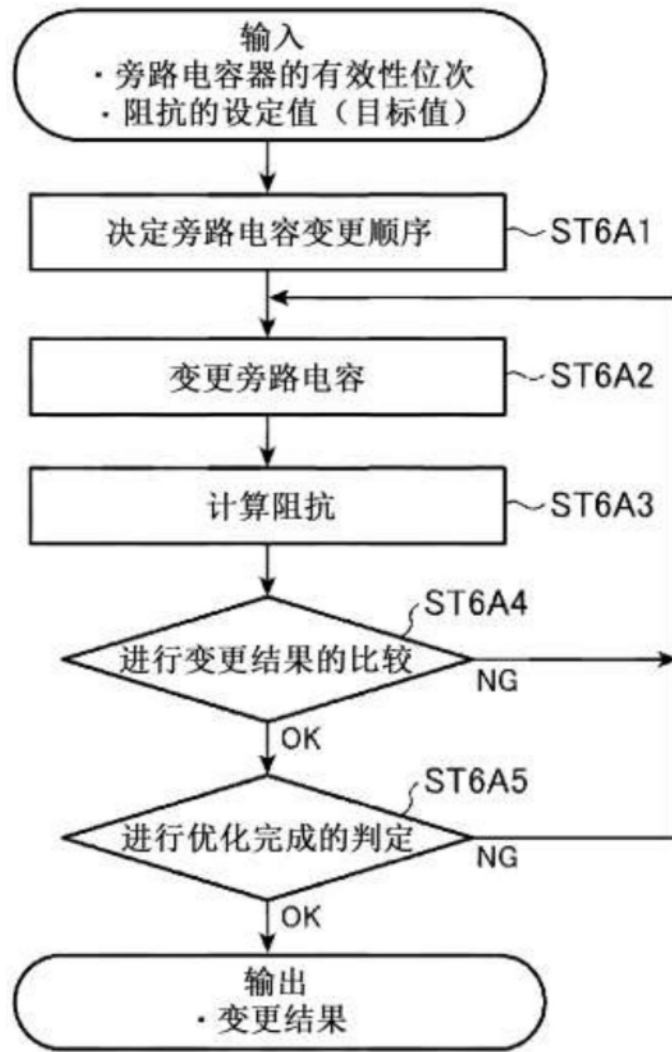


图34

个体部件	从各端子至旁路电容为止的最短距离和有效性					对于基板的有效性
	IC.B4	IC.B5	IC.D7	IC.E7	...	
C1	2 mm x	1.5 mm ○→x	4 mm x	5 mm x	...	○→x
C2	1 mm ○	2 mm x	5 mm x	6 mm x	...	○
C3	3 mm x	4 mm x	5 mm x	6 mm x	...	○→x
C4	5 mm x	4 mm x	6 mm x	5 mm x	...	○
C5	5 mm x	4 mm x	1 mm ○→x	2 mm x	...	○→x
C6	4 mm x	5 mm x	2 mm x	1 mm ○	...	○
C7	6 mm x	7 mm x	4 mm x	3 mm x	...	○
C8	7 mm x	6 mm x	5 mm x	4 mm x	...	○→x

图35