

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2009-201540
(P2009-201540A)

(43) 公開日 平成21年9月10日(2009.9.10)

(51) Int.Cl.	F I	テーマコード (参考)
A 6 1 B 1/04 (2006.01)	A 6 1 B 1/04 3 7 0	2 H 0 4 0
G 0 2 B 23/24 (2006.01)	G 0 2 B 23/24 B	4 C 0 6 1
H 0 4 N 5/225 (2006.01)	H 0 4 N 5/225 C	5 C 1 2 2

審査請求 未請求 請求項の数 6 O L (全 13 頁)

(21) 出願番号	特願2008-43825 (P2008-43825)	(71) 出願人	000005430
(22) 出願日	平成20年2月26日 (2008. 2. 26)		フジノン株式会社
			埼玉県さいたま市北区植竹町 1 丁目 3 2 4 番地
		(74) 代理人	100075281
			弁理士 小林 和憲
		(74) 代理人	100095234
			弁理士 飯嶋 茂
		(72) 発明者	中村 和彦
			埼玉県さいたま市北区植竹町 1 丁目 3 2 4 番地
			フジノン株式会社内
		F ターム (参考)	2H040 GA02 GA05
			4C061 CC06 JJ19 LL02 NN01 NN03
			SS03 SS11 SS21 UU09

最終頁に続く

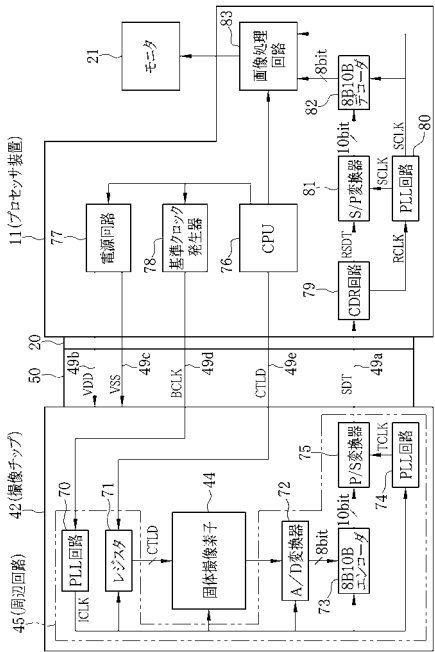
(54) 【発明の名称】 撮像システム及び内視鏡システム

(57) 【要約】

【課題】 撮像信号を高速にかつ安定してシリアル伝送する。

【解決手段】 固体撮像素子 4 4 を備えた撮像チップ 4 2 は、プロセッサ装置 1 1 に信号線 4 9 a ~ 4 9 e を介して接続されている。固体撮像素子 4 4 により生成された撮像信号は、信号線 4 9 a を介してプロセッサ装置 1 1 にシリアル伝送される。プロセッサ装置 1 1 は、クロックデータリカバリ (C D R) 回路 7 9 を備える。 C D R 回路 7 9 は、信号線 4 9 a を介して入力される撮像信号 S D T からクロック信号 R C L K を抽出するとともに、抽出したクロック信号 R C L K に位相同期したデータ信号 R S D T を生成する。これにより、伝送されるデータ信号とクロック信号との間にタイミングスキューが生じるといった問題は生じず、伝送の高速化及び安定化が図られる。

【選択図】 図 5



【特許請求の範囲】**【請求項 1】**

固体撮像素子を備えた撮像装置と、前記固体撮像素子を制御する外部制御装置とが信号線を介して接続され、前記固体撮像素子により生成された撮像信号を、前記撮像装置から前記外部制御装置に前記信号線を介してシリアル伝送する撮像システムにおいて、

前記外部制御装置は、前記信号線を介して入力される撮像信号からクロック信号を抽出するとともに、抽出したクロック信号に位相同期したデータ信号を生成するクロックデータリカバリ回路と、前記クロックデータリカバリ回路により生成されたデータ信号及びクロック信号に基づいて信号処理を行う信号処理回路と、を備えることを特徴とする撮像システム。

10

【請求項 2】

前記固体撮像素子は、C M O S 型の固体撮像素子であることを特徴とする請求項 1 に記載の撮像システム。

【請求項 3】

前記撮像装置は、前記固体撮像素子から出力される撮像信号をデジタル化し、所定のビット数のパラレル信号に変換する A / D 変換器を備えることを特徴とする請求項 1 または 2 に記載の撮像システム。

【請求項 4】

前記撮像装置は、前記 A / D 変換器から出力されるパラレル信号形式の撮像信号をシリアル信号に変換し、前記信号線を介して伝送させるパラレル / シリアル変換器を備えることを特徴とする請求項 3 に記載の撮像システム。

20

【請求項 5】

前記撮像装置は、撮像信号のビット数を増やし、前記シリアル信号中に同じ信号レベルが所定期間以上連続しないように撮像信号をエンコードするエンコーダを備えることを特徴とする請求項 4 に記載の撮像システム。

【請求項 6】

固体撮像素子を有する撮像装置を内蔵した電子内視鏡と、前記固体撮像素子を制御する外部制御装置とが信号線を介して接続され、前記固体撮像素子により生成された撮像信号を、前記撮像装置から前記外部制御装置に前記信号線を介してシリアル伝送する内視鏡システムにおいて、

30

前記外部制御装置は、前記信号線を介して入力される撮像信号からクロック信号を抽出するとともに、抽出したクロック信号に位相同期したデータ信号を生成するクロックデータリカバリ回路と、前記クロックデータリカバリ回路により生成されたデータ信号及びクロック信号に基づいて信号処理を行う信号処理回路と、を備えることを特徴とする内視鏡システム。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、撮像装置と外部制御装置とが信号線を介して電氣的に接続され、この信号線を介して撮像信号をシリアル伝送する撮像システム及び内視鏡システムに関するものである。

40

【背景技術】**【0002】**

C C D (Charge Coupled Device) 型や C M O S (Complementary Metal Oxide Semiconductor) 型の固体撮像素子の小型化が進められており、医療分野における内視鏡システムに適用されている。内視鏡システムは、被検体内に挿入され、固体撮像素子により被検体内を撮像する撮像装置を備えた電子内視鏡と、撮像装置の動作を制御するとともに、撮像装置で得られた撮像信号から画像を生成する外部制御装置(プロセッサ装置)とを備えた一種の撮像システムである。この撮像装置と外部制御装置とは、信号線によって電氣的に接続されており、この信号線を介して撮像信号の伝送が行われる。

50

【 0 0 0 3 】

一般に、従来の内視鏡システムでは、固体撮像素子によって得られた撮像信号をアナログ信号のまま外部制御装置に伝送し、外部制御装置内で撮像信号をデジタル化する構成が採られている。しかし、信号線が長くなると、アナログ信号はノイズの影響を受けるため、外部制御装置で生成される画像に劣化が生じるという問題がある。そこで、撮像装置内で撮像信号をデジタル化し、デジタル化された撮像信号を、信号線を介して外部制御装置に伝送するといった技術が提案されている（特許文献 1 参照）。

【 0 0 0 4 】

特許文献 1 記載の内視鏡システムでは、撮像信号をデジタル化することにより、多ビットの平行信号が生成されるため、この平行信号を撮像装置内でシリアル信号に変換しビット単位で時系列的に伝送（シリアル伝送）することにより、信号線の本数の削減及び伝送特性の向上を図っている。

10

【特許文献 1】特開 2 0 0 2 - 0 6 5 6 0 1 号公報

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

特許文献 1 に記載の内視鏡システムのように、撮像信号がシリアル伝送される撮像システムでは、受信側の外部制御装置は、撮像信号をビット単位で時系列的に検出するために、送信側の撮像装置から出力される撮像信号の伝送周波数（タイミング）を認識している必要がある。この伝送周波数が低い場合には、外部制御装置は、外部制御装置内で発生した内部クロック信号を用いて認識することが可能であるが、撮像信号の伝送周波数が高い場合（例えば、1 GHz を超える場合）には、撮像信号の伝送周波数と外部制御装置内の内部クロック信号の周波数とにずれが生じ、誤認識が生じることが問題となる。

20

【 0 0 0 6 】

かかる問題を解決するために、送信側の撮像装置と受信側の外部制御装置との間に、データ信号伝送用の信号線（データ線）に加えてクロック信号伝送用の信号線（クロック線）を配し、送信側からデータ信号とともにそれに同期したクロック信号を伝送し、受信側では伝送されたクロック信号を用いてデータ検出を行う高速シリアル伝送技術を用いることが考えられる。

【 0 0 0 7 】

30

しかしながら、この高速シリアル伝送技術を用いたとしても、内視鏡システムのように送信側の撮像装置と受信側の外部制御装置との間に距離があり、長い信号線を有する撮像システムでは、各信号線に付随する寄生容量や配線抵抗の差により、データ線とクロック線との間でタイミングスキュー（データ信号とクロック信号との位相差）が生じて撮像信号の伝送が不安定化し、その結果、受信側では、データの誤検出が生じるといった問題がある。データの誤検出が生じると、画像の劣化や表示エラーといった不具合が発生することになる。

【 0 0 0 8 】

本発明は、上記課題を鑑みてなされたものであり、撮像信号を高速にかつ安定してシリアル伝送することができる撮像システム及び内視鏡システムを提供することを目的とする。

40

【 課題を解決するための手段 】

【 0 0 0 9 】

上記目的を達成するために、本発明の撮像システムは、固体撮像素子を備えた撮像装置と、前記固体撮像素子を制御する外部制御装置とが信号線を介して接続され、前記固体撮像素子により生成された撮像信号を、前記撮像装置から前記外部制御装置に前記信号線を介してシリアル伝送する撮像システムにおいて、前記外部制御装置は、前記信号線を介して入力される撮像信号からクロック信号を抽出するとともに、抽出したクロック信号に位相同期したデータ信号を生成するクロックデータリカバリ回路と、前記クロックデータリカバリ回路により生成されたデータ信号及びクロック信号に基づいて信号処理を行う信号

50

処理回路と、を備えることを特徴とする。

【 0 0 1 0 】

なお、前記固体撮像素子は、C M O S 型の固体撮像素子であることが好ましい。

【 0 0 1 1 】

また、前記撮像装置は、前記固体撮像素子から出力される撮像信号をデジタル化し、所定のビット数のパラレル信号に変換する A / D 変換器を備えることを特徴とする。

【 0 0 1 2 】

この場合には、前記撮像装置は、前記 A / D 変換器から出力されるパラレル信号形式の撮像信号をシリアル信号に変換し、前記信号線を介して伝送させるパラレル / シリアル変換器を備えることが好ましい。

10

【 0 0 1 3 】

また、この場合には、前記撮像装置は、撮像信号のビット数を増やし、前記シリアル信号中に同じ信号レベルが所定期間以上連続しないように撮像信号をエンコードするエンコーダを備えることが好ましい。

【 0 0 1 4 】

また、本発明の内視鏡システムは、固体撮像素子を有する撮像装置を内蔵した電子内視鏡と、前記固体撮像素子を制御する外部制御装置とが信号線を介して接続され、前記固体撮像素子により生成された撮像信号を、前記撮像装置から前記外部制御装置に前記信号線を介してシリアル伝送する内視鏡システムにおいて、前記外部制御装置は、前記信号線を介して入力される撮像信号からクロック信号を抽出するとともに、抽出したクロック信号に位相同期したデータ信号を生成するクロックデータリカバリ回路と、前記クロックデータリカバリ回路により生成されたデータ信号及びクロック信号に基づいて信号処理を行う信号処理回路と、を備えることを特徴とする。

20

【 発明の効果 】

【 0 0 1 5 】

本発明の撮像システムによれば、シリアル伝送された撮像信号から、クロックデータリカバリ回路により、クロック信号を抽出するとともに、これに位相同期したデータ信号を生成するので、伝送によりデータ信号とクロック信号との間にタイミングスキューが生じるといった問題は生じず、伝送の高速化及び安定化を図ることができる。これにより、外部制御装置は、撮像信号を正確に検出することができ、画像の劣化や表示エラーといった不具合が防止される。

30

【 0 0 1 6 】

また、本発明の内視鏡システムでは、1本の信号線を用いて撮像信号をシリアル伝送することができるので、信号線が挿通されるケーブルを細線化し、電子内視鏡を細径化することができる。これにより、電子内視鏡が挿入される患者の負担が軽減される。

【 発明を実施するための最良の形態 】

【 0 0 1 7 】

図1において、内視鏡システム2は、電子内視鏡10、プロセッサ装置11、光源装置12などから構成される。電子内視鏡10は、体腔内に挿入される可撓性の挿入部14と、挿入部14の基端部分に連設された操作部15と、プロセッサ装置11及び光源装置12に接続されるユニバーサルコード16とを備えている。

40

【 0 0 1 8 】

挿入部14の先端には、体腔内撮影用の撮像チップ（撮像装置）42（図3参照）などが内蔵された先端部17が連設されている。先端部17の後方には、複数の湾曲駒を連結した湾曲部18が設けられている。湾曲部18は、操作部15に設けられたアングルノブ19が操作されて、挿入部14内に挿設されたワイヤが押し引きされることにより、上下左右方向に湾曲動作する。これにより、先端部17が体腔内の所望の方向に向けられる。

【 0 0 1 9 】

ユニバーサルコード16の基端は、コネクタ20に連結されている。コネクタ20は、複合タイプのものであり、コネクタ20にはプロセッサ装置11が接続される他、光源装

50

置 1 2 が接続される。

【 0 0 2 0 】

プロセッサ装置 1 1 は、ユニバーサルコード 1 6 内に挿通されたケーブル 5 0 (図 3 参照) を介して電子内視鏡 1 0 に給電を行い、撮像チップ 4 2 の駆動を制御するとともに、撮像チップ 4 2 からケーブル 5 0 を介して伝送された撮像信号を受信し、受信した撮像信号に各種信号処理を施して画像データに変換する。プロセッサ装置 1 1 で変換された画像データは、プロセッサ装置 1 1 にケーブル接続されたモニタ 2 1 に内視鏡画像として表示される。また、プロセッサ装置 1 1 は、コネクタ 2 0 を介して光源装置 1 2 と電氣的に接続され、内視鏡システム 2 の動作を統括的に制御する。

【 0 0 2 1 】

図 2 において、先端部 1 7 の前面 1 7 a には、観察窓 3 0、照明窓 3 1、鉗子出口 3 2、及び送気・送水用ノズル 3 3 が設けられている。観察窓 3 0 は、先端部 1 7 の片側中央に配置されている。照明窓 3 1 は、観察窓 3 0 に関して対称な位置に 2 個配され、体腔内の被観察部位に光源装置 1 2 からの照明光を照射する。鉗子出口 3 2 は、挿入部 1 4 内に配設された鉗子チャンネル 5 1 (図 3 参照) に接続され、操作部 1 5 に設けられた鉗子口 2 2 (図 1 参照) に連通している。鉗子口 2 2 には、注射針や高周波メスなどが先端に配された各種処置具が挿通され、各種処置具の先端が鉗子出口 3 2 から露呈される。送気・送水用ノズル 3 3 は、操作部 1 5 に設けられた送気・送水ボタン 2 3 (図 1 参照) の操作に応じて、光源装置 1 2 に内蔵された送気・送水装置から供給される洗浄水や空気を、観察窓 3 0 や体腔内に向けて噴射する。

【 0 0 2 2 】

図 3 において、観察窓 3 0 の奥には、体腔内の被観察部位の像光を取り込むための対物光学系 4 0 を保持する鏡筒 4 1 が配設されている。鏡筒 4 1 は、挿入部 1 4 の中心軸に対物光学系 4 0 の光軸が平行となるように取り付けられている。鏡筒 4 1 の後端には、対物光学系 4 0 を経由した被観察部位の像光を、略直角に曲げて撮像チップ 4 2 に向けて導光するプリズム 4 3 が接続されている。

【 0 0 2 3 】

撮像チップ 4 2 は、CMOS 型の固体撮像素子 4 4 と、固体撮像素子 4 4 の駆動及び信号の入出力を行う周辺回路 4 5 とが一体形成されたモノリシック半導体 (いわゆる CMOS センサチップ) であり、支持基板 4 6 上に実装されている。固体撮像素子 4 4 の撮像面 4 4 a は、プリズム 4 3 の出射面と対向するように配置されている。撮像面 4 4 a 上には、矩形棒状のスペーサ 4 7 を介して矩形板状のカバーガラス 4 8 が取り付けられている。撮像チップ 4 2、スペーサ 4 7、及びカバーガラス 4 8 は、接着剤を介して組み付けられている。これにより、塵埃などの侵入から撮像面 4 4 a が保護されている。

【 0 0 2 4 】

挿入部 1 4 の後端に向けて延設された支持基板 4 6 の後端部には、複数の入出力端子 4 6 a が支持基板 4 6 の幅方向に並べて設けられている。入出力端子 4 6 a には、ユニバーサルコード 1 6 を介してプロセッサ装置 1 1 との各種信号の遣り取りを媒介するための信号線 4 9 (図 5 の信号線 4 9 a ~ 4 9 e) が接合されており、入出力端子 4 6 a は、支持基板 4 6 に形成された配線やボンディングパッド等 (図示せず) を介して撮像チップ 4 2 内の周辺回路 4 5 と電氣的に接続されている。信号線 4 9 は、可撓性の管状のケーブル 5 0 内にまとめて挿通されている。ケーブル 5 0 は、挿入部 1 4、操作部 1 5、及びユニバーサルコード 1 6 の各内部を挿通し、コネクタ 2 0 に接続されている。

【 0 0 2 5 】

また、図示は省略したが、照明窓 3 1 の奥には、照明部が設けられている。照明部には、光源装置 1 2 からの照明光を導くライトガイドの出射端が配されている。ライトガイドは、ケーブル 5 0 と同様に、挿入部 1 4、操作部 1 5、及びユニバーサルコード 1 6 の各内部を挿通し、コネクタ 2 0 に入射端が接続されている。

【 0 0 2 6 】

図 4 において、固体撮像素子 4 4 は、単位画素 6 0 がマトリクス状に配置された画素部

10

20

30

40

50

6 1 と、画素部 6 1 からの出力信号（画素データ）の処理（ノイズ抑制処理）を行なう相関二重サンプリング（CDS）回路 6 2 と、画素部 6 1 の垂直方向の走査を制御するとともに画素部 6 1 のリセット動作を制御する垂直走査回路 6 3 と、水平方向の走査を制御する水平走査回路 6 4 と、画素データの出力を行う出力回路 6 5 と、各回路 6 2 ～ 6 4 に制御信号を与え、垂直・水平走査及びサンプリングのためのタイミング等を制御する制御回路 6 6 とから構成されている。

【0027】

単位画素 6 0 は、1 個のフォトダイオード D 1、リセット用トランジスタ M 1、ドライブ用（増幅用）トランジスタ M 2、及び画素選択用トランジスタ M 3 とからなる。各单位画素 6 0 は、垂直走査線（行選択線）L 1 及び水平走査線（列信号線）L 2 に接続されており、垂直走査回路 6 3 と水平走査回路 6 4 によって順次に走査される。

10

【0028】

制御回路 6 6 は、画素部 6 1 の行及び列を走査するために垂直走査回路 6 3 及び水平走査回路 6 4 に入力する制御信号、フォトダイオード D 1 に蓄積された信号電荷をリセットするために垂直走査回路 6 3 に入力する制御信号、及び画素部 6 1 と CDS 回路 6 2 との接続を制御するために CDS 回路 6 2 に入力する制御信号をそれぞれ生成する。

【0029】

CDS 回路 6 2 は、列信号線 L 2 ごとに区分して設けられており、垂直走査回路 6 3 によって選択された行選択線 L 1 に接続された各单位画素 6 0 の画素データを、水平走査回路 6 4 が出力する水平走査信号に従って順次に出力する。水平走査回路 6 4 は、CDS 回路 6 2 と、出力回路 6 5 に接続された出力バスライン L 3 との間に設けられた列選択用トランジスタ M 4 のオン/オフを水平走査信号により制御する。出力回路 6 5 は、CDS 回路 6 2 から出力バスライン L 3 に順次に転送される画素データを増幅して出力する。以下では、出力回路 6 5 から出力される一連の画素データをまとめて撮像信号と称する。

20

【0030】

なお、図示は省略するが、固体撮像素子 4 4 は、複数の色セグメントからなるカラーフィルタ（例えば、ベイヤー配列の原色カラーフィルタ）を備えた単板カラー撮像方式の固体撮像素子である。

【0031】

図 5 において、撮像チップ 4 2 内の周辺回路 4 5 は、内部クロック信号を生成する PLL（Phase-Locked Loop）回路 7 0 と、固体撮像素子 4 4 に制御データを設定するレジスタ 7 1 と、固体撮像素子 4 4 から出力された撮像信号をデジタル化するアナログ/デジタル（A/D）変換器 7 2 と、デジタル化された撮像信号に対して 8 B 1 0 B 方式のエンコードを行う 8 B 1 0 B エンコーダ 7 3 と、内部クロック信号の周波数を逡倍し、シリアル伝送用のクロック信号を生成する PLL 回路 7 4 と、エンコードされた撮像信号をシリアル信号に変換して出力するパラレル/シリアル（P/S）変換器 7 5 とから構成されている。

30

【0032】

PLL 回路 7 0 は、位相比較器、ループフィルタ、電圧制御発信器、及び分周器を備える位相同期回路であり、プロセッサ装置 1 1 から入力される安定した基準クロック信号 BCLK と同期し、かつ基準クロック信号 BCLK の周波数と所定の比例関係にある周波数（逡倍された周波数）を持つ内部クロック信号 ICLK を生成する。この内部クロック信号 ICLK は、周辺回路 4 5 内の各部、及び固体撮像素子 4 4 の制御回路 6 6（図 4 参照）に供給される。

40

【0033】

レジスタ 7 1 は、プロセッサ装置 1 1 から入力される、固体撮像素子 4 4 を駆動するための制御データ CTLD を保持し、固体撮像素子 4 4 の制御回路 6 6（図 4 参照）に入力する。レジスタ 7 1 は、シリアル/パラレル変換を行うシフトレジスタであり、シリアル信号形式で入力される制御データ CTLD を、パラレル信号に変換して制御回路 6 6 に入力する。この制御データ CTLD としては、画素の走査方式（全画素走査/インターレー

50

ス走査)、走査する画素領域(走査開始・終了する単位画素60の位置)、シャッタ速度(露光時間)などが入力される。制御回路66は、制御データCTLD及び内部クロック信号ICKに基づいて、固体撮像素子44内の上記各回路62~64を制御する。

【0034】

A/D変換器72は、固体撮像素子44から出力される撮像信号について、アナログ信号である各画素データを量子化して8ビット(256階調)のデジタル信号に変換し、変換した8ビットのデジタル信号を、8本の配線を用いて、8B10Bエンコーダ73にパラレルに入力する。

【0035】

8B10Bエンコーダ73は、A/D変換器72から入力された8ビットの画素データに対し、冗長な2ビットのデータを付加して10ビットの画素データに変換する8B10B方式のエンコーダであり、8ビットから10ビットへの変換は、規格で定められた変換表を用いて行う。この変換は、後述するシリアル伝送の際に同じ信号レベル(“0”または“1”)が所定期間以上連続しないようにするためのものであり、例えば、元の8ビットの画素データが“00000000”のときは“1001110100”の10ビットデータに変換を行い、元の8ビットの画素データが“00001111”のときは“0101110100”の10ビットデータに変換を行う。

【0036】

PLL回路74は、前述のPLL回路70と同様な構成であり、内部クロック信号ICKの周波数を例えば10倍に通倍したシリアル伝送用クロック信号TCLKを生成し、P/S変換器75に供給する。

【0037】

P/S変換器75は、PLL回路74が生成したシリアル伝送用クロック信号TCLKに応じて、図6に示すように、8B10Bエンコーダ73から入力される画素データ(10ビットのパラレルデータ)を10ビットのシリアルデータに変換する。このとき、PLL回路74の作用により、変換後のシリアルデータの周波数は、変換前のパラレルデータの周波数の10倍となる。P/S変換器75により生成されたシリアルデータは、撮像信号SDTとしてケーブル50内の信号線49aを介してプロセッサ装置11に伝送される。

【0038】

プロセッサ装置11は、装置全体の制御を行う主制御回路(CPU)76と、電源電圧VDD及び接地電圧VSSを生成する電源回路77と、基準クロック信号BCLKを生成する基準クロック発生器78と、撮像チップ42から撮像信号SDTを受信し、撮像信号SDTからクロック信号及びデータ信号を再生するクロックデータリカバリ(Clock & Data Recovery: CDR)回路79と、CDR回路79により生成されたクロック信号の周波数を通倍し、撮像チップ42内の内部クロック信号ICKと同一の周波数を有する信号処理用のクロック信号を生成するPLL回路80と、CDR回路79により生成されたデータ信号をパラレル信号に変換するシリアル/パラレル(S/P)変換器81と、パラレル化された撮像信号に対して8B10B方式のデコードを行いエンコードされる前の撮像信号を生成する8B10Bデコーダ82と、デコードされた撮像信号に対して画像処理を施し、モニタ21に表示するための画像データを生成する画像処理回路83とから構成されている。なお、本実施形態では、PLL回路80、S/P変換器81、8B10Bデコーダ82、及び画像処理回路83が特許請求の範囲に記載の信号処理回路に含まれる。

【0039】

電源回路77は、電源電圧VDD及び接地電圧VSSを、プロセッサ装置11内の各部に供給するとともに、信号線49b、49cを介して撮像チップ42内の各部に供給する。基準クロック発生器78は、周波数が安定した基準クロック信号BCLKを生成し、信号線49dを介して、撮像チップ42内のPLL回路70に入力する。

【0040】

CPU76は、プロセッサ装置11内の各部を制御するとともに、前述の制御データC

10

20

30

40

50

TLDを生成し、信号線49eを介して、撮像チップ42内のレジスタ71に入力する。

【0041】

CDR回路79は、撮像チップ42からシリアル伝送される撮像信号SDTの位相を検出して、この撮像信号SDTの周波数に同期した抽出クロック信号RCLKを発生し、この抽出クロック信号RCLKにより撮像信号SDTをサンプリングすることで、撮像信号SDTを抽出クロック信号RCLKによりリタイミングしたデータ（リタイミングデータ：撮像信号RSDT）を生成する。

【0042】

具体的には、CDR回路79は、図7に示すように、位相比較器(PD)90と、ループフィルタ(LPF)91と、電圧制御発信器(VCO)92と、D型フリップフロップ93とから構成されている。PD90には、撮像信号SDTと、VCO92により発生される抽出クロック信号RCLKとが入力され、PD90の出力は、LPF91を介してVCO92に入力される。D型フリップフロップ93は、データ入力端子Dに撮像信号SDTが入力され、クロック入力端子に抽出クロック信号RCLKが入力される。

【0043】

PD90は、撮像信号SDTと抽出クロック信号RCLKとの各立ち上がりエッジを比較することで位相差を検出し、その検出信号を、LPF91を介してVCO92に入力する。VCO92は、入力された検出信号に応じて抽出クロック信号RCLKの周波数を変更する。その結果、VCO92からは、図8に示すように、撮像信号SDTの周波数に同期した抽出クロック信号RCLKが出力される。

【0044】

D型フリップフロップ93は、撮像信号SDTを、抽出クロック信号RCLKの立ち上がりエッジでサンプリングしてデータ保持を行うものであり、抽出クロック信号RCLKに位相同期したリタイミングデータとして撮像信号RSDTを再生し、データ出力端子Qから出力する。CDR回路79により生成された抽出クロック信号RCLKは、PLL回路80に入力され、再生された撮像信号RSDTは、S/P変換器81に入力される。

【0045】

図5に戻り、PLL回路80は、前述のPLL回路70と同様な構成であり、抽出クロック信号RCLKの周波数を1/10倍に逡倍し、内部クロック信号ICKと同一の周波数を有する信号処理用のクロック信号SCLKを生成し、S/P変換器81、8B10Bデコーダ82、及び画像処理回路83に供給する。

【0046】

S/P変換器81は、PLL回路80が生成したクロック信号SCLKに応じて、CDR回路79から入力される撮像信号RSDTに対し、図6に示すパラレル/シリアル変換の逆変換に相当するシリアル/パラレル変換を行い、10ビットのパラレルデータ（画素データ）からなる撮像信号を生成し、8B10Bデコーダ82に入力する。

【0047】

8B10Bデコーダ82は、8B10B方式の規格で定められた変換表を用い、前述の8B10Bエンコーダ73とは逆の変換を行い、入力された撮像信号を10ビットから元の8ビットに復元する。8B10Bデコーダ82により復元された8ビットの画素データからなる撮像信号は、画像処理回路83に入力される。

【0048】

画像処理回路83は、クロック信号SCLKに基づいて、撮像信号に含まれる各画素データを検出し、内蔵メモリへ記録を行うとともに、ホワイトバランス調整、ゲイン補正、色補間、輪郭強調、ガンマ補正、カラーマトリックス演算等の画像処理を行い画像データを生成する。また、画像処理回路83は、画像データをモニタ21に表示するための信号形式に変換し、モニタ21に画像表示を行う。

【0049】

上記のように構成された内視鏡システム2で体腔内を観察する際には、電子内視鏡10、プロセッサ装置11、光源装置12、及びモニタ21の電源をオンにして、電子内視鏡

10

20

30

40

50

10の挿入部14を体腔内に挿入し、光源装置12からの照明光で体腔内を照明しながら、固体撮像素子44により撮像される体腔内の画像をモニタ21で観察する。

【0050】

固体撮像素子44により生成された撮像信号は、A/D変換器72により8ビットの平行信号に変換され、8B10Bエンコーダ73で10ビットの平行信号に変換される。この10ビットの平行信号からなる撮像信号は、P/S変換器75によりシリアル信号に変換された後、信号線49aを介してプロセッサ装置11に伝送される。

【0051】

プロセッサ装置11は、シリアル伝送された撮像信号をCDR回路79で受け、CDR回路79により、クロック信号(抽出クロック信号RCLK)と、このクロック信号に位相同期したデータ信号(リタイミングデータRSDT)とを生成する。CDR回路79によりリタイミングデータとして生成された撮像信号RSDTは、抽出クロック信号RCLKに基づき、S/P変換器81及び8B10Bデコーダ82により変換が行われ、元の8ビットの平行信号に復元される。この8ビットの平行信号からなる撮像信号は、画像処理回路83により画像データに変換され、モニタ21に画像表示が行われる。

【0052】

以上説明したように、内視鏡システム2では、送信側の撮像チップ42から1本の信号線49aを用いて撮像信号をシリアル伝送し、受信側のプロセッサ装置11では、CDR回路79により、シリアル伝送された撮像信号からクロック信号を抽出するとともに、これに位相同期したデータ信号を生成するので、伝送によりデータ信号とクロック信号との間にタイミングスキューが生じるといった問題は生じず、伝送の高速化及び安定化が図られる。これにより、プロセッサ装置11では、撮像信号から各画素データを正確に検出することができ、画像の劣化や表示エラーといった不具合が防止される。

【0053】

また、内視鏡システム2では、1本の信号線49aを用いて撮像信号をシリアル伝送することから、ケーブル50を細線化し、電子内視鏡10を細径化することができる。これにより、電子内視鏡10が挿入される患者の負担が軽減される。

【0054】

また、内視鏡システム2では、8B10Bエンコーダ73により撮像信号を、同じデータが所定期間以上連続しないように変換してからシリアル伝送を行っているため、伝送されるシリアル信号中においてデータの遷移回数が増え、立ち上がりエッジの出現頻度が増すため、CDR回路79では、PD90により常に正確にクロック信号を抽出することができる。

【0055】

なお、上記実施形態では、固体撮像素子44をCMOS型の固体撮像素子としているが、本発明はこれに限定されず、固体撮像素子44をCCD型の固体撮像素子としても良い。

【0056】

また、上記実施形態では、A/D変換器72により生成された8ビットの画素データを8B10Bエンコーダ73により10ビットの画素データに変換しているが、本発明はこれに限定されず、変換前後のビット数は適宜変更しても良い。

【0057】

また、上記実施形態では、1本の信号線を用いて撮像信号をシリアル伝送しているが、本発明はこれに限定されず、図9に示すように送信側のP/S変換器75の後段に差動信号送信回路100、受信側のCDR回路79の前段に差動信号受信回路101をそれぞれ設け、差動信号送信回路100と差動信号受信回路101の間を2本の信号線49f、49gで接続することによりシリアルデータを差動信号として伝送するLVDS(Low Voltage Differential Signaling)伝送方式により撮像信号のシリアル伝送を行っても良い。LVDS伝送方式を採用することにより、外来ノイズの影響を防止することができる。

【0058】

10

20

30

40

50

また、上記実施形態では、撮像システムとして内視鏡システムを例示して説明したが、本発明はこれに限定されず、撮像装置と外部制御装置とが信号線を介して接続され、該信号線を介して撮像信号をシリアル伝送するものであれば、超音波振動子を用いて撮像を行う超音波内視鏡システムや、撮像機能を備える鏡筒が本体に着脱可能なデジタルカメラ、カメラとパソコンとからなるWebカメラシステム等、いかなる撮像システムにも適用可能である。

【図面の簡単な説明】

【0059】

【図1】内視鏡システムの概略構成を示す図である。

【図2】電子内視鏡の先端部の前面を示す図である。

10

【図3】電子内視鏡の先端部の構成を示す拡大部分断面図である。

【図4】固体撮像素子の構成を示す回路図である。

【図5】撮像チップ及びプロセッサ装置の構成を示すブロック図である。

【図6】画素データのパラレル/シリアル変換を説明する説明図である。

【図7】CDR回路の構成を示すブロック図である。

【図8】CDR回路の動作を説明するタイミングチャートである。

【図9】LVDS伝送方式を採用した例を示すブロック図である。

【符号の説明】

【0060】

2 内視鏡システム

20

10 電子内視鏡

11 プロセッサ装置（外部制御装置）

42 撮像チップ（撮像装置）

44 固体撮像素子

45 周辺回路

49 信号線

49a ~ 49f 信号線

50 ケーブル

70 PLL回路

71 レジスタ

30

72 A/D変換器

73 8B10Bエンコーダ

74 PLL回路

75 パラレル/シリアル変換器

76 主制御回路

78 基準クロック発生器

79 クロックデータリカバリ回路

80 PLL回路

81 シリアル/パラレル変換器

82 8B10Bデコーダ

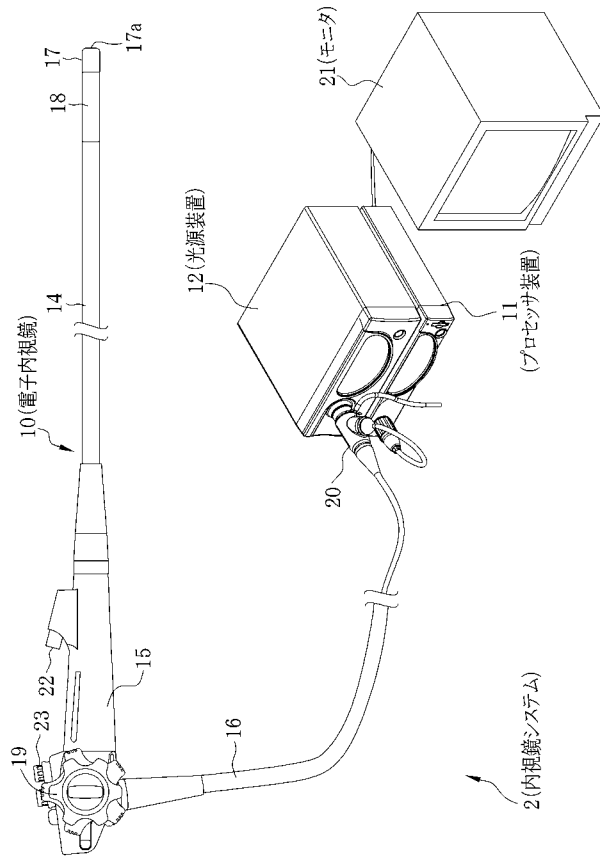
40

83 画像処理回路

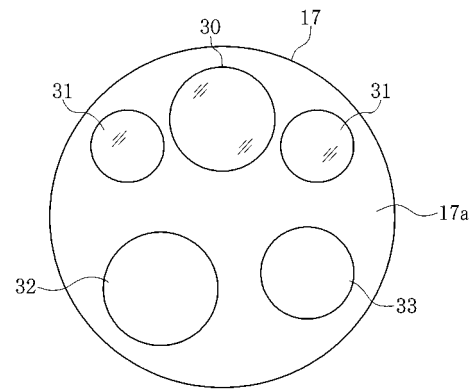
100 差動信号送信回路

101 差動信号受信回路

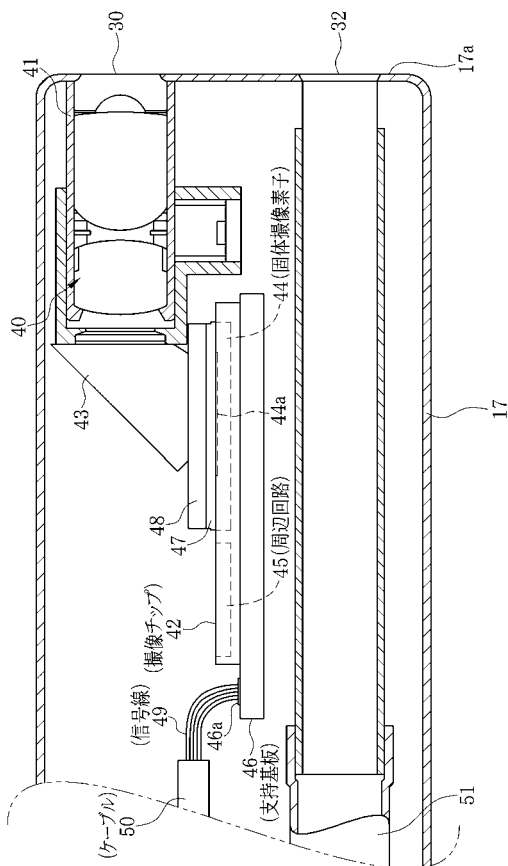
【図 1】



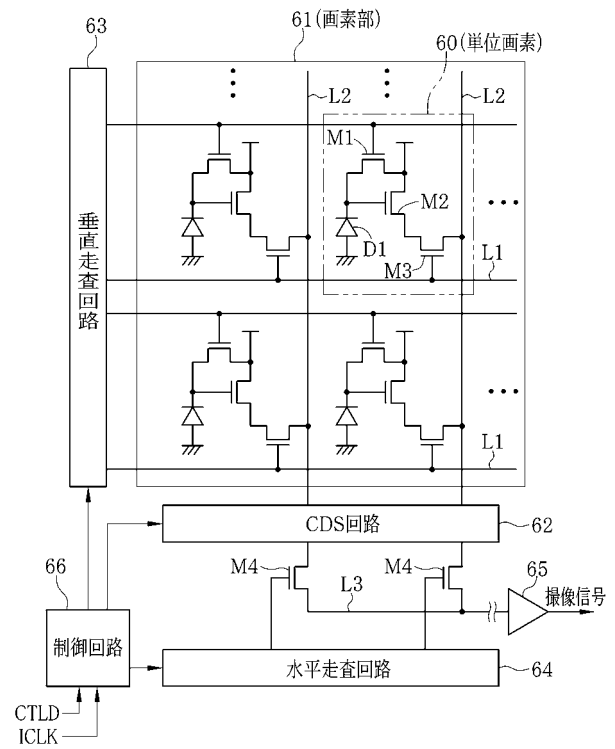
【図 2】



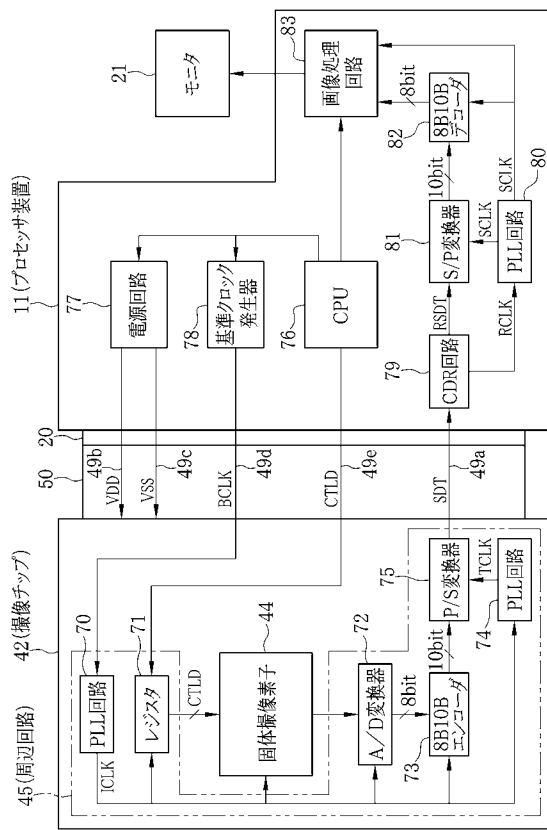
【図 3】



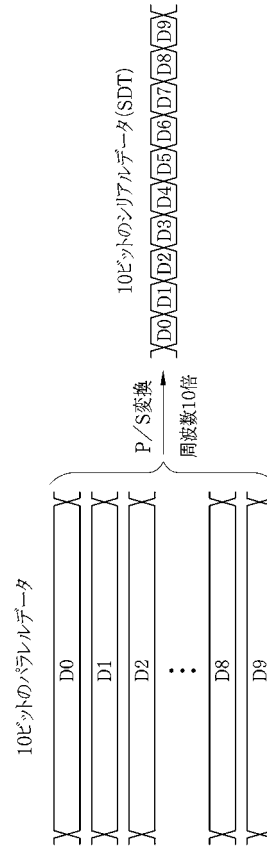
【図 4】



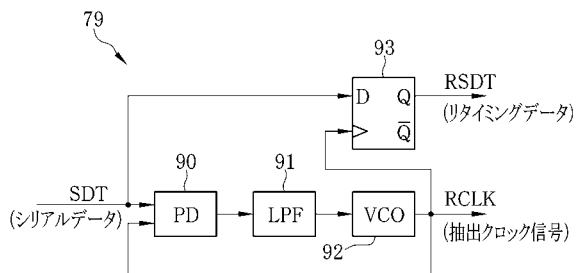
【図5】



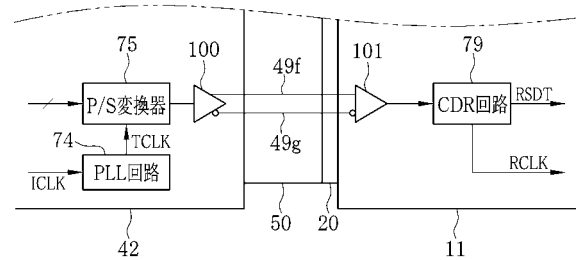
【図6】



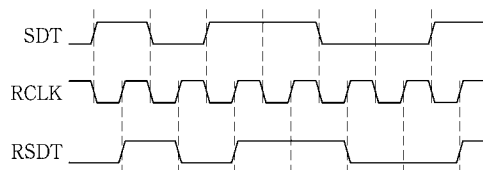
【図7】



【図9】



【図8】



フロントページの続き

F ターム(参考) 5C122 DA26 EA59 EA68 FC02 GC01 GC17 GC52 GC86 GE11 HA38
HA40 HB02