

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年1月27日(27.01.2022)



(10) 国際公開番号

WO 2022/019033 A1

- (51) 国際特許分類:
H04R 3/00 (2006.01) H03F 1/26 (2006.01)
H04B 1/04 (2006.01) H03F 3/217 (2006.01)
- (21) 国際出願番号: PCT/JP2021/023639
- (22) 国際出願日: 2021年6月22日(22.06.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2020-124512 2020年7月21日(21.07.2020) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

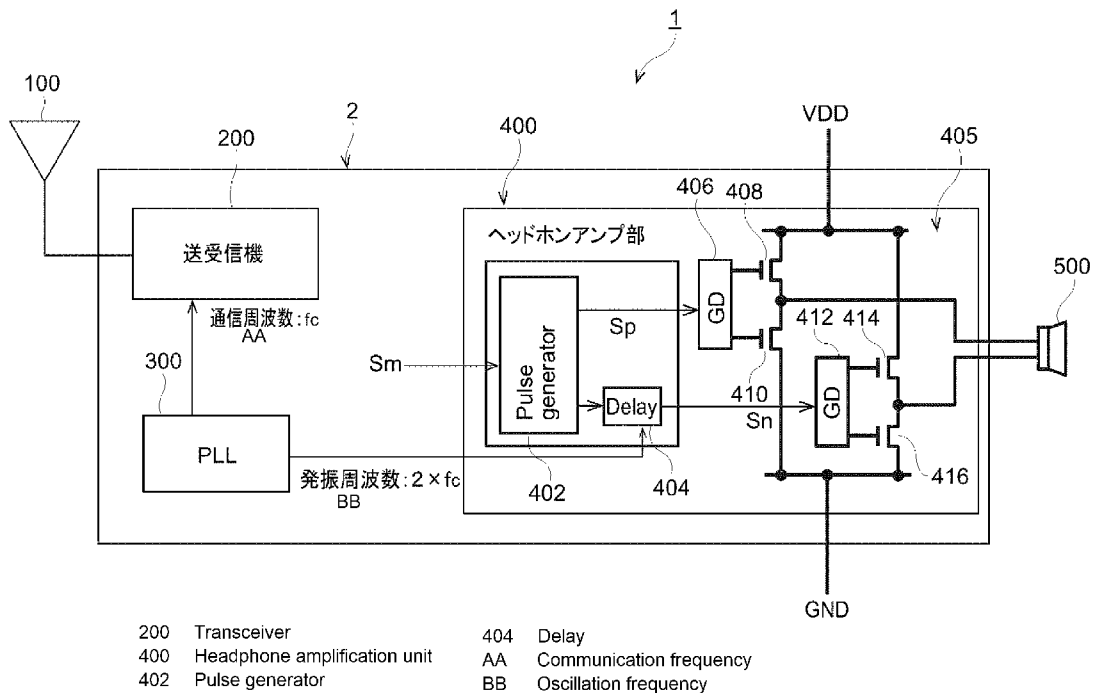
神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

- (72) 発明者: 中原 宏徳 (NAKAHARA Hironori); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 宮崎 大輔 (MIYAZAKI Daisuke); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

- (74) 代理人: 中村 行孝, 外 (NAKAMURA Yukitaka et al.); 〒1000005 東京都千代田区丸の内1丁目6番6号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).

(54) Title: ELECTRONIC DEVICE AND ELECTRO-ACOUSTIC TRANSDUCER

(54) 発明の名称: 電子機器、および電気音響変換装置



(57) Abstract: [Problem] To provide: an electronic device capable of suppressing noise; and an electro-acoustic transducer. [Solution] The present disclosure provides an electronic device comprising: a switching element that applies voltage based on a DC power supply to one end of an electro-acoustic transducer in response to a first pulse signal, and applies voltage based on the DC power supply to the other end of the electro-acoustic transducer in response to a second pulse signal; and a delay circuit that generates a delay based on a communication frequency in at least one of the first pulse

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

signal and the second pulse signal.

(57) 要約: [課題] ノイズを抑制可能な電子機器、および電気音響変換装置を提供する。[解決手段] 本開示では、第1のパルス信号に応じて電気音響変換器の一端に直流電源に基づく電圧を印加し、第2のパルス信号に応じて電気音響変換器の他端に直流電源に基づく電圧を印加するスイッチング素子部と、第1のパルス信号、及び第2のパルス信号の少なくとも一方に対して、通信周波数に基づく遅延を生じさせる遅延回路と、を備える、電子機器が提供される。

明 細 書

発明の名称：電子機器、および電気音響変換装置

技術分野

[0001] 本開示は、電子機器、および電気音響変換装置に関する。

背景技術

[0002] 微弱なオーディオ信号を増幅し、スピーカやヘッドホンなどの電気音響変換素子を駆するために、電子機器が用いられる。また、スマートフォンなどの端末は、音声信号に基づく音声を聞きながら、無線通信なども行われる。ところが、電気音響変換により発生するノイズが送受信信号の通信周波数を妨害する恐れがある。

先行技術文献

特許文献

[0003] 特許文献1：特開2002-93997公報

発明の概要

発明が解決しようとする課題

[0004] 本開示の一態様は、ノイズを抑制可能な電子機器、および電気音響変換装置を提供する。

課題を解決するための手段

[0005] 上記の課題を解決するために、本開示では、第1のパルス信号に応じて電気音響変換器の一端に直流電源に基づく電圧を印加し、第2のパルス信号に応じて前記電気音響変換器の他端に前記直流電源に基づく電圧を印加するスイッチング素子部と、

第1のパルス信号、及び前記第2のパルス信号の少なくとも一方に対して、通信周波数に基づく遅延を生じさせる遅延回路と、
を備える、電子機器が提供される。

[0006] 前記遅延回路は、前記通信周波数の周期に基づく遅延時間を生じさせてもよい。

[0007] 前記遅延時間は、前記通信周波数の周期の2分の1であってもよい。

[0008] 前記スイッチング素子部は、

前記直流電源に直列接続された第1、第2のスイッチング素子と、

前記直流電源に直列接続された第3、第4のスイッチング素子と、を有し

、

前記電気音響変換器の一端は、前記第1、第2のスイッチング素子の接続点に接続され、他端は、と前記第3、第4のスイッチング素子の接続点に接続されてもよい。

[0009] 前記第1のスイッチング素子を前記第1のパルス信号でオン、オフし、前記第2のスイッチング素子を前記第1のスイッチング素子がオンするときオフし、前記第1のスイッチング素子がオフするときオンする第1ゲート制御回路と、

前記第3のスイッチング素子を前記第2のパルス信号でオン、オフし、前記第4のスイッチング素子を前記第3のスイッチング素子がオンするときオフし、前記第3のスイッチング素子がオフするときオンする第3ゲート制御回路と、を

更に備えてもよい。

[0010] 前記第1のパルス信号と、前記第2のパルス信号を生成するパルス生成器を更に備え、前記第1のパルス信号は、音声信号のレベルに応じたデューティ比を有するパルス信号であり、前記第2のパルス信号は、前記音声信号のレベルに応じたデューティ比を有するパルス信号であってもよい。

[0011] 音声信号のレベルに応じたパルス信号を生成するパルス生成器を更に備え、

前記前記遅延回路は、前記通信周波数の周期に基づく第1遅延時間の遅延を生じさせた前記第1のパルス信号と、前記通信周波数の周期に基づく第2遅延時間の遅延を生じさせた前記第2のパルス信号とを生成してもよい。

[0012] 前記遅延回路は、

D端子に前記パルス信号が入力され、クロック端子に前記通信周波数の周

期に基づくクロック信号が入力され、Q端子から前記第1のパルス信号が出力される第1フリップフロップ回路と、

D端子に前記第1のパルス信号が入力され、クロック端子に前記クロック信号が入力され、Q端子から前記第2のパルス信号が出力される第2フリップフロップ回路と、
を有してもよい。

[0013] 前記遅延回路は、

前記パルス信号が入力される第1遅延回路と、

前記第1遅延回路の出力信号が入力される第2遅延回路と、

前記パルス信号と、第2遅延回路の出力信号が入力される排他的論理和回路と、

前記排他的論理和回路の出力信号と、前記通信周波数の周期に基づくクロック信号とが入力される倫理積回路と、

D端子に前記第1遅延回路の出力信号が入力され、クロック端子に前記倫理積回路の出力信号が入力され、Q端子から前記第1のパルス信号が出力される第1フリップフロップ回路と、

D端子に前記第1のパルス信号が入力されクロック端子に前記倫理積回路の出力信号が入力され、Q端子から前記第2のパルス信号が出力される第2フリップフロップ回路と、を有してもよい。

[0014] 前記遅延回路は、

前記パルス信号が入力される第1遅延回路と、

前記第1遅延回路の出力信号が入力される第2遅延回路と、

前記パルス信号と、第2遅延回路の出力信号が入力される排他的論理和回路と、

前記排他的論理和回路の出力信号と、前記通信周波数の周期に基づくクロック信号とが入力される倫理積回路と、

D端子に前記第1遅延回路の出力信号が入力され、クロック端子に前記倫理積回路の出力信号が入力され、Q端子から前記第1のパルス信号が出力さ

れる第1フリップフロップ回路と、

D端子に前記第1のパルス信号が入力されクロック端子に前記倫理積回路の出力信号が入力され、Q端子から前記第2のパルス信号が出力される第2フリップフロップ回路と、を有してもよい。

[0015] 前記通信周波数に応じて基準周波数の信号を生成する、周波数シンセサイザを更に備え、

前記遅延回路は、前記基準周波数の信号に基づき駆動してもよい。

[0016] 前記周波数シンセサイザが出力する基準周波数は、時間帯に応じて切り換えてもよい。

[0017] 前記基準周波数に基づく前記通信周波数により送信、及び受信の少なくとも一方を行う通信機を更に備えてもよい。

[0018] 上記の課題を解決するために、本開示では、前記通信周波数で送信、及び受信の少なくとも一方を行う通信機と、

音声信号に基づく2つのパルス信号に応じて電気音響変換器に直流電源に基づく電圧を印加するスイッチング素子部と、を備え、

前記2つのパルス信号の少なくとも一方は、前記通信周波数に基づく周期で遅延している、電子機器が提供される。

[0019] 上記の電子機器と、前記電気音響変換器とを備える、電気音響変換装置を提供してもよい。

図面の簡単な説明

[0020] [図1]本実施形態に係る電気音響変換装置の構成の一例を示す図。

[図2]1のパルス信号と、第2のパルス信号と、スピーカ印可電圧の関係を示す図。

[図3]電源電圧とグラウンド間に流れる電源電圧電流の例を示す図。

[図4]電源電圧電流に起因する電気音響変換の際のノイズを模式的に示す図。

[図5]高域ノイズの低減を説明する図。

[図6]図4におけるノイズ成分の減少を説明する図。

[図7A]第2実施形態に係る電気音響変換装置の構成の一例を示す図。

[図7B]第2実施形態に係る電気音響変換装置の構成の別の一例を示す図。

[図8A]第2実施形態の変形例に係る電気音響変換装置の構成の一例を示す図

。

[図8B]第2実施形態の変形例に係る電気音響変換装置の別の構成の一例を示す図。

[図9]第1のパルス信号が出力された際の倫理積回路の出力信号の例を示す図

。

発明を実施するための形態

[0021] 以下、図面を参照して、電子機器、および電気音響変換装置の実施形態について説明する。以下では、電子機器、および電気音響変換装置の主要な構成部品分を中心に説明するが、電子機器、および電気音響変換装置には、図示又は説明されていない構成部品分や機能が存在しうる。以下の説明は、図示又は説明されていない構成部品分や機能を除外するものではない。

[0022] (第1実施形態)

図1を参照して、本実施形態に係る電子機器の構成について説明する。図1は、本実施形態に係る電気音響変換装置1の構成の一例を示す図である。電気音響変換装置1は、無線通信が可能であると共に音声信号 S_m の音響変換が可能な機器である。この電気音響変換装置1は、電子機器2と、アンテナ100と、ヘッドホン500とを備える。電子機器2は、通信機200と、周波数シンセサイザ300と、ヘッドホンアンプ部400とを有する。

[0023] アンテナ100は、無線周波数の受信信号を受信し、無線周波数の送信信号を送信する。

通信機200は、例えばBT受信機であり、アンテナ100で受信した、例えば2.4GHz帯である通信周波数 f_c に対応する信号を増幅した後に、デジタル信号に変換する。BT受信機は、Bluetooth（登録商標）の省電力用途に特化したBLEに対応可能である。なお、本実施形態に係る通信機200は、例えばBT受信機であるが、これに限定されない。例えば、通信機200は、GNSS送受信機でもよい。

- [0024] 周波数シンセサイザ300は、通信機200の発振周波数 f_c をループ制御するフェーズドロックループ（PLL）回路である。周波数シンセサイザ300は、通信周波数 f_c の例えば2倍に対応する周波数 $2 \times f_c$ の基準周波数信号を生成し、周波数 f_c の周波数信号を通信機200に供給する。
- [0025] 周波数シンセサイザ300は、例えば送受信信号の周波数帯域信号に基づき、基準周波数信号を生成する。例えば、周波数帯域信号は、Bluetoothに準拠している。例えば、2.402～2.480 [GHz]の周波数が79分割される。つまり、2.402 [GHz]、2.403 [GHz]、2.404 [GHz]、・・・、2.480 [GHz]のいずれかの周波数を用いて通信が行われる。通信機200は、周波数シンセサイザ300が使用する周波数帯域を時間毎に切り替え（ホッピング）る。
- [0026] ヘッドホンアンプ部400は、例えばフィルタレスD級アンプである。ヘッドホンアンプ部400は、パルス生成器402と、遅延回路404と、スイッチング素子部405と、を備える。スイッチング素子部405は、第1ゲート制御回路406と、第1スイッチング素子408、410と、第2ゲート制御回路412と、第2スイッチング素子414、416と、を有する。
- [0027] このフィルタレスD級アンプは、フルブリッジ接続されたスイッチング素子408、410、414、416を、入力オーディオ信号 S_m の信号レベルに応じてパルス幅変調された所定周波数のパルス信号（PWM信号）でオン、オフスイッチングする。これにより、フルブリッジ接続されたフルブリッジ回路に負荷として接続されているヘッドホン500（電気音響変換器）を駆動する。
- [0028] パルス生成器402は、音声信号 S_m に応じて、第1のパルス信号（ S_p 信号）と、第2のパルス信号（ S_n 信号）とを生成する。例えば、第1のパルス信号は、音声信号 S_m のレベルに応じたデューティ比を有するパルス信号であり、第2のパルス信号は、音声信号 S_m のレベルに応じたデューティ比を有するパルス信号である、第1のパルス信号と、第2のパルス信号との生成方法には、様々な方法があり、既知の方法を用いることが可能である。

[0029] 遅延回路404は、通信周波数 f_c に基づき、第1のパルス信号と、第2のパルス信号との一方を相対的に Δt 遅延させる。例えば、遅延回路404は、第1のパルス信号に対して、第2のパルス信号を通信周波数 f_c の $1/2$ 周期($\Delta t = 1/2 f_c$)分遅延させる。本実施形態に係る遅延回路404は、第2のパルス信号を遅延させるがこれに限定されない。例えば、第1のパルス信号を遅延させてもよい。遅延回路404の詳細は、後述する。

[0030] 上述のように、通信周波数 f_c に基づく信号は、周波数シンセサイザ300から供給される。このため、例えば、周波数シンセサイザ300が使用する周波数帯域を時間毎に切り替える(ホッピング)場合にも、通信周波数 f_c に基づく遅延を第2のパルス信号に生じさせることが可能である。

[0031] 図2は、パルス生成器402が生成する第1のパルス信号と、第2のパルス信号と、スピーカ印可電圧の関係を示す図である。ここでは、遅延がない場合の信号例を示す。(a)図は、第1のパルス信号を示し、(b)図は、第2のパルス信号を示し、(c)図は、スピーカ印可電圧を示す。横軸は時間である。図2は、例えば入力信号が正極性で中レベル時の状態を示す。

[0032] 図2に示すように、パルス生成器402が生成する第1のパルス信号のデューティ比は50%より大きくなり、第2のパルス信号のデューティ比は50%より小さくなる。したがって、ヘッドホン500には(c)に示すように、例えば入力信号の正極性レベルに応じた正極性のパルス電圧が印加される。

[0033] 再び図1に示すように、スイッチング素子部405は、第1のパルス信号に応じてヘッドホン500の一端に直流電源VDDに基づく電圧を印加し、第2のパルス信号に応じてヘッドホン500の他端に直流電源VDDに基づく電圧を印加する。すなわち、直流電源VDDとグラウンドGNDとの間には、第1スイッチング素子408、410による直列接続回路と、第2スイッチング素子414、416による直列接続回路とがそれぞれ接続されている。第1スイッチング素子408、410の中間点と第2スイッチング素子414、416の中間点にヘッドホン500が接続される。このように、第1スイッチング

素子408、410と第2スイッチング素子414、416によりフルブリッジ回路が構成され、第1スイッチング素子408、410の中間点と第2スイッチング素子414、416の中間点にヘッドホン500が接続される。

[0034] 第1ゲート制御回路406は、第1のパルス信に応じて、第1スイッチング素子408、410を互いに逆方向にオン、オフする。すなわち、第1スイッチング素子408がオンのとき、第1スイッチング素子410はオフに駆動され、第1スイッチング素子408がオフのとき、第1スイッチング素子410はオンに駆動される。

[0035] 第2ゲート制御回路412は、第2のパルス信に応じて、第2スイッチング素子414、416を互いに逆方向にオン、オフする。すなわち、第2スイッチング素子414がオンのとき、第2スイッチング素子416はオフに駆動され、第2スイッチング素子414がオフのとき、第2スイッチング素子416はオンに駆動される。

[0036] ここで、図3に基づき、遅延回路404の制御例の詳細を説明する。

図3は、電源電圧VDDとグランド（GND）間に流れる電源電圧VDD電流の例を示す図である。（a）図は、遅延回路404による遅延処理を行わない場合の電源電圧VDD電流の例を示す図である。（b）図は、遅延回路404による遅延処理を行った場合の電源電圧VDD電流の例を示す図である。

[0037] （a）図に示すように、遅延回路404による遅延処理を行わない場合には、電源電圧VDD電流には、ヘッドホンアンプ部400におけるパルス周期 T_{fa} の第1スイッチングノイズN1が発生する。これにより、ヘッドホン500では、電気音響変換の際に第1スイッチングノイズN1に起因するノイズが発生する。なお、本実施形態では、電気音響変換の際に生じるノイズを気音響変換ノイズと称することとする。

[0038] 一方で、遅延回路404による $\Delta t = 1 / 2 f_c$ の遅延処理を第2のパルス信号に行った場合には、パルス周期 T_{fa} の第1スイッチングノイズN1の他に、第1スイッチングノイズN1から Δt 遅延するパルス周期 T_{fa} の第2ス

イッチングノイズ N_2 が電源電圧 V_{DD} 電流に追加される。

[0039] 図4は、電源電圧 V_{DD} 電流に起因する電気音響変換の際のノイズを模式的に示す図である。縦軸はノイズのパワーを示し、横軸は周波数を示す。(a)図は、遅延回路404による遅延処理を行わない場合である。(b)図は、遅延回路404による遅延処理を行った場合である。(b)図に示すように、周波数 $f = 1 / (2 \times \Delta t)$ のノイズ成分が低減される。

[0040] 図5は、高域ノイズの低減を説明する図である。(a)図は、インパルス状のノイズを示す。縦軸はノイズの強度、横軸は時間を示す。(b)図は、(a)図のインパルス状のノイズを周波数で示した図である。縦軸はパワー、横軸は周波数を示す。

[0041] (c)図は、間隔 Δt のインパルス状のノイズを示す。縦軸はノイズの強度、横軸は時間を示す。(d)図は、(c)図のインパルス状のノイズを周波数で示した図である。縦軸はパワー、横軸は周波数を示す。(d)図で示すように、(b)図と比較すると、周波数 $f = 1 / (2 \times \Delta t)$ のノイズ成分が低減される。この場合、(c)図のインパルス状のノイズの大きさが、(a)図のインパルス状のノイズの0.5とすると、(d)図で示すノイズパワーの総エネルギーは、(b)図で示すノイズパワーの総エネルギーの0.5の二乗 $\times 2$ となる。つまり、(d)図で示すノイズパワーの総エネルギーは、(b)図で示すノイズパワーの総エネルギーの $1/2$ 倍になる。

[0042] 図6は、図4におけるノイズ成分の減少を説明する図である。(a)図は、周期 $T (1 / f_c)$ のインパルス状のノイズを示す。縦軸はノイズの強度、横軸は時間を示す。(b)図は、(a)図のインパルス状のノイズを周波数で示した図である。縦軸はパワー、横軸は周波数を示す。

[0043] (c)図は、通信周波数 f_c のインパルス状のノイズと Δt 遅れたインパルス状のノイズを示す。縦軸はパワー、横軸は周波数を示す。(d)図は、(c)図のインパルス状のノイズを周波数で示した図である。縦軸はパワー、横軸は周波数を示す。(d)図で示すように、周波数 $f = 1 / (2 \times \Delta t)$ のノイズ成分が低減される。

[0044] 図3に示すように、第1のパルス信号が第1ゲート制御回路406に、第2のパルス信号が第2ゲート制御回路412に、遅延無く加えられると、第1のパルス信号に起因するスイッチングノイズと、第2のパルス信号に起因するスイッチングノイズとが同時に生じ、第1スイッチングノイズN1となる。

[0045] 一方で、例えば第2のパルス信号を Δt 遅延させると、第2のパルス信号に起因する第2スイッチングノイズN2も Δt 遅延する。この場合、スイッチングノイズの発生がずれるので、ノイズパルスの大きさは、半減する。再び図6を参照して、(b)図で示す第1スイッチングノイズN1の総エネルギーを1とすると、(d)図で示すノイズパワーの総エネルギーは、0.5の二乗の2倍となる。つまり、(d)図で示すノイズパワーの総エネルギーは、(b)図で示すノイズパワーの総エネルギーの $1/2$ 倍になる。

[0046] これらから分かるように、 $f_c = 1 / (2 \times \Delta t)$ となるように遅延回路404による Δt を設定すると、通信機200における通信周波数 f_c のインパルス状のノイズにより生じる電気音響変換ノイズのパワーを半減できる。このように、遅延回路404により、第1のパルス信号に対して第2のパルス信号に、 $\Delta t = 2 \times f_c$ の相対的な遅延を生じさせると、電源電圧VDD電流に印可される通信周波数 f_c の電流ノイズに起因する電気音響変換の際に生じるノイズが抑制される。

[0047] 以上、説明したように、本実施形態によれば、遅延回路404により第1のパルス信号と、第2のパルス信号の一方を相対的に遅延させることにより、電源電圧VDD電流に印可される通信周波数 f_c のインパルス状のノイズに起因する電気音響ノイズが抑制される。特に、周期 Δt を $1 / (2 \times f_c)$ として遅延させることにより、より効率的に電源電圧VDD電流に印可される起因する電気音響ノイズが抑制される。これにより、源電圧VDD電流に印可されるノイズの影響を受けるヘッドホン500の音質の低下が抑制可能となる。

[0048] (第2実施形態)

第2実施形態に係る電気音響変換装置1は、パルス生成器416が生成する第1のパルス信号を縦続に接続させたDフリップフロップにより遅延させて、第2のパルス信号を生成される点で第1実施形態に係る電気音響変換装置1と相違する。以下では第1実施形態に係る電気音響変換装置1と相違する点を説明する。

[0049] 図7Aは、第2実施形態に係る電気音響変換装置1の構成の一例を示す図である。図7に示すように、通信周波数 $2 \times f_c$ の周波数信号がDフリップフロップ414b、cに供給する。

[0050] Dフリップフロップ414bのD端子には、第1のパルス信号が入力され、CL端子には周波数 $2 \times f_c$ のクロック信号が供給される。Dフリップフロップ414cは、Dフリップフロップ414bに縦続に接続する。すなわち、Dフリップフロップ414bのQ端子とDフリップフロップ414cのD端子とが接続され、Dフリップフロップ414cのCL端子には周波数 $2 \times f_c$ のクロック信号が供給される。

[0051] このような、縦続に接続させたDフリップフロップでは、Dフリップフロップ414bのD端子に第1のパルス信号を加えると、一つ目のDフリップフロップ414bがD信号をCLK信号の立ち上がりで読み取り、得られた第1のパルス信号 S_p を2つ目のDフリップフロップ414cがCLK信号の立ち上がりで取り込む。これにより、得られる2のパルス信号 S_n は、第1のパルス信号 S_p より1クロック遅れた信号として生成される。このように、第1のパルス信号 S_p に対して、1クロック遅延した第2のパルス信号 S_n が出力される。すなわち、第1のパルス信号 S_p に対して、周波数($2 \times f_c$)の1周期分遅延した第2のパルス信号 S_n がフリップフロップ414cのQ端子から出力される。

[0052] 図7Bは、第2実施形態に係る電気音響変換装置1の構成の別の一例を示す図である。図7Bに示すように、通信周波数 f_c の周波数信号がDフリップフロップ414bに供給される。一方で遅延素子414dにより通信周波数 f_c の半周期分遅延した周波数信号がフリップフロップ414cに供給され

る。これにより、第1のパルス信号 S_p に対して、1クロック遅延した第2のパルス信号 S_n が出力される。すなわち、第1のパルス信号 S_p に対して、周波数 $(2 \times f_c)$ の1周期分遅延した第2のパルス信号 S_n がフリップフロップ414cのQ端子から出力される。

[0053] 以上、説明したように、本実施形態によれば、接続させたDフリップフロップ414b、414cにより第1のパルス信号と、第2のパルス信号の一方を通信周波数 f_c に基づく周期分を相対的に遅延させることとした。これにより、電源電圧 V_{DD} 電流に印可される通信周波数 f_c のインパルス状のノイズに起因する電気音響イズが抑制される。

[0054] (第2実施形態の変形例)

第2実施形態の変形例に係る電気音響変換装置1は、Dフリップフロップ414b、414cの動作時間を短縮させる点で第2実施形態に係る電気音響変換装置1と相違する。以下では第2実施形態に係る電気音響変換装置1と相違する点を説明する。

[0055] 図8Aは、第2実施形態の変形例に係る電気音響変換装置1の構成の一例を示す図である。図8Aに示すように、遅延回路414d、eと、排他的論理和回路414fと、論理積回路414gとを更に有する。

[0056] 図8Bは、第2実施形態の変形例に係る電気音響変換装置1の構成の別の一例を示す図である。図8Bに示すように、図7Bで示した電気音響変換装置1の構成に対して遅延回路414d、eと、排他的論理和回路414fと、論理積回路414gとを更に有してもよい。

[0057] 遅延回路414dの一端は、パルス生成器416の出力端子に接続され、他端は、遅延回路414eの入力端子とDフリップフロップ414bのD端子とに接続される。遅延回路414eの一端は、遅延回路414dの出力端子に接続され、他端は、排他的論理和回路414fの入力端子に接続される。

[0058] 排他的論理和回路414fのそれぞれの入力端子には、遅延回路414eの出力端子と、パルス生成器402の出力端子とが接続される。一方で、出

力端子には、倫理積回路 4 1 4 g の入力端子が接続される。

[0059] 倫理積回路 4 1 4 g のそれぞれの入力端子には、排他的論理和回路 4 1 4 f の出力端子と、パルス生成器 4 1 6 の出力端子とが接続さる。一方で、出力端子は、D フリップフロップ 4 1 4 b、4 1 4 c の C L 端子に接続される。

[0060] 図9は、第1のパルス信号S_{p t 1}がパルス生成器402出力された際の倫理積回路414gの出力信号S_{t 4}の例を示す図である。縦軸は信号の大きさを示し、横軸は時間tを示す。(a)図は、パルス生成器402の生成した第1のパルス信号S_{p t 1}を示し、(b)図は、遅延回路414dにより、第1のパルス信号S_{p t 1}が遅延時間T_d、遅延した第1のパルス信号S_{p t 2}を示す。

[0061] (c)図は、更に遅延回路414dにより、第1のパルス信号Spt2が遅延時間Td、遅延した第1のパルス信号Spt3を示す。(d)図は、倫理積回路414gの出力信号を示す。図8に示すように、第1のパルス信号Spt1は、遅延時間Tdの後に、第1のパルス信号Spt2として、遅延回路414dの入力端子とDフリップフロップ414bのD端子とに出力される。

[0062] 遅延回路414dは、遅延時間Tdの後に、第3のパルス信号Spt3を倫理積回路414gの入力端子に出力する。そして、排他的論理和回路414fは、第1のパルス信号Spt1と第3のパルス信号Spt3との他論理和を出力信号St4として出力する。すなわち、排他的論理和回路414fは、Dフリップフロップ414bのD端子への入力信号である第1のパルス信号Spt2の立ち上がり、立ち下がり基準時点として、前後の期間Tdをハイレベル信号とする出力信号St4を出力する。

[0063] これにより、倫理積回路414gは、出力信号St4のハイレベル期間と周波数fc2/2のクロック信号のハイレベル期間が重畳する期間をハイレベルとするクロック信号をDフリップフロップ414b、414cのCL端子に供給する。

[0064] このように、第2実施形態の変形例に係る電気音響変換装置1は、パルス

生成器 4 0 2 が出力に基づく、第 1 のパルス信号 S p t 2 の立ち上がり及び立ち下がりエッジから一定時間 T d のクロック信号を D フリップフロップ 4 1 4 b、4 1 4 c の C L 端子に供給する。これにより、D フリップフロップ 4 1 4 b、4 1 4 c の動作が第 1 のパルス信号 S p t 2 の立ち上がり及び立ち下がりエッジから一定時間 T d に限定され、D フリップフロップ 4 1 4 b、4 1 4 c の消費電力をより小さくすることが可能となる。

[0065] なお、本技術は以下のような構成を取ることができる。

[0066] (1) 第 1 のパルス信号に応じて電気音響変換器の一端に直流電源に基づく電圧を印加し、第 2 のパルス信号に応じて前記電気音響変換器の他端に前記直流電源に基づく電圧を印加するスイッチング素子部と、

第 1 のパルス信号、及び前記第 2 のパルス信号の少なくとも一方に対して、通信周波数に基づく遅延を生じさせる遅延回路と、
を備える、電子機器。

[0067] (2) 前記遅延回路は、前記通信周波数の周期に基づく遅延時間を生じさせる、請求項 1 に記載の電子機器。

[0068] (3) 前記遅延時間は、前記通信周波数の周期の 2 分の 1 である、請求項 2 に記載の電子機器。

[0069] (4) 前記スイッチング素子部は、
前記直流電源に直列接続された第 1、第 2 のスイッチング素子と、
前記直流電源に直列接続された第 3、第 4 のスイッチング素子と、を有し、

前記電気音響変換器の一端は、前記第 1、第 2 のスイッチング素子の接続点に接続され、他端は、と前記第 3、第 4 のスイッチング素子の接続点に接続される、請求項 1 乃至 3 のいずれか一項に記載の電子機器。

[0070] (5) 前記第 1 のスイッチング素子を前記第 1 のパルス信号でオン、オフし、前記第 2 のスイッチング素子を前記第 1 のスイッチング素子がオンするときオフし、前記第 1 のスイッチング素子がオフするときオンする第 1 ゲート制御回路と、

前記第3のスイッチング素子を前記第2のパルス信号でオン、オフし、前記第4のスイッチング素子を前記第3のスイッチング素子がオンするときオフし、前記第3のスイッチング素子がオフするときオンする第3ゲート制御回路と、を

更に備える、請求項4に記載の電子機器。

[0071] (6) 前記第1のパルス信号と、前記第2のパルス信号を生成するパルス生成器を更に備え、前記第1のパルス信号は、音声信号のレベルに応じたデューティ比を有するパルス信号であり、前記第2のパルス信号は、前記音声信号のレベルに応じたデューティ比を有するパルス信号である、請求項1乃至5のいずれか一項に記載の電子機器。

[0072] (7) 音声信号のレベルに応じたパルス信号を生成するパルス生成器を更に備え、

前記前記遅延回路は、前記通信周波数の周期に基づく第1遅延時間の遅延を生じさせた前記第1のパルス信号と、前記通信周波数の周期に基づく第2遅延時間の遅延を生じさせた前記第2のパルス信号とを生成する、請求項1乃至5のいずれか一項に記載の電子機器。

[0073] (8) 前記遅延回路は、

D端子に前記パルス信号が入力され、クロック端子に前記通信周波数の周期に基づくクロック信号が入力され、Q端子から前記第1のパルス信号が出力される第1フリップフロップ回路と、

D端子に前記第1のパルス信号が入力され、クロック端子に前記クロック信号が入力され、Q端子から前記第2のパルス信号が出力される第2フリップフロップ回路と、

を有する、請求項7に記載の電子機器。

[0074] (9) 前記遅延回路は、

前記パルス信号が入力される第1遅延回路と、

前記第1遅延回路の出力信号が入力される第2遅延回路と、

前記パルス信号と、第2遅延回路の出力信号が入力される排他的論理和回

路と、

前記排他的論理和回路の出力信号と、前記通信周波数の周期に基づくクロック信号とが入力される倫理積回路と、

D端子に前記第1遅延回路の出力信号が入力され、クロック端子に前記倫理積回路の出力信号が入力され、Q端子から前記第1のパルス信号が出力される第1フリップフロップ回路と、

D端子に前記第1のパルス信号が入力されクロック端子に前記倫理積回路の出力信号が入力され、Q端子から前記第2のパルス信号が出力される第2フリップフロップ回路と、を有する、請求項7に記載の電子機器。

[0075] (10) 前記通信周波数に応じて基準周波数の信号を生成する、周波数シンセサイザを更に備え、

前記遅延回路は、前記基準周波数の信号に基づき駆動する、請求項1乃至9のいずれか一項に記載の電子機器。

[0076] (11) 前記周波数シンセサイザが出力する基準周波数は、時間帯に応じて切り換えられる、請求項10に記載の電子機器。

[0077] (12) 前記基準周波数に基づく前記通信周波数により送信、及び受信の少なくとも一方を行う通信機を更に備える、請求項10又は11に記載の電子機器。

[0078] (13) 前記通信周波数で送信、及び受信の少なくとも一方を行う通信機と、

音声信号に基づく2つのパルス信号に応じて電気音響変換器に直流電源に基づく電圧を印加するスイッチング素子部と、を備え、

前記2つのパルス信号の少なくとも一方は、前記通信周波数に基づく周期で遅延している、電子機器。

[0079] (14) 請求項1乃至13のいずれか一項に記載の電子機器と、前記電気音響変換器とを備える、電気音響変換装置。

[0080] 本開示の態様は、上述した個々の実施形態に限定されるものではなく、当業者が想到しうる種々の変形も含むものであり、本開示の効果も上述した内

容に限定されない。すなわち、特許請求の範囲に規定された内容およびその均等物から導き出される本開示の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更および部分的削除が可能である。

符号の説明

[0081] 1 : 電気音響変換装置、2 : 電子機器、200 : 通信機、300 : 周波数シンセサイザ、402 : パルス生成器、404 : 遅延回路、405 : スイッチ素子部、406 : 第1ゲート制御回路、408、410 : 第1スイッチ素子、412 : 第2ゲート制御回路、414、416 : 第2スイッチ素子、414b : Dフリップフロップ、414c : Dフリップフロップ、414d : 遅延回路、414e : 遅延回路、414f : 排他的論理和回路、414g : 論理積回路、500 : ヘッドホン。

請求の範囲

- [請求項1] 第1のパルス信号に応じて電気音響変換器の一端に直流電源に基づく電圧を印加し、第2のパルス信号に応じて前記電気音響変換器の他端に前記直流電源に基づく電圧を印加するスイッチング素子部と、
- 第1のパルス信号、及び前記第2のパルス信号の少なくとも一方に対して、通信周波数に基づく遅延を生じさせる遅延回路と、
- を備える、電子機器。
- [請求項2] 前記遅延回路は、前記通信周波数の周期に基づく遅延時間を生じさせる、請求項1に記載の電子機器。
- [請求項3] 前記遅延時間は、前記通信周波数の周期の2分の1である、請求項2に記載の電子機器。
- [請求項4] 前記スイッチング素子部は、
- 前記直流電源に直列接続された第1、第2のスイッチング素子と、
- 前記直流電源に直列接続された第3、第4のスイッチング素子と、
- を有し、
- 前記電気音響変換器の一端は、前記第1、第2のスイッチング素子の接続点に接続され、他端は、と前記第3、第4のスイッチング素子の接続点に接続される、請求項1に記載の電子機器。
- [請求項5] 前記第1のスイッチング素子を前記第1のパルス信号でオン、オフし、前記第2のスイッチング素子を前記第1のスイッチング素子がオンするときオフし、前記第1のスイッチング素子がオフするときオンする第1ゲート制御回路と、
- 前記第3のスイッチング素子を前記第2のパルス信号でオン、オフし、前記第4のスイッチング素子を前記第3のスイッチング素子がオンするときオフし、前記第3のスイッチング素子がオフするときオンする第3ゲート制御回路と、を
- 更に備える、請求項4に記載の電子機器。
- [請求項6] 前記第1のパルス信号と、前記第2のパルス信号を生成するパルス

生成器を更に備え、前記第1のパルス信号は、音声信号のレベルに応じたデューティ比を有するパルス信号であり、前記第2のパルス信号は、前記音声信号のレベルに応じたデューティ比を有するパルス信号である、請求項1に記載の電子機器。

[請求項7] 音声信号のレベルに応じたパルス信号を生成するパルス生成器を更に備え、

前記前記遅延回路は、前記通信周波数の周期に基づく第1遅延時間の遅延を生じさせた前記第1のパルス信号と、前記通信周波数の周期に基づく第2遅延時間の遅延を生じさせた前記第2のパルス信号とを生成する、請求項1に記載の電子機器。

[請求項8] 前記遅延回路は、

D端子に前記パルス信号が入力され、クロック端子に前記通信周波数の周期に基づくクロック信号が入力され、Q端子から前記第1のパルス信号が出力される第1フリップフロップ回路と、

D端子に前記第1のパルス信号が入力され、クロック端子に前記クロック信号が入力され、Q端子から前記第2のパルス信号が出力される第2フリップフロップ回路と、

を有する、請求項7に記載の電子機器。

[請求項9] 前記遅延回路は、

前記パルス信号が入力される第1遅延回路と、

前記第1遅延回路の出力信号が入力される第2遅延回路と、

前記パルス信号と、第2遅延回路の出力信号が入力される排他的論理和回路と、

前記排他的論理和回路の出力信号と、前記通信周波数の周期に基づくクロック信号とが入力される論理積回路と、

D端子に前記第1遅延回路の出力信号が入力され、クロック端子に前記論理積回路の出力信号が入力され、Q端子から前記第1のパルス信号が出力される第1フリップフロップ回路と、

D端子に前記第1のパルス信号が入力されクロック端子に前記倫理積回路の出力信号が入力され、Q端子から前記第2のパルス信号が出力される第2フリップフロップ回路と、を有する、請求項7に記載の電子機器。

[請求項10] 前記通信周波数に応じて基準周波数の信号を生成する、周波数シンセサイザを更に備え、

前記遅延回路は、前記基準周波数の信号に基づき駆動する、請求項1に記載の電子機器。

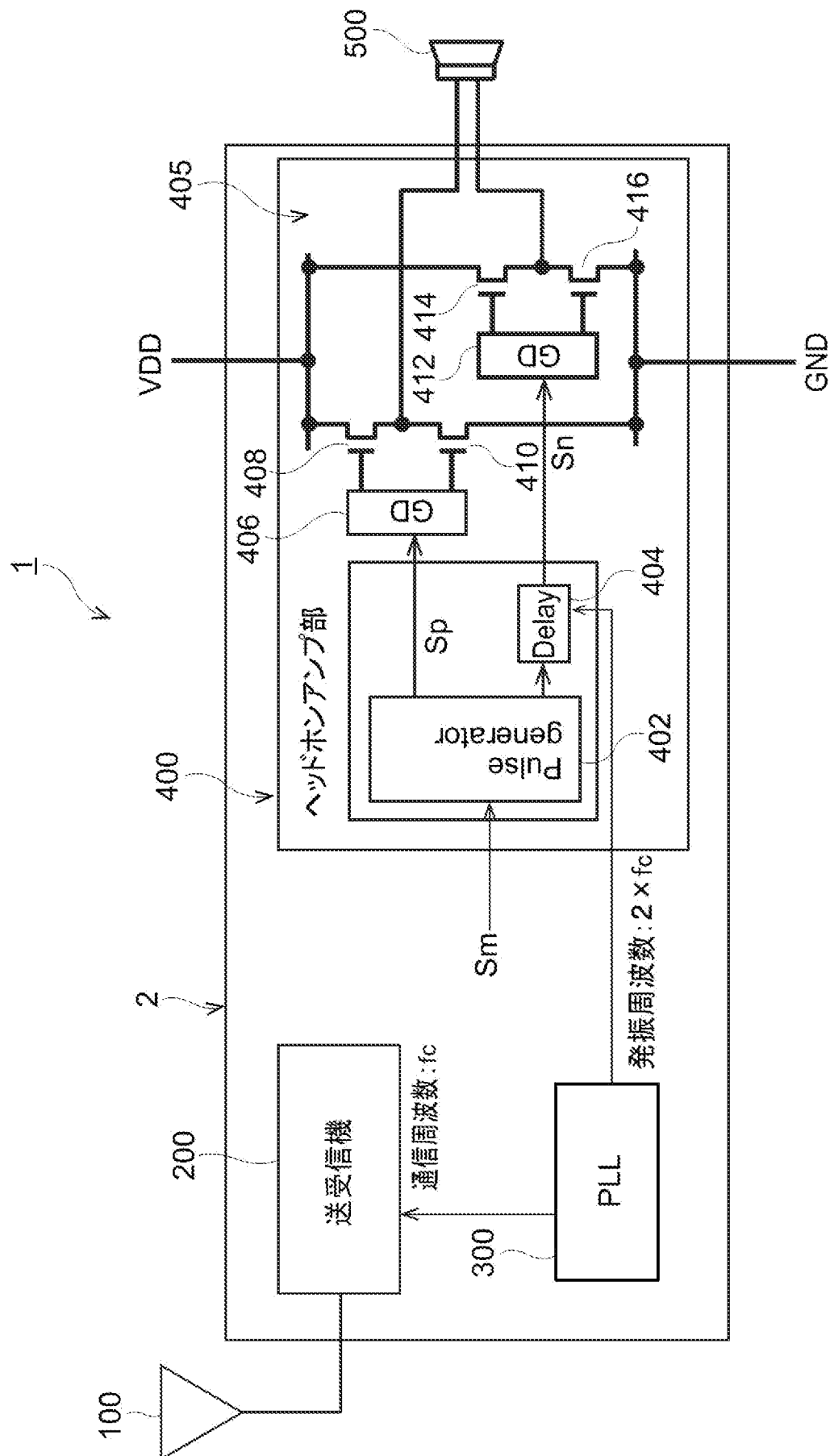
[請求項11] 前記周波数シンセサイザが出力する前記基準周波数は、時間帯に応じて切り換えられる、請求項10に記載の電子機器。

[請求項12] 前記基準周波数に基づく前記通信周波数により送信、及び受信の少なくとも一方を行う通信機を更に備える、請求項10に記載の電子機器。

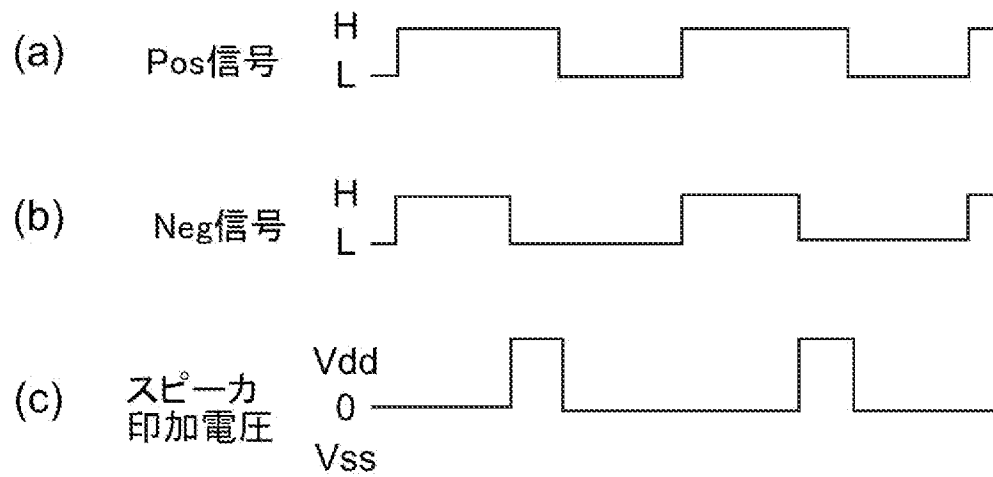
[請求項13] 通信周波数で送信、及び受信の少なくとも一方を行う通信機と、
音声信号に基づく2つのパルス信号に応じて電気音響変換器に直流電源に基づく電圧を印加するスイッチング素子部と、を備え、
前記2つのパルス信号の少なくとも一方は、前記通信周波数に基づく周期で遅延している、電子機器。

[請求項14] 請求項1に記載の電子機器と、前記電気音響変換器とを備える、電気音響変換装置。

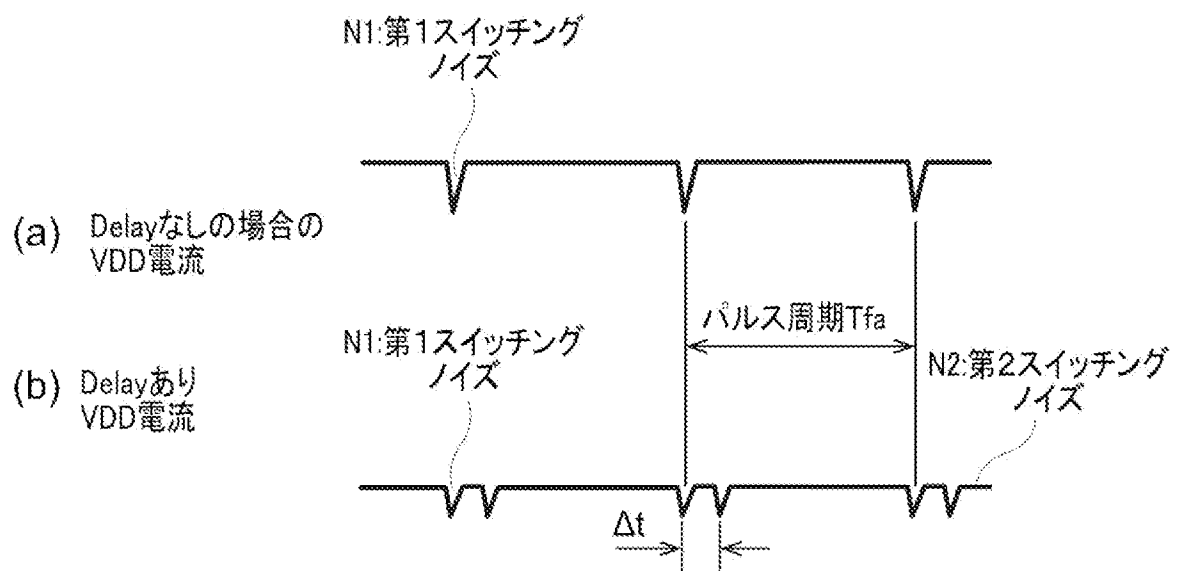
[図1]



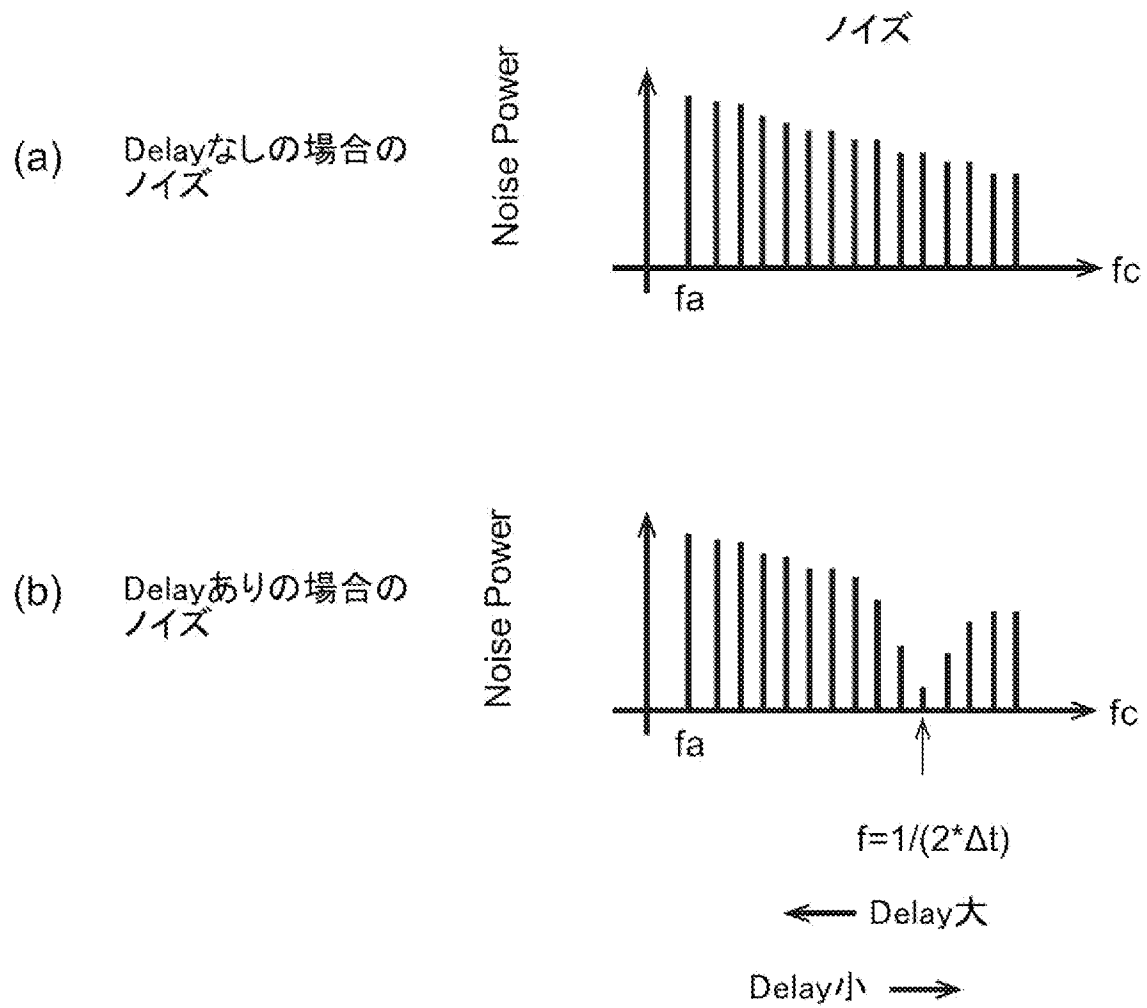
[図2]



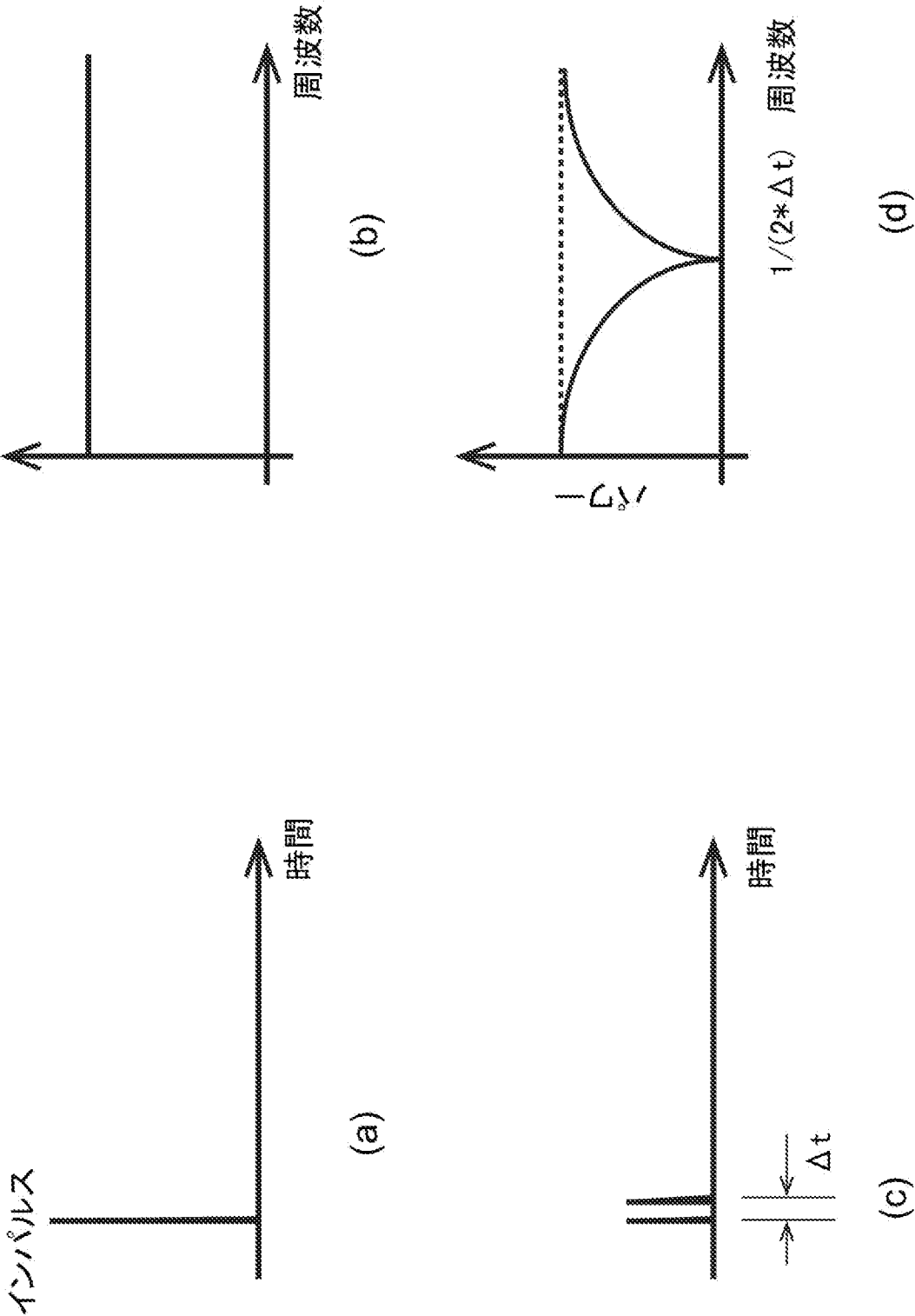
[図3]



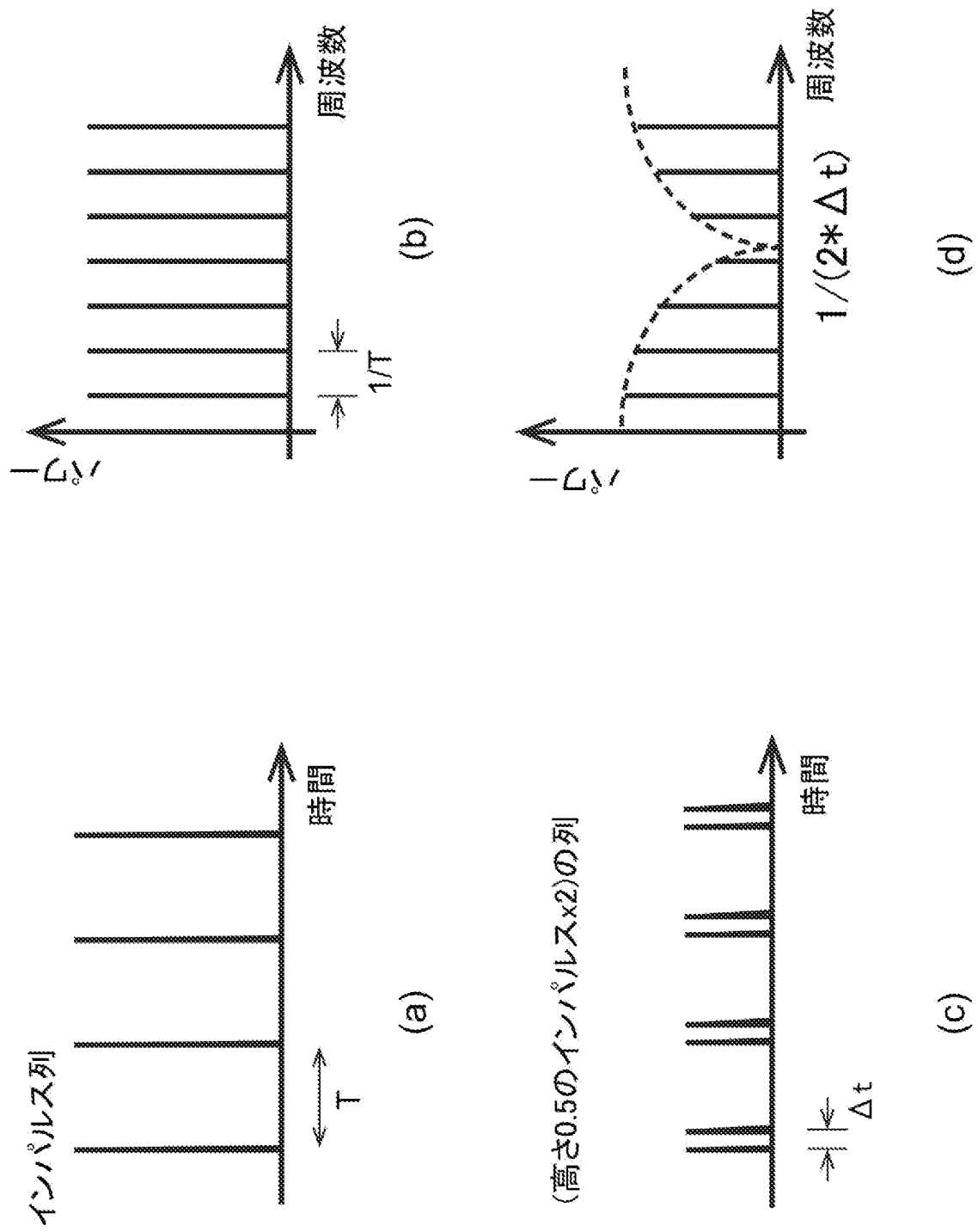
[図4]



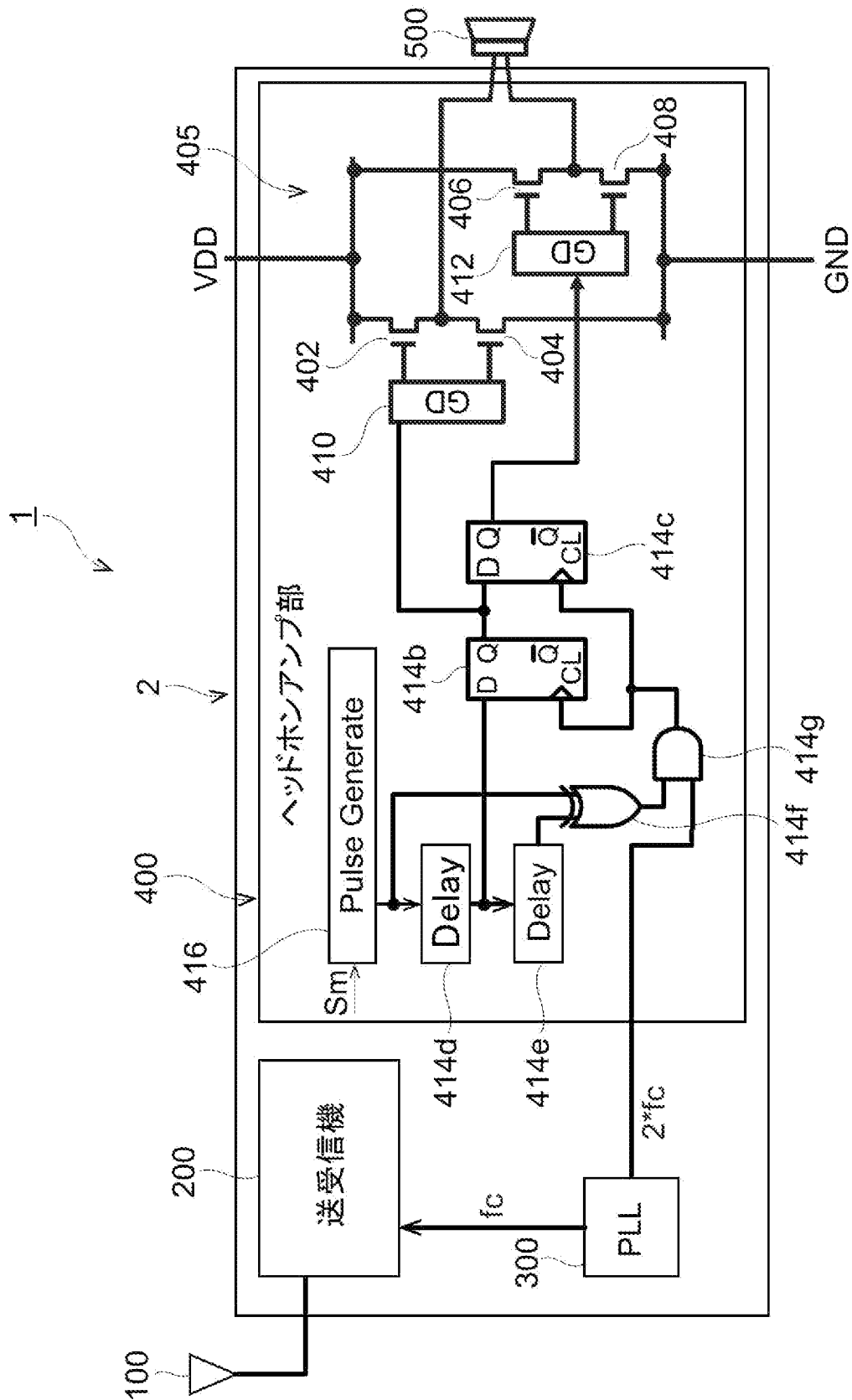
[図5]



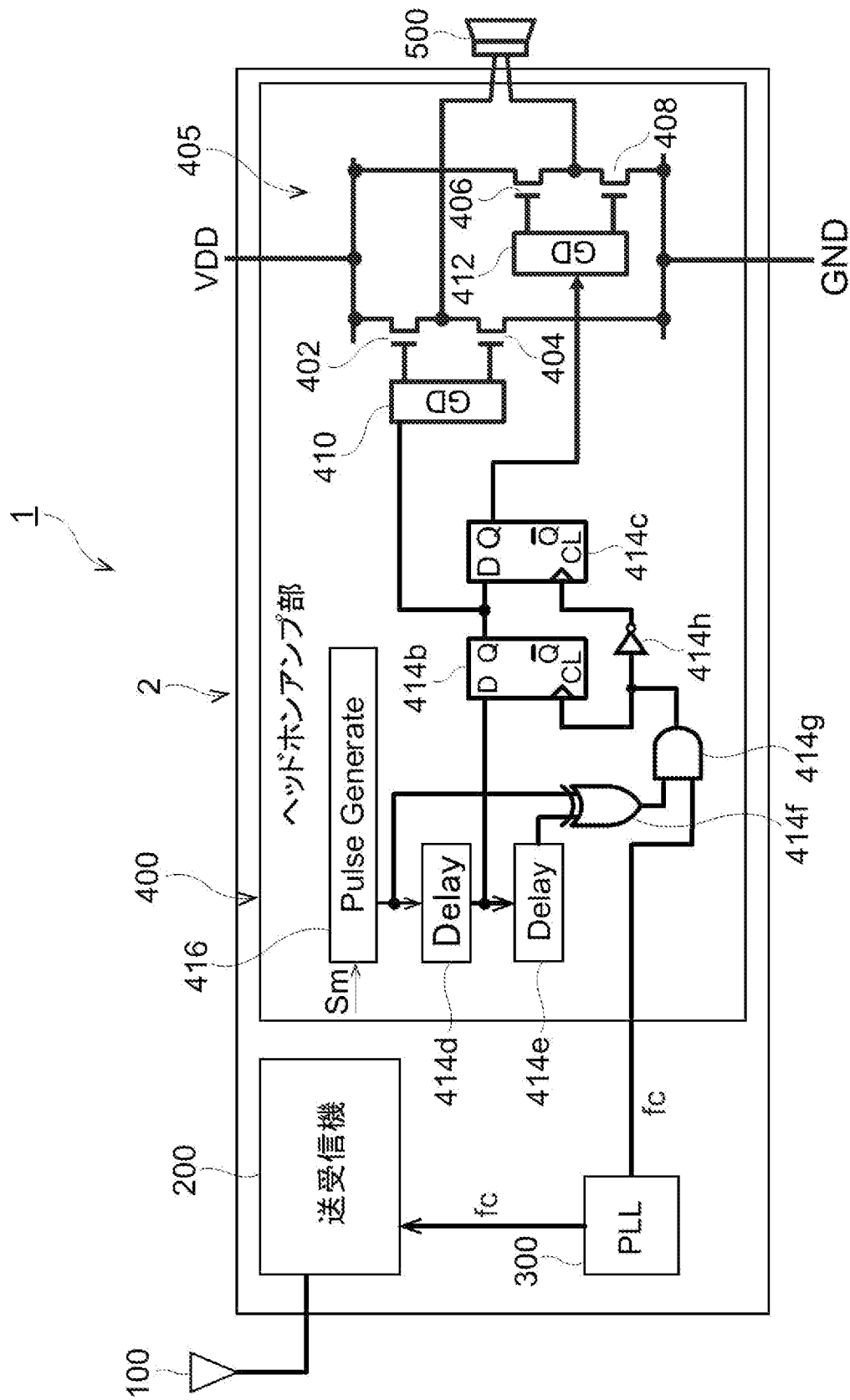
[図6]



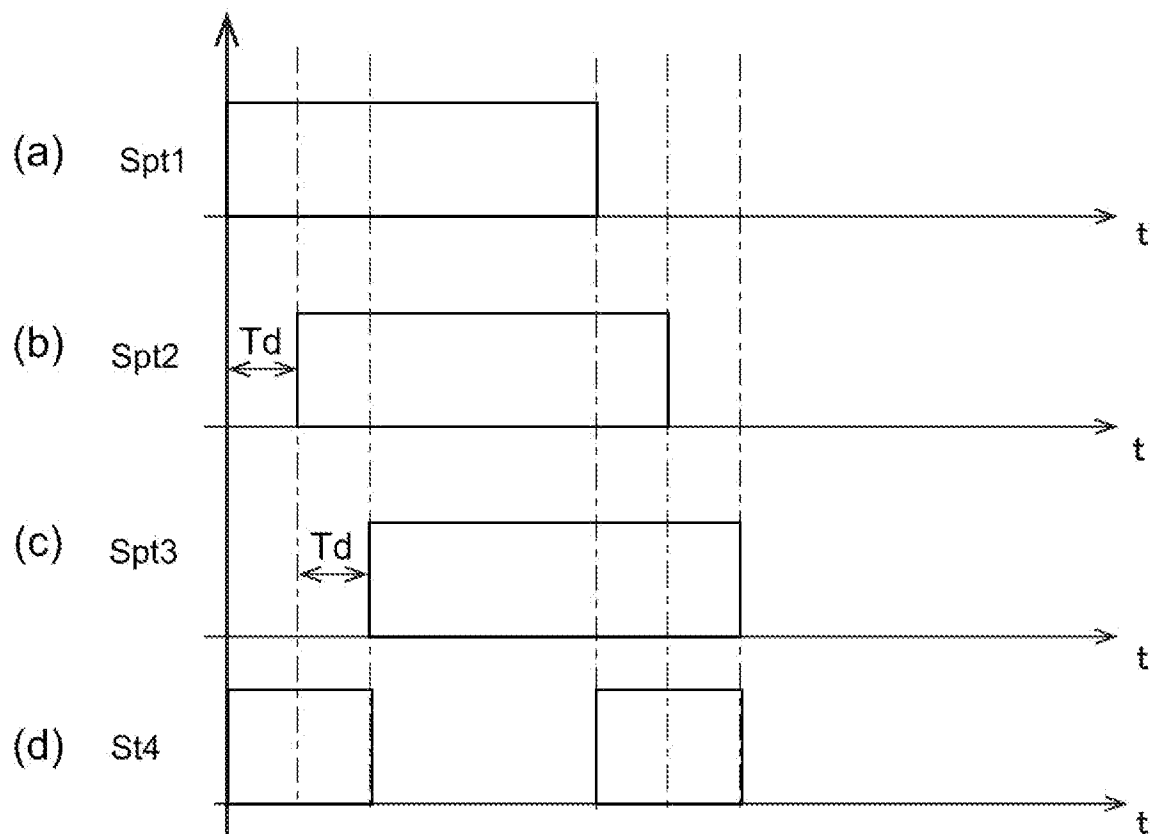
[図8A]



[図8B]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/023639

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H04R3/00 (2006.01) i, H04B1/04 (2006.01) i, H03F1/26 (2006.01) i,
H03F3/217 (2006.01) i

FI: H03F1/26, H03F3/217 180, H04R3/00 310, H04B1/04 T

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H04R3/00, H04B1/04, H03F1/26, H03F3/217

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-187861 A (ROHM CO., LTD.) 19 September 2013 (2013-09-19), entire text, all drawings	1-14
A	JP 2008-509575 A (TEXAS INSTRUMENTS INC.) 27 March 2008 (2008-03-27), entire text, all drawings	1-14
A	JP 2005-136452 A (SHARP CORP.) 26 May 2005 (2005-05-26), entire text, all drawings	1-14

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
03.09.2021

Date of mailing of the international search report
14.09.2021

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/023639

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2013-187861 A	19.09.2013	US 2013/0236034 A1 entire text, all drawings	
JP 2008-509575 A	27.03.2008	US 2005/0265481 A1 entire text, all drawings	
JP 2005-136452 A	26.05.2005	WO 2005/120001 A2 CN 1957575 A (Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04R 3/00(2006.01)i; H04B 1/04(2006.01)i; H03F 1/26(2006.01)i; H03F 3/217(2006.01)i FI: H03F1/26; H03F3/217 180; H04R3/00 310; H04B1/04 T														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H04R3/00; H04B1/04; H03F1/26; H03F3/217														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2021年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2021年	日本国実用新案登録公報	1996-2021年	日本国登録実用新案公報	1994-2021年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2021年													
日本国実用新案登録公報	1996-2021年													
日本国登録実用新案公報	1994-2021年													
国際調査でを使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	JP 2013-187861 A（ローム株式会社）19.09.2013（2013-09-19） 全文全図	1-14												
A	JP 2008-509575 A（テキサス インスツルメンツ インコーポレイテッド） 27.03.2008（2008-03-27） 全文全図	1-14												
A	JP 2005-136452 A（シャープ株式会社）26.05.2005（2005-05-26） 全文全図	1-14												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 03.09.2021	国際調査報告の発送日 14.09.2021													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 工藤 一光 5W 9274 電話番号 03-3581-1101 内線 3576													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/023639

引用文献			公表日	パテントファミリー文献			公表日
JP	2013-187861	A	19.09.2013	US	2013/0236034	A1	
				全文全図			
JP	2008-509575	A	27.03.2008	US	2005/0265481	A1	
				全文全図			
				WO	2005/120001	A2	
				CN	1957575	A	
JP	2005-136452	A	26.05.2005	(ファミリーなし)			