

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-281114

(P2007-281114A)

(43) 公開日 平成19年10月25日(2007.10.25)

(51) Int.CI.

HO1L 21/768 (2006.01)
HO1L 23/522 (2006.01)

F 1

HO1L 21/90
HO1L 21/90

テーマコード(参考)

J

5FO33
A

審査請求 有 請求項の数 10 O L (全 16 頁)

(21) 出願番号

特願2006-103809 (P2006-103809)

(22) 出願日

平成18年4月5日(2006.4.5)

(71) 出願人 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

(74) 代理人 100086298

弁理士 船橋 國則

(72) 発明者 荒川 伸一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

最終頁に続く

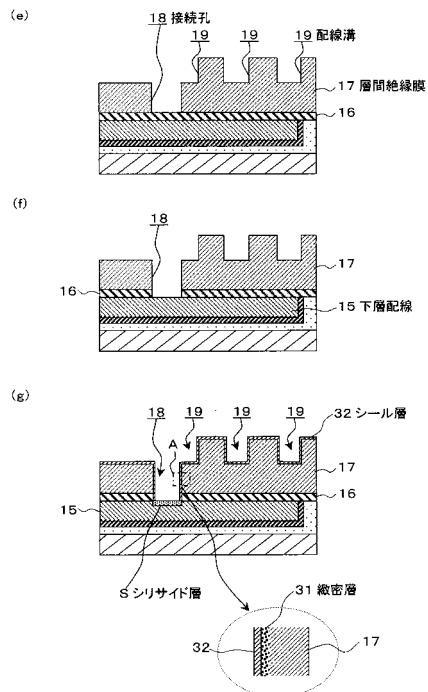
(54) 【発明の名称】半導体装置の製造方法および半導体装置

(57) 【要約】

【課題】本発明は、400以上の高温処理をせずに、ドライエッティングによるダメージを補修し、層間絶縁膜からの脱ガスを防止する半導体装置の製造方法および半導体装置を提供する。

【解決手段】基板11上に設けられた下層配線15上および層間絶縁膜12上に、層間絶縁膜17を形成し、層間絶縁膜17に配線溝19と、配線溝19の底部に連通し、下層配線15に達する接続孔18を形成する。次に、層間絶縁膜17に炭素とシリコンを含有するガスを用いたプラズマ処理を行うことで、配線溝19および接続孔18の側壁に露出された層間絶縁膜17の表面側に緻密層31とSi_xC_y膜からなるシール層32を形成する。次いで、プラズマ処理後の配線溝19および接続孔18の内壁を覆う状態で形成されるバリア膜20を介して、接続孔18にヴィア21を形成するとともに配線溝19に上層配線22を形成することを特徴とする半導体装置の製造方法および半導体装置である。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

表面側に第1導電層が設けられた基板上に絶縁膜を形成し、ドライエッチングにより当該絶縁膜に凹部を形成する第1工程と、

前記絶縁膜に、炭素またはシリコンを含有するガスを用いたプラズマ処理を行う第2工程と

プラズマ処理後の前記凹部に第2導電層を埋め込み形成する第3工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】

前記ガスは、炭素とシリコンの両方を含有している

10

ことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項 3】

前記絶縁膜は、酸化シリコンよりも誘電率の低い低誘電率膜を有しており、当該低誘電率膜が前記凹部の側壁に露出されている

ことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項 4】

前記絶縁膜は、有機絶縁膜と無機絶縁膜との積層膜で構成されている

ことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項 5】

前記第1工程では、前記第1導電層に達する状態で前記凹部を形成する

20

ことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項 6】

前記第2工程と前記第3工程の間に、前記凹部を前記第1導電層に達する状態まで掘り下げる

ことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項 7】

前記第2工程と前記第3工程の間に、

前記凹部の内壁を覆う状態で、前記第2導電層から前記絶縁膜への導電材料の拡散を防止するバリア膜を形成する工程を行う

ことを特徴とする請求項1記載の半導体装置の製造方法。

30

【請求項 8】

表面側に第1導電層が形成された基板と、当該基板上に設けられた絶縁膜と、当該絶縁膜に前記第1導電層に達する状態で設けられた凹部に埋め込み形成された第2導電層とを備えた半導体装置において、

前記絶縁膜の前記第2導電層との界面側には、当該絶縁膜が緻密化された緻密層が設けられており、当該緻密層と前記第2導電層との間には、炭素を含有するシール層が設けられている

ことを特徴とする半導体装置。

【請求項 9】

前記第1導電層の前記第2導電層との界面側には、シリサイド層が設けられている

40

ことを特徴とする請求項8記載の半導体装置。

【請求項 10】

表面側に第1導電層が形成された基板と、当該基板上に設けられた絶縁膜と、当該絶縁膜に前記第1導電層に達する状態で設けられた凹部に埋め込み形成された第2導電層とを備えた半導体装置において、

前記絶縁膜の前記第2導電層との界面側には、当該絶縁膜が緻密化された緻密層が設けられており、前記第1導電層の前記第2導電層との界面側には、シリサイド層が設けられている

ことを特徴とする半導体装置。

【発明の詳細な説明】

50

【技術分野】**【0001】**

本発明は、半導体装置の製造方法および半導体装置に関し、さらに詳しくは、層間絶縁膜として低誘電率膜を用いて多層配線構造を形成するのに好適な半導体装置の製造方法および半導体装置に関する。

【背景技術】**【0002】**

近年、半導体装置の高集積化、微細化に伴い、特に、RC遅延の低減が必要となっている。このため、配線材料としては、従来のアルミニウム(A1)に変えて、比抵抗率の低い銅(Cu)を用いると共に、絶縁膜材料としては、従来から用いられている酸化シリコン(SiO₂)よりも比誘電率の低い低誘電率(Low-k)膜を用いることが考えられている。低誘電率(Low-k)膜としては、比誘電率k<3.0の絶縁膜の研究が進められており、このような低誘電率膜には、例えば、ハイドロゲンシルセスキオキサン(hydrogen silsesquioxane(HSQ)、メチルシルセスキオキサン(methyl silsesquioxane(MSQ)、芳香族含有有機絶縁膜などがある。

【0003】

なかでも、近年、デュアルダマシン加工が容易であることから、芳香族含有有機絶縁膜とポリメチルシロキサン(poly methyl siloxane)またはMSQからなる無機絶縁膜とを組合せたハイブリッド構造が広く用いられている。45nmあるいは32nm世代を考えた場合、ヴィア層間絶縁膜としては比誘電率2.5以下の膜が考えられている。

【0004】

ここで、層間絶縁膜にMSQの多孔質膜(ポーラスMSQ膜)を用いた場合のデュアルダマシン法による多層配線構造の製造方法の一例について、図7～図8を用いて説明する。図7(a)に示すように、シリコン基板からなる半導体基板11上のSiO₂からなる層間絶縁膜12に設けられた配線溝13に、タンタル(Ta)からなるバリア膜14を介してCuからなる下層配線15が設けられている。この下層配線15上および層間絶縁膜12上を覆う状態で、炭窒化シリコン(SiCN)からなるエッチングストッパー膜16を形成した後、エッチングストッパー膜16上に、層間絶縁膜17として、比誘電率が2.5以下のポーラスMSQ膜からなる低誘電率膜を形成する。

【0005】

次に、図7(b)に示すように、通常のリソグラフィ技術により、層間絶縁膜17上に接続孔パターンの設けられたレジストパターンRを形成する。続いて、図7(c)に示すように、レジストパターンR(前記図7(b)参照)をマスクに用いたプラズマエッティングにより、層間絶縁膜17にエッチングストッパー膜16に達する接続孔18を形成する。その後、レジストパターンRを除去する。

【0006】

次いで、図7(d)に示すように、通常のリソグラフィ技術により、接続孔18を埋め込む状態で、層間絶縁膜17上に、配線溝パターンの設けられたレジストパターンR'を形成する。続いて、図8(e)に示すように、レジストパターンR'(前記図7(d)参照)をマスクに用いたエッティングにより、層間絶縁膜17に接続孔18に連通する状態の配線溝19を形成する。その後、レジストパターンR'を除去する。

【0007】

次に、図8(f)に示すように、接続孔18の底部に露出されたエッチングストッパー膜16を除去することで、下層配線15の表面を露出する。その後、有機系洗浄液にて、露出した下層配線15の表面を洗浄する。

【0008】

次いで、図8(g)に示すように、上記配線溝19および接続孔18の内壁を覆う状態で、層間絶縁膜17上にTaからなるバリア膜20を形成する。続いて、図8(h)に示すように、バリア膜20の形成された接続孔18および配線溝19を埋め込む状態で、バリア膜20上にCuからなる導電膜(図示省略)を形成する。その後、熱処理を行うこと

10

20

30

40

50

で、導電膜中のCuの結晶成長を行う。次いで、層間絶縁膜17の表面が露出するまで、化学的機械的研磨(Chemical Mechanical Polishing(CMP))法により、上記導電膜およびバリア膜20を除去することで、接続孔18にヴィア21を形成するとともに、配線溝19に上層配線22を形成する。

【0009】

ここで、上述したように、層間絶縁膜17がポーラスMSQ等、比誘電率2.5以下の低誘電率膜で形成されている場合には、層間絶縁膜17の膜密度が粗であることから、エッティング加工時に層間絶縁膜17がプラズマダメージを受け易い。

【0010】

そこで、上記低誘電率膜のエッティングによるダメージ対策として、層間絶縁膜にエッティング加工を行った後に、テトラメチルシクロテトラシロキサン(Tetra-methylcyclotetrasiloxane(TMCTS))を処理雰囲気に供給し、アニール処理を行うことで、エッティング加工により露出した側壁を補修するダメージ回復技術の研究が報告されている(例えば、非特許文献1参照)。

【0011】

【非特許文献1】Y.Oku, et al., Novel Self-Assembled Ultra-Low-k Porous Silica Films with High Mechanical Strength for 45nm BEOL Technology, 「International ELECTRON DEVICE Meeting」(米) IEEE, 2003年

【発明の開示】

【発明が解決しようとする課題】

【0012】

しかし、上述したような方法により、十分な補修効果を得るためにには、400程度の高温処理が必要であり、特に、層間絶縁膜に耐熱性の低い有機材料膜を含む場合には、デバイス信頼性を考えると許容し難い条件である。例えば、層間絶縁膜中からの脱ガス促進によるバリア膜の剥がれや密着性劣化、デュアルダマシン構造のヴィア部分の吸い上がりによるボイド形成により、初期特性が劣化してしまう可能性が考えられる。

【0013】

また、十分な補修効果が得られない場合には、層間絶縁膜が吸湿してしまう。特に、比誘電率低減のために、ポアが設けられている多孔質膜は、ポアの存在が吸湿を加速し、エッティング加工後の洗浄処理により、ポアがあることで薬液の染みこみパスが形成されてしまう。

【0014】

このため、図9に示すように、層間絶縁膜17からの脱ガスにより、バリア膜20が酸化し易い、という問題がある。また、特にアスペクト比の高い接続孔18の内壁には、成膜ガスが届きにくいため、バリア膜20が薄く形成されることから、バリア膜20の酸化が顕著に生じ易い。このため、バリア膜20の酸化によるバリア性劣化によりヴィア21から層間絶縁膜17中への導電材料(メタル)の染み出しMが生じる。また、層間絶縁膜17とバリア膜20との密着性も劣化するため、ヴィア21中にボイドVが発生し易く、ストレスマイグレーション(Stress Migration(SM))、エレクトロマイグレーション(Electro-Migration(EM))等の信頼性不良が誘発される。さらには、バリア膜20の酸化によりヴィア21が酸化されることで、高抵抗化を引き起こしてしまう。

【0015】

以上のことから、本発明は、400以上の高温処理をせずに、ドライエッティングによるダメージを修復し、層間絶縁膜からの脱ガスを防止する半導体装置の製造方法および半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0016】

上記課題を解決するために、本発明の半導体装置の製造方法は、次のような工程を順次行うことの特徴としている。まず、第1工程では、表面側に第1導電層が設けられた基板上に絶縁膜を形成し、ドライエッティングにより絶縁膜に凹部を形成する工程を行う。次に

10

20

30

40

50

、第2工程では、絶縁膜に、炭素またはシリコンを含有するガスを用いたプラズマ処理を行う。次いで、第3工程では、プラズマ処理後の凹部に第2導電層を埋め込み形成する工程を行う。

【0017】

このような半導体装置の製造方法によれば、ドライエッチングにより凹部を形成した後の絶縁膜に、炭素またはシリコンを含有するガスを用いたプラズマ処理を行うことから、凹部の内壁に付着した脱ガスの要因となるOH基が脱離し、凹部の内壁に露出された絶縁膜の表面側が緻密化されて緻密層が形成される。これにより、400以上的熱処理を行わなくても、ドライエッチングによる凹部の内壁に露出した絶縁膜へのダメージが修復され、絶縁膜からの脱ガスが抑制される。特に、炭素を含有するガスを用いたプラズマ処理を行う場合には、凹部の側壁に露出したダングリングボンドが炭素含有基で終端されて、上記緻密層の表面に炭素を含有するシール層が形成されることで、絶縁膜からの脱ガスが顕著に抑制される。このため、凹部の内壁を覆う状態で、第2導電層から絶縁膜への導電材料の拡散を防止するバリア膜を形成する場合には、バリア膜の酸化が抑制される。これにより、バリア膜の酸化によるバリア性劣化が抑制され、絶縁膜への導電材料の染み出しが防止されることから、第2導電層のショートを防止することができる。また、バリア膜の酸化に起因するバリア膜と絶縁膜との密着性低下が抑制されるため、第2導電層中のボイドの発生が防止され、SM、EMの信頼性不良が防止される。さらには、バリア膜の酸化による第2導電層の酸化が防止されるため、第2導電層の高抵抗化が防止される。

【0018】

また、本発明の第1の半導体装置は、表面側に第1導電層が形成された基板と、基板上に設けられた絶縁膜と、絶縁膜に第1導電層に達する状態で設けられた凹部に埋め込み形成された第2導電層とを備えた半導体装置において、絶縁膜の第2導電層との界面側には、絶縁膜が緻密化された緻密層が設けられており、緻密層と第2導電層との間には、炭素を含有するシール層が設けられていることを特徴としている。

【0019】

このような第1の半導体装置によれば、絶縁膜の第2導電層との界面側には、緻密層が設けられるとともに、緻密層と第2導電層との間に炭素を含有するシール層が設けられていることで、絶縁膜からの脱ガスが顕著に抑制される。これにより、凹部の内壁を覆う状態で、第2導電層から絶縁膜への導電材料の拡散を防止するバリア膜が設けられている場合には、バリア膜の酸化が抑制される。これにより、バリア膜の酸化によるバリア性劣化が抑制され、絶縁膜への導電材料の染み出しが防止されることから、第2導電層のショートを防止することができる。また、バリア膜の酸化に起因するバリア膜と絶縁膜との密着性低下が抑制されるため、第2導電層中のボイドの発生が防止され、SM、EMの信頼性不良が防止される。さらには、バリア膜の酸化による第2導電層の酸化が防止されるため、第2導電層の高抵抗化が防止される。

【0020】

また、本発明の第2の半導体装置は、表面側に第1導電層が形成された基板と、基板上に設けられた絶縁膜と、絶縁膜に第1導電層に達する状態で設けられた凹部に埋め込み形成された第2導電層とを備えた半導体装置において、絶縁膜の第2導電層との界面側には、絶縁膜が緻密化された緻密層が設けられており、第1導電層の第2導電層との界面側には、シリサイド層が設けられていることを特徴としている。

【0021】

このような第2の半導体装置によれば、絶縁膜の第2導電層との界面側には、緻密層が設けられていることで、絶縁膜からの脱ガスが抑制される。これにより、凹部の内壁を覆う状態で、第2導電層から絶縁膜への導電材料の拡散を防止するバリア膜が設けられている場合には、バリア膜の酸化が抑制される。これにより、バリア膜の酸化によるバリア性劣化が抑制され、絶縁膜への導電材料の染み出しが防止されることから、第2導電層のショートを防止することができる。また、バリア膜の酸化に起因するバリア膜と絶縁膜との密着性低下が抑制されるため、第2導電層中のボイドの発生が防止され、SM、EMの信

頼性不良が防止される。さらには、バリア膜の酸化による第2導電層の酸化が防止されるため、第2導電層の高抵抗化が防止される。また、第2導電層の第1導電層との界面側にシリサイド層が設けられることで、SM耐性、EM耐性を向上させることができる。

【発明の効果】

【0022】

以上、説明したように、本発明の半導体装置の製造方法およびこれによって得られる半導体装置によれば、第2導電層のショートを防止できるとともに、SM耐性、EM耐性を向上させることができ、第2導電層の高抵抗化を防止することができる。したがって、配線構造の信頼性を向上させることができることから、高性能なCMOSデバイスが実現可能であり、コンピュータ、ゲーム機、モバイル商品等の性能を著しく向上させることができる。10

【発明を実施するための最良の形態】

【0023】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0024】

(第1実施形態)

本発明の半導体装置の製造方法に係わる実施の形態の一例を、図1～図3の製造工程断面図によって説明する。本実施形態では、デュアルダマシン法を用いたCuと低誘電率膜とからなる多層配線構造の形成方法について説明する。なお、背景技術で説明した半導体装置の製造方法と同様の構成には同一の番号を付して説明する。20

【0025】

図1(a)に示すように、トランジスタ等の半導体素子が形成された半導体基板11上に、例えばSiO₂からなる層間絶縁膜12が設けられている。この層間絶縁膜12に設けられた配線溝13には、例えばTaからなるバリア膜14を介して例えばCuからなる下層配線15(第1導電層)が60nmの厚さで形成されている。ここまで構成が請求項の基板に相当する。

【0026】

次に、下層配線15上を含む層間絶縁膜12上に、プラズマ化学的気相成長(Plasma Enhanced Chemical Vapor Deposition(PE-CVD))法により、例えばSiCNからなるエッチングストッパー膜16を30nmの膜厚で形成する。30

【0027】

次に、エッチングストッパー膜16上に、層間絶縁膜17を形成する。この場合には、例えば塗布法またはCVD法により、MSQポーラス膜からなる層間絶縁膜17を250nmの膜厚で形成する。このMSQポーラス膜の比誘電率は2.5以下である。ここで、層間絶縁膜17としては、酸化シリコンよりも比誘電率の低い低誘電率膜で形成されることが好ましく、例えば、ポリメチルシラン、HSQ、MSQ等の無機絶縁膜、または、ポリアリールエーテル(PAE)等の芳香族含有有機絶縁膜がある。特に、層間絶縁膜17がこれらの低誘電率膜の多孔質膜を含む場合には、非多孔質膜と比較して、膜密度が粗になることから、層間絶縁膜17の比誘電率が低減され、配線間容量を低減することができるので、好ましい。40

【0028】

続いて、図1(b)に示すように、層間絶縁膜17上に、例えば化学增幅型ArFレジストを塗布した後、通常のリソグラフィ技術により、このレジストに例えば直径60nmの接続孔パターンを形成することで、レジストパターンRを形成する。

【0029】

次に、図1(c)に示すように、レジストパターンR(前記図1(b)参照)をマスクとし、フロロカーボン(CF)系ガスを用いたプラズマエッチングにより、層間絶縁膜17にエッチングストッパー膜16に達する状態の接続孔18を形成する。ここで、層間絶縁膜17は、MSQポーラス膜で形成されることから、メチル基を多く含んだ膜構造となっており、接続孔18の加工時のプラズマにより、接続孔18の側壁に露出したメチル基

10

20

30

40

50

が破壊される。このため、このダメージを受けた部分は、ダングリングボンドが露出され、吸湿し易くなっている。その後、O₂系ガスを用いたアッシング処理により、残存したレジストパターンRを除去する。このアッシング処理は、層間絶縁膜17へのダメージを最小限に抑えるため、6.7Pa以下の低圧力条件下で行うことが好ましく、ここでは、例えば2.7Paで行うこととする。

【0030】

次に、図1(d)に示すように、接続孔18を埋め込む状態で、層間絶縁膜17上に、再び化学增幅型ArFレジストを塗布し、通常のリソグラフィ技術により、配線溝パターンを有するレジストパターンR'を形成する。

【0031】

続いて、図2(e)に示すように、レジストパターンR'(前記図1(d)参照)をマスクとし、CF系ガスを用いたドライエッチングにより、層間絶縁膜17に、接続孔18に連通する深さ140nmの配線溝19を形成する。このドライエッチングによっても、プラズマにより、配線溝19の側壁に露出したメチル基が破壊される。このため、層間絶縁膜17におけるこのダメージを受けた部分は、ダングリングボンドが露出され、吸湿し易くなる。その後、O₂系ガスを用いた低圧力条件下でのアッシングにより、このレジストパターンR'を除去する。

【0032】

次に、図2(f)に示すように、CF系ガスを用いたドライエッチングにより、接続孔18の底部に露出されたエッチングストッパー膜16をエッチング除去し、下層配線15を露出する。ここで、配線溝19と配線溝19の底部に連通する接続孔18とが請求項の凹部に相当する。続いて、有機系洗浄液にて露出した下層配線15の表面を洗浄する。これにより、配線溝19および接続孔18の側壁に露出された絶縁膜が吸湿し、この側壁に露出されたダングリングボンドに脱ガスに起因するOH基が付着する。

【0033】

次いで、図2(g)に示すように、層間絶縁膜17に、炭素(C)シリコン(Si)の両方を含むガスを用いたプラズマ処理を行う。ここでは、上記ガスとして、ジメチルフェニルシラン(Di Methyl Phenyl Silane(DMPS))を用いることとする。これにより、配線溝19または接続孔18の側壁に付着した脱ガスの要因となるOH基が脱離し、領域Aの要部拡大図に示すように、層間絶縁膜17の表面側に層間絶縁膜17が緻密化された緻密層31が形成される。また、上記ガスがCを含むことで、配線溝19または接続孔18の側壁に露出したダングリングボンドが炭素含有基で終端され、緻密層31が設けられた配線溝19および接続孔18の内壁を覆う状態で、層間絶縁膜17上に、炭素を含むSi_xC_y膜からなるシール層32が形成される。これにより、ドライエッチングによる配線溝19または接続孔18の側壁に露出した層間絶縁膜17へのダメージが修復され、層間絶縁膜17の吸湿が抑制されるとともに、層間絶縁膜17に残存した水分の脱ガスが防止される。また、接続孔18の底部の下層配線15上を覆うシール層32は、このプラズマ処理の熱により下層配線15の表面側に拡散されて、シリサイド層Sが形成される。これにより、SM耐性およびEM耐性が向上する。

【0034】

ここで、上記プラズマ処理の処理条件を制御することで、上記シール層32の膜厚を0.5nm以下の極薄膜にすることが好ましく、極薄膜とすることで、層間絶縁膜17の比誘電率を上昇させることができなく、下層配線15の表面側にシリサイド層Sが設けられることによるヴィアの抵抗値の上昇を許容範囲内に抑えることができる。

【0035】

このプラズマ処理の処理条件の一例としては、DMPSからなるプリカーサ種と、ヘリウム(He)からなるキャリアガスをガス流量比(DMPS/He=500/1000(ml/min))となるように供給し、基盤RFバイアスパワーを150W、圧力を670Pa、温度を350、処理時間を15secに設定する。

【0036】

10

20

30

40

50

なお、ここでは、CとSiの両方を含むガスとして、DMPsを用いることとしたが、本発明はこれに限定されることなく、テトラメチルシクロテトラシロキサン(TMCTS)やオクタメチルシクロテトラシロキサン(OMCTS)、トリメチルシラン(3MS)、テトラメチルシラン(4MS)等を用いてもよい。ただし、DMPsのように分子内にベンゼン環等の環状構造を有する化合物を供給することで、環状構造が立体障害となり、成膜レートを低減することが容易であることから、シール層32を0.5nm以下の膜厚で再現性よく成膜することが可能であるため、好ましい。

【0037】

なお、ここでは、CとSiの両方を含有するガスを用いたプラズマ処理を行うこととしたが、本発明はこれに限定されず、CまたはSiを含むガスを用いたプラズマ処理であればよく、他の構成元素として、水素(H)、酸素(O)、窒素(N)等を含んでいてもよい。ここで、Cを含みSiを含まないC含有ガスとしては、例えばメタン(CH₄)ガスおよびエチレン(C₂H₄)ガスが挙げられ、Siを含みCを含まないSi含有ガスとしては、例えばシラン(SiH₄)ガスが挙げられる。

【0038】

ここで、上記C含有ガスを用いたプラズマ処理を行う場合には、配線溝19および接続孔18の側壁に付着したOH基が脱離し、層間絶縁膜17の表面側に緻密層31が形成される。また、配線溝19および接続孔18の側壁に露出したダングリングボンドが炭素含有基で終端されるとともに、緻密層31が設けられた配線溝19および接続孔18の内壁を覆う状態で、層間絶縁膜17上にCを含有するシール層32が形成される。この場合には、接続孔18の底部に露出された下層配線15上のシール層32はシリサイド化されずに残存するが、0.5nm以下の極薄膜であることから、除去しなくても後述するヴィアの抵抗値は許容範囲内に抑えられ、配線信頼性は維持される。

【0039】

また、上記Si含有ガスを用いたプラズマ処理を行う場合には、配線溝19および接続孔18の側壁に付着したOH基が脱離し、層間絶縁膜17の表面側に緻密層31が形成される。この場合には、接続孔18の底部に露出された下層配線15上のシール層32は、プラズマ処理の際の熱処理により、下層配線15の表面側に拡散し、シリサイド層Sとなる。これにより、SM耐性およびEM耐性が向上する。

【0040】

以上のようにしてシール層32を形成した後、図3(h)に示すように、例えばスパッタリング法またはCVD法により、配線溝19および接続孔18の内壁を覆う状態で、シール層32上に、例えばTaからなるバリア膜20を7nmの膜厚で形成する。

【0041】

その後、図3(i)に示すように、例えばスパッタリング法またはCVD法により、バリア膜20上に例えばCuからなるシード層(図示省略)を45nmの膜厚で形成した後、電界メッキ(ECP)法またはCVD法により、配線溝19および接続孔18を埋め込む状態で、バリア膜20上に例えばCuからなる導電膜(図示省略)を成膜し、Cuを結晶成長させるためのアニール処理を250度90秒間行う。

【0042】

続いて、例えばCMP法により、層間絶縁膜17の表面が露出するまで、導電膜およびバリア膜20ならびにシール層32を除去することで、接続孔18にヴィア21(第2導電層)を形成するとともに、配線溝19に上層配線22(第2導電層)を形成する。これにより、下層配線15のヴィア21との界面側にシリサイド層Sが設けられた状態となる。その後、上層配線22上を含む層間絶縁膜17上に例えばSiCNからなるエッチングストッパー膜23を形成する。

【0043】

なお、本実施形態においては、上記CMP法によりシール層32を除去することとしたが、シール層32は除去しなくてもよい。また、ここでは、下層配線15、ヴィア21、上層配線22をCuで形成する例について説明したが、本発明はこれに限定されず、Cu

10

20

30

40

50

の他に、銀(Ag)、金(Au)、アルミニウム(Al)またはこれらの合金であってもよい。

【0044】

この後の工程は、図1(a)を用いて説明した層間絶縁膜17の形成工程から、図3(i)を用いて説明したエッティングストッパー膜23の形成工程までを、繰り返して行うことで多層配線構造を製造する。

【0045】

このような半導体装置の製造方法および半導体装置によれば、ドライエッティングにより配線溝19および接続孔18を形成した後の層間絶縁膜17に、DMPsからなるガスを用いたプラズマ処理を行うことから、領域Aの要部拡大図に示すように、配線溝19および接続孔18の側壁に付着したOH基が脱離し、層間絶縁膜17の表面側が緻密化されて緻密層31が形成される。また、配線溝19および接続孔18の側壁に露出したダングリングボンドが炭素含有基で終端され、緻密層31の表面にSi_xC_y膜からなるシール層32が形成される。これにより、400以上熱処理を行わなくても、ドライエッティングによる層間絶縁膜17へのダメージが改善され、層間絶縁膜17からの脱ガスが抑制される。よって、バリア膜20の酸化が抑制される。

【0046】

これにより、バリア膜20の酸化によるバリア性劣化が抑制され、層間絶縁膜17への導電材料の染み出しが防止されることから、ヴィア21のショートを防止することができる。また、バリア膜20と層間絶縁膜17との密着性低下が抑制されるため、ヴィア21中のボイドの発生が防止され、SM耐性、EM耐性の劣化が防止される。さらには、バリア膜20の酸化によるヴィア21の酸化が防止されるため、ヴィア21の高抵抗化が防止される。したがって、配線構造の信頼性を向上させることができることから、高性能なCMOSデバイスが実現可能であり、コンピュータ、ゲーム機、モバイル商品等の性能を著しく向上させることができる。

【0047】

さらに、本実施形態によれば、下層配線15のヴィア21との界面側にシリサイド層Sが形成されることで、SM耐性およびEM耐性を向上させることができる。

【0048】

なお、上記実施形態においては、図2(g)を用いて説明したように、接続孔18底部のエッティングストッパー膜16を除去し、下層配線15を露出させた工程の後、バリア膜20を形成する工程の前に、DMPsを用いたプラズマ処理を行う例について説明したが、本発明は、配線溝19または接続孔18を形成する工程の後、バリア膜20を形成する工程の前であれば、どの工程でプラズマ処理を行ってもよい。

【0049】

例えば、図1(c)を用いて説明した層間絶縁膜17にエッティングストッパー膜16に達する状態の接続孔18を形成する工程の後で、図1(d)を用いて説明したレジストパターンR'を形成する工程の前に上記プラズマ処理を行ってもよく、図2(e)を用いて説明した層間絶縁膜17に配線溝19を形成する工程の後で、図2(f)を用いて説明した接続孔18底部のエッティングストッパー膜16を除去する工程の前に行ってもよい。また、上述した各工程の間の2工程以上で上記プラズマ処理を行い、複数回の処理を行ってもよい。ただし、アスペクト比の高い接続孔18の側壁には、バリア膜20が形成され難いため、接続孔18の側壁を覆うバリア膜20の酸化は生じ易いことから、層間絶縁膜17に接続孔18が設けられた状態で、上記プラズマ処理を行うことが好ましい。さらに、接続孔18の底部に下層配線15が露出された状態で、上記プラズマ処理を行うことで、下層配線15の表面側にはシリサイド層Sが形成されるため、好ましい。

【0050】

(第2実施形態)

次に、本発明の半導体装置の製造方法にかかる第2の実施形態として、層間絶縁膜が無機絶縁膜と有機絶縁膜とを順次積層してなるハイブリット構造で構成された例について、

図4～図6の製造工程断面図を用いて説明する。なお、第1実施形態と同様の構成には同一の番号を付して説明し、詳細な説明は省略する。また、図1(a)を用いて説明した下層配線15上を含む層間絶縁膜12上にエッティングストッパー膜16を形成する工程までは、第1実施形態と同様であることとする。

【0051】

まず、図4(a)に示すように、エッティングストッパー膜16上に層間絶縁膜17'として、無機絶縁膜である例えばポーラスMSQからなる第1絶縁層17a'を100nmの膜厚で形成した後、第1絶縁層17a'上に有機絶縁膜である例えばPAEからなる第2絶縁層17b'を80nmの膜厚で形成する。これにより、無機絶縁膜と有機絶縁膜とを積層してなるハイブリッド構造からなる層間絶縁膜17'が形成される。

10

【0052】

続いて、例えばPECVD法により、第2絶縁層17b'上に、例えばSiO₂からなる第1マスク形成層41を100nmの膜厚で形成する。次いで、例えばPECVD法により、第1マスク形成層41上にSiNからなる第2マスク形成層42を50nmの膜厚で形成し、第2マスク形成層42上に、SiO₂からなる第3マスク形成層43を50nmの膜厚で形成する。ここで、後述するように、第1マスク形成層41は、配線間絶縁膜として第2絶縁層17b'上に残存する。このため、ここでは、第1マスク形成層41がSiO₂の非多孔質膜で形成される例について説明するが、比誘電率を低減するために、第1マスク形成層41をSiO₂の多孔質膜で形成してもよい。

【0053】

続いて、図4(b)に示すように、第3マスク形成層43上に、例えば化学增幅型Arレジストを塗布した後、通常のリソグラフィー技術により、このレジストに配線溝パターンを形成することで、レジストパターンR'を形成する。

20

【0054】

次いで、図4(c)に示すように、レジストパターンR'(前記図4(b)参照)をマスクとして用いたドライエッティングにより、第3マスク形成層43(前記図4(b)参照)をエッティングして、配線溝パターンを有する第3マスク43'を形成する。その後、例えばO₂系ガスを用いたアッシング処理と有機アミン系の薬液処理を施すことにより、レジストレジストパターンR'及びエッティング処理の際に生じた残留付着物を完全に除去する。

30

【0055】

続いて、上記第3マスク43'上を含む第2マスク形成層42上に、例えば有機系材料からなる反射防止膜(BARC)44を形成し、第3マスク43'による段差を埋め込んだ後、反射防止膜44上に接続孔パターンを有するレジストパターンRを形成する。この際、レジストパターンRに設けられた接続孔パターンの少なくとも一部が、第3マスク43'の配線溝パターンの開口部内に重なるようにレジストパターンRを形成する。

【0056】

次に、図5(d)に示すように、レジストパターンR(前記図4(c)参照)をマスクに用いたドライエッティングにより、反射防止膜44(前記図4(c)参照)、第3マスク43'、第2マスク形成層42(前記図4(c)参照)、および第1マスク形成層41(前記図4(c)参照)をエッティングし、さらに第2絶縁層17b'をエッティングして、第1絶縁層17a'に達する状態の接続孔18を形成する。

40

【0057】

この際、レジストパターンRは、第2絶縁層17b'のエッティングにおいて同時に除去される。そして、このエッティングによって残存する第3マスク43'は、配線溝パターンのマスクとなる。また、第2マスク形成層42のエッティングによってパターン形成された第2マスク42'は、接続孔パターンのマスクとなる。その後、N₂/O₂系ガスを用いたエッティングにより、残存したレジストパターンRと反射防止膜44を除去する。

【0058】

次に、図5(e)に示すように、第3マスク(SiO₂)43'をエッティングマスクと

50

したドライエッティング法により、第2マスク(SiCN)42'をエッティングする。これにより、第2マスク42'が配線溝パターンのマスクとなる。また、第1マスク形成層41(前記図5(d)参照)は、接続孔パターンが形成された第1マスク41'になる。このドライエッティングにおいては、接続孔18の底部に露出する第1絶縁層17a'が途中までエッティングされて接続孔18が掘り下げられる。

【0059】

次に、図5(f)に示すように、第1マスク(SiO₂)41'をエッティングマスクにして、第1絶縁層17a'の下部層をエッティングして、接続孔18をさらに掘り下げてエッティングストッパー膜16を露出させる。この際、第3マスク(SiO₂)43'(前記図5(e)参照)と第2マスク(SiCN)42'をエッティングマスクとして、第1マスク(SiO₂)41'がエッティングされ、第1マスク41'に配線溝19が形成される。10

【0060】

続いて、図6(g)に示すように、第2マスク(SiCN)42'(前記図5(f)参照)をエッティングマスクにして、配線溝19の底部に残存する第2絶縁層17b'をエッティングする。これにより、第1マスク41'に形成された配線溝19をさらに掘り下げ、第1マスク41'と第2絶縁層17b'とに、配線溝19を形成する。

【0061】

次いで、接続孔18底部に残存しているエッティングストッパー膜16をエッティングすることにより、配線溝19の底部に開口させた接続孔18を下層配線15に連通させる。

【0062】

次に、図6(h)に示すように、第1実施形態と同一の処理条件で、層間絶縁膜17に、DMPsを用いたプラズマ処理を行う。これにより、上記ドライエッティングによりダメージを受けた配線溝19または接続孔18の側壁に付着したOH基が脱離し、層間絶縁膜17'および第1マスク41'の表面側にこれらが緻密化された緻密層(図示省略)が形成される。また、上記ガスがCを含むことで、配線溝19または接続孔18の側壁に露出したダングリングボンドが炭素含有基で終端され、緻密層が設けられた配線溝19および接続孔18の内壁を覆う状態で、第1マスク41'上に、炭素含有膜(Si_xC_y膜)からなるシール層32が0.5nm以下の膜厚で形成される。これにより、配線溝19または接続孔18の側壁に露出した層間絶縁膜17の吸湿が抑制され、層間絶縁膜17に残存した水分の脱ガスが防止される。また、接続孔18の底部の下層配線15上を覆う状態で形成されるシール層32は、このプラズマ処理の熱により下層配線15の表面側に拡散されシリサイド層Sが形成される。これにより、SM耐性およびEM耐性が向上する。2030

【0063】

なお、ここでは、第1マスク41'がSiO₂の非多孔質膜で形成されることとするが、第1マスク41'がSiO₂の多孔質膜で形成される場合には、配線溝19の側壁に露出された第1マスク41'もドライエッティングによりダメージを受け吸湿し易くなる。よって、緻密層とシール層32が設けられることで、第1マスク41'の吸湿が防止され、第1マスク41'からの脱ガスが防止される。

【0064】

この後の工程は、通常のデュアルダマシン法と同様に行う。すなわち、図6(i)に示すように、例えスパッタリング法により、配線溝19および接続孔18の内壁を覆う状態で、第1マスク41'上に例えTaからなるバリア膜20を成膜し、例え電解めっき法またはスパッタリング法により、配線溝19と接続孔18とを埋め込む状態で、バリア膜20上に例えCuからなる導電膜(図示省略)を形成する。40

【0065】

その後、CMP法により、導電膜(図示省略)およびバリア膜20のうち、配線パターンとして不要な部分とともに、シール層32と第1マスク41'の途中までを除去することで、接続孔18にヴィア21を形成するとともに配線溝19に上層配線22を形成する。これにより、下層配線15のヴィア21との界面側にシリサイド層Sが設けられた状態となる。そして、上層配線22上を含む第1マスク41'上に、例えSiCNからなる

10

20

30

40

50

エッチングストッパー膜 23 を形成する。

【0066】

この後の工程は、図4(a)～図6(i)を用いて説明した工程を繰り返すことで、デュアルダマシン構造を有する多層配線構造を形成することができる。

【0067】

以上説明した半導体装置の製造方法およびこれにより得られる半導体装置によれば、ドライエッチングにより配線溝19および接続孔18を形成した後の層間絶縁膜17'および第1マスク41'に、DMP-Sガスを用いたプラズマ処理を行うことから、配線溝19および接続孔18の側壁に付着したOH基が脱離し、層間絶縁膜17および第1マスク41'の表面側が緻密化されて緻密層31が形成される。また、配線溝19および接続孔18の側壁に露出したダンギングボンドが炭素含有基で終端されて、緻密層31の表面にSi_xC_y膜からなるシール層32が形成される。したがって、第1実施形態と同様の効果を奏すことができる。10

【0068】

なお、上記実施形態においては、図6(h)を用いて説明したように、接続孔18底部のエッチングストッパー膜16を除去し、第2絶縁層17b'に配線溝19を形成する工程の後、バリア膜20を形成する工程の前に、上記プラズマ処理を行う例について説明したが、本発明は、接続孔18または配線溝19を形成する工程の後、バリア膜20を形成する工程の前であれば、どの工程でプラズマ処理を行ってもよい。20

【0069】

例えば、図5(d)を用いて説明した第1絶縁層17a'に達する状態の接続孔18を形成する工程の後、図5(e)を用いて説明した第1絶縁層17a'の途中まで接続孔18を掘り下げる工程の前に行ってもよく、図5(e)を用いて説明した第1絶縁層17a'の途中まで接続孔18を掘り下げる工程の後、図5(f)を用いて説明した接続孔18をエッチングストッパー膜16に達するまで掘り下げる工程の前に行ってもよい。さらに、図5(f)を用いて説明した接続孔18をエッチングストッパー膜16に達するまで掘り下げ、第1マスク41'に配線溝19を形成する工程の後、図6(g)を用いて説明した接続孔18底部のエッチングストッパー膜16を除去し、第2絶縁層17b'に配線溝19を形成する工程の前で行ってもよい。また、上述した各工程の間の2工程以上で上記プラズマ処理を行い、複数回の処理を行ってもよい。30

【0070】

なお、上述した第1実施形態および第2実施形態では、層間絶縁膜17に接続孔18を先に形成した後、配線溝19を形成する例について説明したが、配線溝19を接続孔18よりも先に形成する場合であっても、本発明は適用可能である。さらに、上述した実施形態では、デュアルダマシン法による半導体装置の製造方法を例にとって説明したが、本発明はこれに限定されず、シングルダマシン法であっても、適用可能である。

【図面の簡単な説明】

【0071】

【図1】本発明の半導体装置の製造方法に係る第1実施形態を説明するための製造工程断面図(その1)である。40

【図2】本発明の半導体装置の製造方法に係る第1実施形態を説明するための製造工程断面図(その2)である。

【図3】本発明の半導体装置の製造方法に係る第1実施形態を説明するための製造工程断面図(その3)である。

【図4】本発明の半導体装置の製造方法に係る第2実施形態を説明するための製造工程断面図である(その1)。

【図5】本発明の半導体装置の製造方法に係る第2実施形態を説明するための製造工程断面図である(その2)。

【図6】本発明の半導体装置の製造方法に係る第2実施形態を説明するための製造工程断面図である(その3)。50

【図7】従来の半導体装置の製造方法を説明するための製造工程断面図である（その1）。

【図8】従来の半導体装置の製造方法を説明するための製造工程断面図である（その2）。

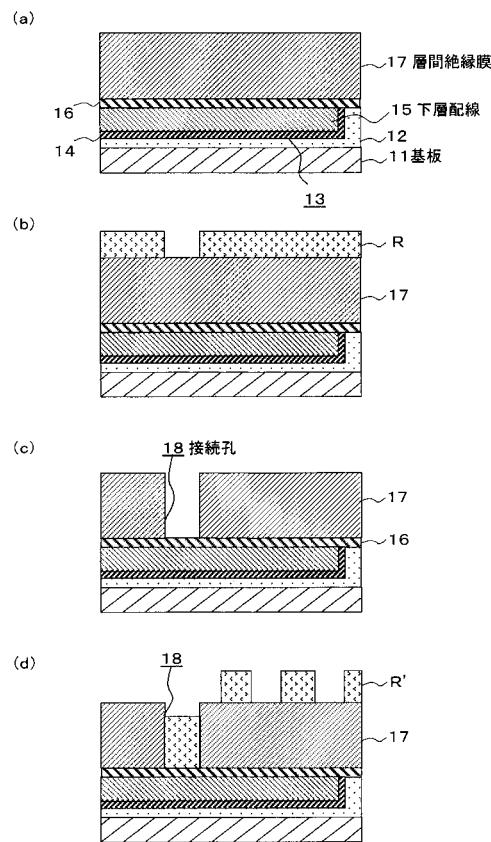
【図9】従来の半導体装置の製造方法の課題を説明するための断面図である。

【符号の説明】

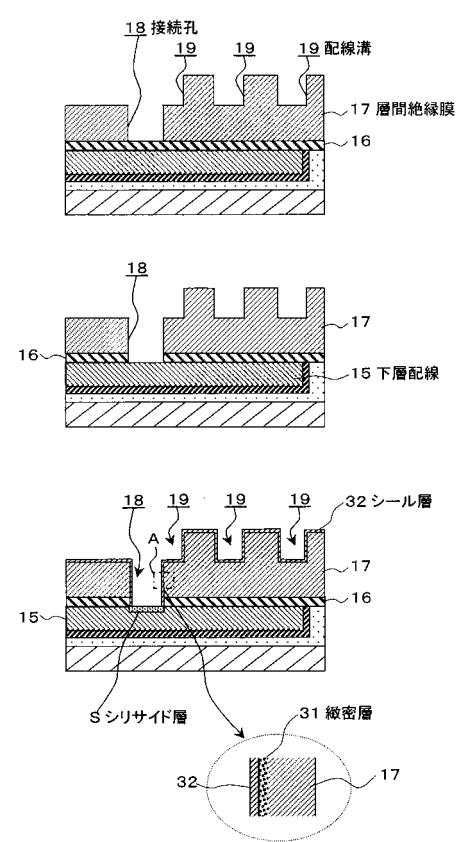
【0072】

11...基板、15...下層配線、17...層間絶縁膜、18...接続孔、19...配線溝、20...バリア膜、31...緻密層、32...シール層

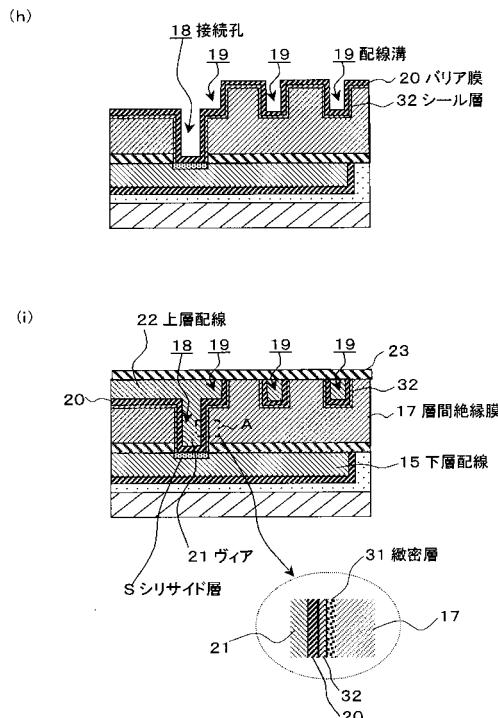
【図1】



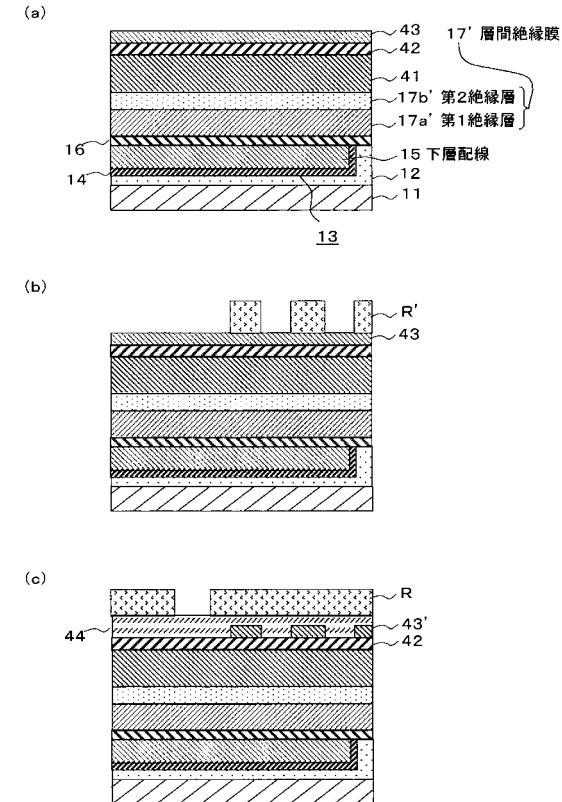
【図2】



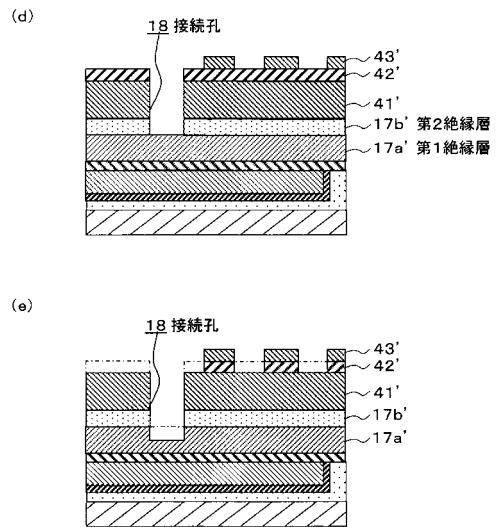
【図3】



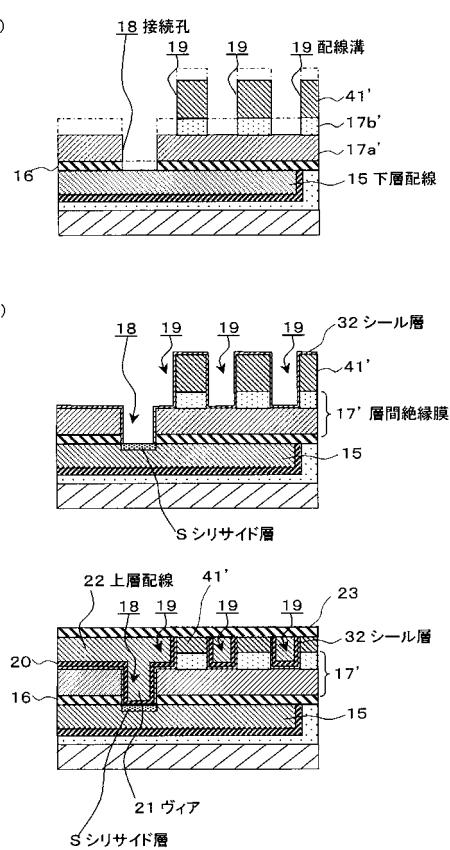
【図4】



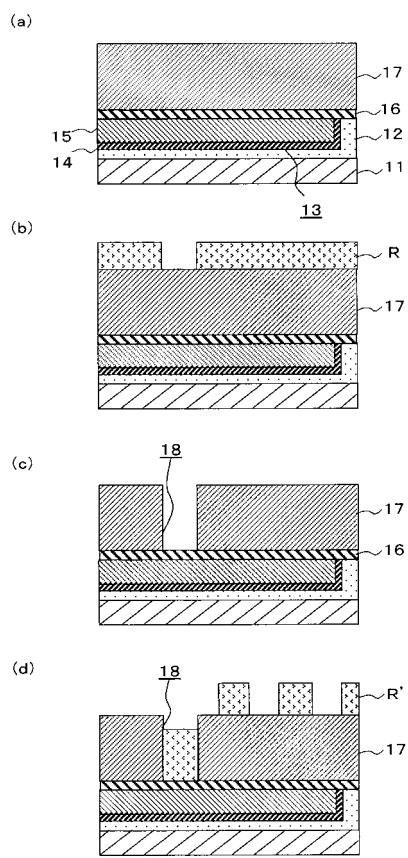
【図5】



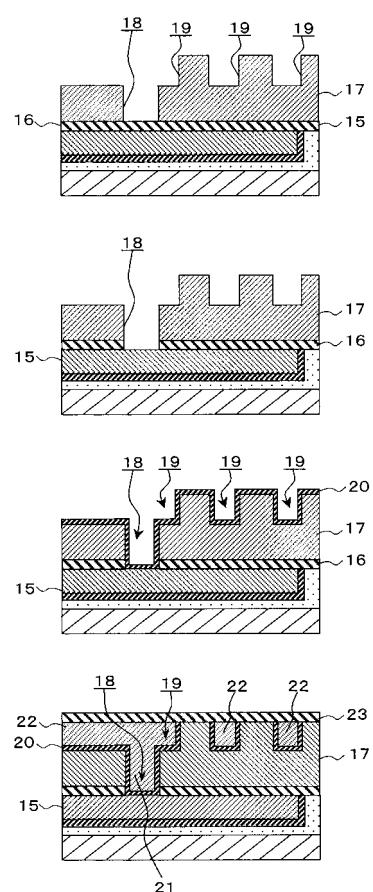
【図6】



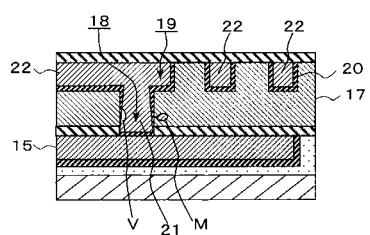
【図7】



【図8】



【図9】



フロントページの続き

F ターム(参考) 5F033 HH08 HH09 HH11 HH13 HH14 HH21 JJ01 JJ08 JJ09 JJ11
JJ13 JJ14 JJ21 KK08 KK09 KK11 KK13 KK14 KK21 KK25
MM01 MM02 MM12 MM13 NN06 NN07 PP06 PP15 PP27 QQ00
QQ04 QQ09 QQ11 QQ12 QQ25 QQ28 QQ37 QQ48 QQ70 QQ73
QQ92 RR01 RR04 RR05 RR21 RR25 RR29 SS11 SS15 SS21
TT02 TT04 TT07 XX05 XX06 XX14 XX20 XX24 XX28 XX31