



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0050898

(43) 공개일자 2015년05월11일

(51) 국제특허분류(Int. Cl.)

H01L 21/208 (2006.01)

(21) 출원번호 10-2013-0132124

(22) 출원일자 2013년11월01일

심사청구일자 2013년11월01일

(71) 출원인

부경대학교 산학협력단

부산광역시 남구 신선로 365 (용당동,
부경대학교)

(72) 발명자

장재원

부산광역시 남구 용소로 45 부경대학교 자연과학
대학 물리학과 나노공정 및 물성 연구실

이승훈

부산광역시 남구 용소로 45 부경대학교 자연과학
대학 물리학과 나노공정 및 물성 연구실

(74) 대리인

김홍석, 김등용, 문경진, 이장녕

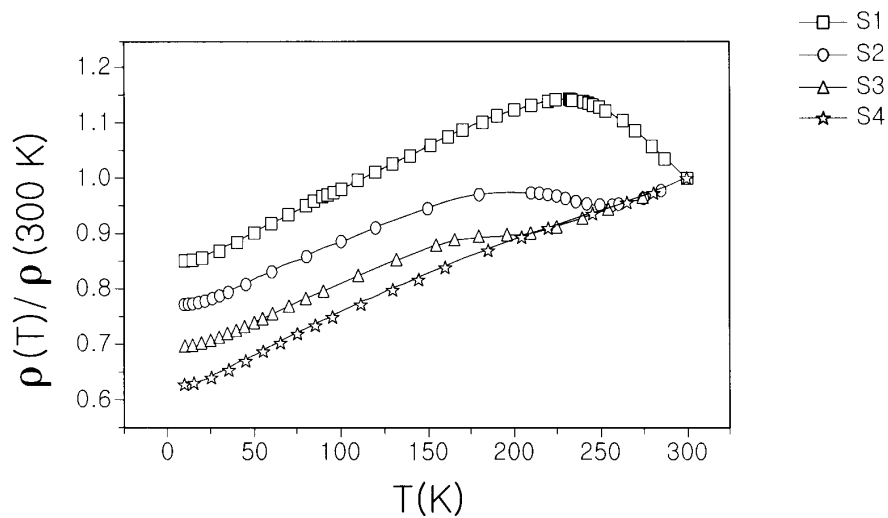
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 금속-절연체 전이가 발생하는 소자 및 제조방법

(57) 요약

본 발명의 실시예에 따른 금속-절연체 전이가 발생하는 소자 제조방법은 기판을 준비하는 단계, 기판을 금(Au)이온과 불화물(Fluoride)이 포함된 수용액에 담그는 단계 및 기판상에 금 나노구조물이 형성되는 단계를 포함하며, 수용액에 담그는 단계는 기판상에 형성되는 금 나노구조물의 표면적 비율이 45% ~ 87%가 되도록 담그는 단계를 포함한다.

대표도 - 도5



이 발명을 지원한 국가연구개발사업

과제고유번호 2012R1A1A1041394

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 일반연구자지원사업

연구과제명 나노렌즈의 근접장 초점 모임 메커니즘 규명과 기능성 나노렌즈 제작 및 응용연구

기 여 율 1/3

주관기관 부경대학교

연구기간 2012.09.01 ~ 2015.08.31이 발명을 지원한 국가연구개발사업

과제고유번호 2013K1A3A1A32035429

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 미공군협력사업

연구과제명 플라즈몬-광전기 상호작용 연구

기 여 율 1/3

주관기관 부경대학교

연구기간 2013.07.01 ~ 2016.06.30이 발명을 지원한 국가연구개발사업

과제고유번호 2013K2A2A4003362

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 MOU근거 한-일협력사업

연구과제명 선택적인 방법에 의한 밴드갭-고분자 부착 반도체 탄소나노 튜브 재료의 전기-광학적 물성
및 응용 연구

기 여 율 1/3

주관기관 부경대학교

연구기간 2013.07.01 ~ 2015.06.30

명세서

청구범위

청구항 1

기판을 준비하는 단계;

상기 기판을 금(Au)이온과 불화물(Fluoride)이 포함된 수용액에 담그는 단계; 및

상기 기판상에 금 나노구조물이 형성되는 단계를 포함하며,

상기 수용액에 담그는 단계는 상기 기판상에 형성되는 금 나노구조물의 표면적 비율이 45% ~ 87%가 되도록 담그는 단계를 포함하는 것을 특징으로 하는 금속-절연체 전이가 발생하는 소자 제조방법.

청구항 2

제1항에 있어서,

상기 기판은 p타입 실리콘 기판인 것을 특징으로 하는 금속-절연체 전이가 발생하는 소자 제조방법.

청구항 3

제1항에 있어서,

상기 수용액은 0.5M의 불화수소(HF)와 2M의 HAuCl_4 를 포함하는 것을 특징으로 하는 금속-절연체 전이가 발생하는 소자 제조방법.

청구항 4

제1항에 있어서,

상기 금 나노구조물을 형성하는 단계 이후 상기 기판을 세척하는 단계를 포함하는 금속-절연체 전이가 발생하는 소자 제조방법.

청구항 5

제1항의 방법으로 제조된 소자로서,

기판; 및

상기 기판상에 형성되는 금 나노구조물을 포함하며,

상기 소자는 온도 상승에 따라 금속특성에서 절연체특성을 갖는 소자로 전이가 발생하며,

상기 금 나노구조물은 상기 기판 표면적 대비 45% ~ 87%로 증착되는 것을 특징으로 하는 금속-절연체 전이가 발생하는 소자.

청구항 6

제5항에 있어서,

상기 기판 표면적 대비 상기 금 나노구조물의 유효 갭(gap)은 11% ~ 32%인 것을 특징으로 하는 금속-절연체 전이가 발생하는 소자.

청구항 7

제5항에 있어서,

상기 소자는 금속특성에서 절연체 특성을 갖는 소자로 전이가 발생하는 온도가 120K ~ 250K인 것을 특징으로 하는 금속-절연체 전이가 발생하는 소자.

청구항 8

제5항에 있어서,

상기 기판은 p타입 실리콘 기판이며, 두께가 655~695 μm 이며, 비저항은 15~25 Ωcm 인 것을 특징으로 하는 금속-절연체 전이가 발생하는 소자.

청구항 9

제5항 내지 제8항 중 어느 한 항의 소자를 포함하는 온도센서.

청구항 10

제5항 내지 제8항 중 어느 한 항의 소자를 포함하는 스위칭 장치.

발명의 설명

기술 분야

[0001] 본 발명은 금속-절연체 전이(MIT : Metal to Insulator Transition)가 발생하는 소자를 제조하는 방법으로서 보다 상세하게는 소자에 가해지는 온도변화에 따라 금속-절연체 전이가 발생하는 소자 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 금속-절연체 전이현상을 이용한 센서, 반도체 소자, 전기소자 등에 대한 연구가 활발히 진행되고 있다. 그러나 금속-절연체 전이현상을 이용한 소자의 경우 전이현상을 일으키는 온도범위가 협소하거나 극저온 상태에서 전이가 발생하여 사실상 응용분야가 제한된다.

[0003] 금속-절연체 전이현상이 일어나는 다양한 물질 중에 이산화바나듐(VO_2)은 전이온도가 상온근처로 센서, 반도체소자, 전기소자 등 다양한 분야에 응용이 가능하나 소자에 적용할 수 있는 충분한 물성을 갖는 이산화바나듐의 제작이 어렵고 특정 온도에서만 전이현상이 발생하는 문제점이 있다.

[0004] 또한 산화바나듐박막과 금속 바나듐 박막을 다층으로 구현하여 이산화바나듐 박막을 제작하는 방법은 열처리 공정을 수행하는 등 다층 박막을 구현하는 공정이 복잡하다.

[0005] 금속-절연체 전이현상이 발생하는 소자를 제작하기 위해 반도체 기판 위에 금속 나노구조물을 증착하는 방법으로 진공열증착(thermal evaporation), 스퍼터링(sputtering), e-beam 증착 등이 있으나 이러한 방법은 공정 수행을 위한 조건이 까다롭고, 비교적 복잡한 공정을 수행해야 하며, 고가의 장비가 동원되어야 하므로 소자제작을 위한 생산원가가 상승하는 문제가 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명이 이루고자 하는 기술적 과제는 금속-절연체 전이현상이 발생하는 온도범위가 넓고, 상온과 인접한 온도에서 금속-절연체 전이현상이 발생하는 소자를 제조하고, 비교적 단순한 공정을 통해 금속-절연체 전이현상이 발생하는 소자를 제조하는 방법 및 이 방법을 이용한 소자에 관한 것이다.

과제의 해결 수단

[0007] 본 발명의 실시예에 따른 금속-절연체 전이가 발생하는 소자의 제조방법은 기판을 준비하는 단계, 기판을 금(Au)이온과 불화물(Fluoride)이 포함된 수용액에 담그는 단계 및 기판상에 금 나노구조물이 형성되는 단계를 포함하며, 수용액에 담그는 단계는 기판상에 형성되는 금 나노구조물의 표면적 비율이 45% ~ 87%가 되도록 담그는 단계를 포함한다.

[0008] 실시예로서, 기판은 p타입 실리콘 기판일 수 있다.

[0009] 실시예로서, 금 나노구조물을 형성하는 단계 이후 기판을 세척하는 단계를 더 포함할 수 있다.

- [0010] 본 발명의 실시예에 따른 금속-절연체 전이가 발생하는 소자는 기판 및 기판상에 형성되는 금 나노구조물을 포함하며, 온도 상승에 따라 금속특성에서 절연체특성을 갖는 소자로 전이가 발생하며, 금 나노구조물은 기판 표면적 대비 45% ~ 87%로 증착된다.
- [0011] 실시예로서, 기판 표면적 대비 금 나노구조물의 유효 갭(gap)은 11% ~ 32%일 수 있다.
- [0012] 본 발명의 실시예에 따른 소자는 금속특성에서 절연체 특성을 갖는 소자로 전이가 발생하는 온도가 120K ~ 250K 일 수 있다.
- [0013] 실시예로서, 기판은 p타입 실리콘 기판이며, 두께가 655~695 μ m이며, 비저항은 15~25 Ω Cm일 수 있다.

발명의 효과

- [0014] 본 발명에 따르면 비교적 간편하게 금속-절연체 전이현상을 이용한 소자를 제작할 수 있고, 폭넓은 온도범위에서 금속-절연체 전이현상이 발생하여 적용분야가 다양하며, 상온과 인접한 온도에서 금속-절연체 전이현상이 발생하는 소자를 제작할 수 있다.

도면의 간단한 설명

- [0015] 도1(a)는 본 발명의 일실시예에 따른 금속-절연체 전이가 발생하는 소자를 제조하는 방법의 모식도이다.
- 도1(b)는 본 발명의 일실시예에 따라 제조된 소자의 단면도이다.
- 도2는 본 발명의 일실시예에 따라 제조된 소자표면의 전자현미경사진이다.
- 도3은 본 발명의 일실시예에 따라 제조된 소자에 4선 회선을 구성한 구조도이다.
- 도4는 본 발명의 일실시예에 따라 제조된 소자의 비저항값을 도시한 그래프이다.
- 도5는 본 발명의 일실시예에 따라 제조된 소자의 온도 변화에 따른 정규화된 비저항값의 변화를 도시한 그래프이다.
- 도6은 본 발명의 일실시예에 따른 p타입 반도체 기판의 비저항값을 도시한 그래프이다.
- 도7(a)는 본 발명의 일실시예에 따라 제조된 소자의 개략적인 등가회로도이다.
- 도7(b)는 본 발명의 일실시예에 따라 제조된 소자의 저온에서의 개략적인 등가회로도이다.

발명을 실시하기 위한 구체적인 내용

- [0016] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시 예들에 대해서 특정한 구조적 또는 기능적 설명은 단지 본 발명의 개념에 따른 실시 예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시 예들은 다양한 형태들로 실시될 수 있으며 본 명세서에 설명된 실시 예들에 한정되지 않는다.
- [0017] 본 발명의 개념에 따른 실시 예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시 예들을 도면에 예시하고 본 명세서에서 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시 예들을 특정한 개시 형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물, 또는 대체물을 포함한다.
- [0018] 어떤 구성 요소가 다른 구성 요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성 요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성 요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성 요소가 다른 구성 요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는 중간에 다른 구성 요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성 요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0019] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로서, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 본 명세서에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구

성 요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

이하, 본 명세서에 첨부된 도면들을 참조하여 본 발명의 실시 예들을 상세히 설명한다.

본 발명인 금속-절연체 전이가 발생하는 소자를 제조하는 방법은 먼저, 기판을 준비하는 단계, 기판을 금(Au)이온과 불화물(Fluoride)이 포함된 수용액에 담그는 단계 및 기판상에 금 나노구조물이 형성되는 단계를 포함한다. 특히 수용액에 담그는 단계는 기판상에 형성되는 금 나노구조물의 표면적 비율이 45%~87%가 되도록 담그는 단계를 포함한다.

여기서 기판은 p타입 실리콘 기판일 수 있으나 반드시 이에 제한되는 것은 아니다.

도1(a)는 본 발명의 일실시예에 따른 금속-절연체 전이가 발생하는 소자를 제조하는 방법의 모식도이다.

도1(a)에 도시된 바와 같이 p타입 실리콘 기판을 금이온(Au^{3+})/불화수소(HF)를 포함하는 수용액에 담가 기판 표면을 수용액에 노출시킨다. 수용액은 0.5M의 불화수소(HF)와 2M의 $HAuCl_4$ 를 포함할 수 있다. 실리콘 기판은 붕소(B)가 도핑된 655~695 μm 의 두께를 갖고, 비저항이 15~25 Ωm 인 기판일 수 있다. 수용액에 담긴 실리콘 기판은 표면에서 산화가 일어나고 실리콘 기판 표면에 있는 Si는 플루오르와 결합되어 SiF_6^{2-} 을 형성한다. 또한 수용액 상에 형성된 전자는 금이온과 결합, p타입 실리콘 기판 위에 증착되고 실리콘 기판 위에 금 나노구조물을 형성한다.

금속-절연체 전이가 발생하는 온도를 조절하기 위해 p타입 실리콘 기판을 수용액 담가 기판 표면에 증착되는 금 나노구조물의 전체 표면적 대비 표면적 비율을 제어함으로써 다양하게 금속-절연체 전이 온도 조절이 가능하다.

도1(b)는 본 발명의 일실시예에 따라 제조된 소자의 단면도이다.

앞서와 같은 금속-절연체 전이가 발생하는 소자의 제조방법에 의해서 결과적으로 도1(b)에 도시된 바와 같이 p타입 실리콘 기판 위에 금 나노 구조물이 형성된다.

도2는 본 발명의 일실시예에 따라 제조된 소자표면의 전자현미경사진이다.

도2에 도시되어 있는 P1은 실리콘 기판의 표면이 수용액에 노출된 시간이 1분인 때의 소자표면 사진이고, P2는 실리콘 기판의 표면이 수용액에 노출된 시간이 약 1분 내외인 때의 소자표면 사진이며, P3은 4분, P4는 3분 동안 수용액에 노출된 때 소자표면 사진이다. P1 ~ P4를 살펴보면 실리콘 기판 표면에 형성된 금 나노구조물의 형태가 변화하였음을 확인할 수 있으며, 수용액에 실리콘 기판이 노출된 시간에 비례하여 증착되는 금 나노구조물의 표면적 비율이 증가하는 것은 아니다.

전체표면대비 금 나노구조물의 면적%와 유효 갭 %는 아래 표 1과 같다.

표 1

구분	금 표면적 %(전체 표면적대비)	유효 갭 %
P1	49.57	31.58
P2	71.90	19.89
P3	84.13	16.10
P4	86.22	12.52

실리콘 기판의 전체 표면적 대비 금 나노구조물의 면적비가 수용액에 노출되는 시간이 길어질수록 증가함을 확인할 수 있으며, 유효 갭은 점점 줄어들고 있음을 확인할 수 있다. 여기서 유효 갭이란 (갭의 갯수) $\times$ (갭 사이의 거리비)로 정의된다.

본 발명의 일실시예에 따라 제조된 소자의 표면특성(금 나노구조물의 표면적 비율)은 실리콘 기판의 표면을 수

용액에 노출시키는 시간, 수용액의 농도, 온도 등에 따라 다양하게 변화시킬 수 있다.

- [0035] 즉 본 발명의 일실시예에 따른 방법으로 금속-절연체 전이특성을 갖는 소자를 제작할 경우 수용액에 기판을 담그는 비교적 단순한 공정을 통해 소자를 제작할 수 있으며, 기판의 표면에 증착되고 다양한 구조로 구현되는 금 나노구조물의 표면비율에 따라 금속 절연체 전이온도를 바꿀 수 있다. 또한 p타입 실리콘 기판의 비저항을 조절함으로써 금속 절연체 전이온도를 바꿀 수 있다.
- [0036] 이하 본 발명의 일실시예에 따른 제조방법으로 제조된 소자의 특성에 대해서 살펴본다.
- [0037] 도3은 본 발명의 일실시예에 따라 제조된 소자에 4선 회선을 구성한 구조도이다.
- [0038] 도3에 도시된 바와 같이 4개의 은선 전극을 소자 표면에 연결한다. 내부의 2개 은선 전극은 출력 전압채널(V_+ , V_-)로 사용되고, 외부의 2개 은선 전극은 입력 전류채널(I_+ , I_-)로 사용된다.
- [0039] 도4는 본 발명의 일실시예에 따라 제조된 소자의 비저항값을 도시한 그래프이다.
- [0040] 이하 설명의 편의상 반도체 기판상에 형성된 금 나노구조물의 구조에 따라 S1(도2의 P1), S2(도2의 P2), S3(도2의 P3), S4(도2의 P4)를 명명하도록 한다.
- [0041] 도3과 같은 4선 회선구조 즉 4 point probing 방식의 반 데르 포 법칙(Van der pauw technique)을 이용하여 소자의 저항을 측정하면 도4에 도시된 그래프와 같이 10K에서 300K로 온도가 증가함에 따라 비저항 값의 변화는 미미하나, S1, S2, S3, S4로 명명된 실리콘 기판상에 형성되어 있는 금 나노구조물의 구조차이에 따라서 소자의 비저항값($\rho(T)$)이 서로 다를 수 있음을 확인할 수 있다. 즉 소자의 비저항값($\rho(T)$)은 $S1 > S2 > S3 > S4$ 의 관계가 된다.
- [0042] 이처럼 실리콘 기판상에 형성되어 있는 금 나노구조물의 면적이 증가할수록 비저항값이 감소한다는 것은 금 나노구조물이 금속의 특성을 갖는다는 점에서 예상이 가능하다.
- [0043] 도5는 본 발명의 일실시예에 따라 제조된 소자의 온도 변화에 따른 정규화된 비저항값의 변화를 도시한 그래프이다.
- [0044] 소자의 저항값($\rho(T)$)을 300K에서의 비저항값($\rho(300K)$)으로 정규화하여 온도변화에 따른 소자의 정규화값($\rho(T)/\rho(300K)$)의 변화를 살펴보면, S1의 경우 온도가 증가함으로서 10K에서 약 240K까지 선형적으로 정규화값이 증가하였다. 약 240K를 지나 온도가 상승하면 소자의 정규화값은 감소한다. S2의 경우 온도가 증가함으로서 10K에서 약 220K까지 선형적으로 정규화값이 증가하고, 약 220K를 지나 온도가 상승하면 소자의 정규화값은 감소한다. S3은 10K에서 약 200K에서 선형적으로 정규화값이 증가하고, S4는 10K에서 약 150K까지 선형적으로 정규화값이 증가한다.
- [0045] 이와 같이 본 발명의 일실시예에 따라 제조된 소자는 온도가 증가함으로서 정규화값이 선형적으로 증가하다가 특정 온도에서 급격하게 감소한다. 이러한 소자의 특성으로 미루어 보아 온도가 증가함으로서 비저항값이 증가하는 금속의 특성이 특정온도(변곡점에서의 온도)에 다다르면 온도가 증가함으로서 비저항값이 지수함수형태로 감소하는 비금속(절연체)의 특성으로 변화되었음을 확인할 수 있다.
- [0046] 도5에 도시된 보다 정확한 변곡점 온도는 아래 표2와 같다

표 2

금 나노구조물의 구조	금 표면적 %(전체 표면적대비)	변곡점 온도
S1	9.57	232K
S2	1.90	215K
S3	4.13	196K
S4	6.22	145K

- [0048] 본 발명의 일실시예에 따른 방법으로 제조된 소자는 비교적 단순한 공정을 통해 제작이 가능할 뿐만 아니라 금속에서 절연체 특성으로 변하는 온도(변곡점 온도)가 145K ~ 232K로 폭넓은 범위를 갖는다.
- [0049] 이하 본 발명의 일실시예에 따라 제조된 소자의 금속-절연체 전이현상이 발생하는 매커니즘에 대해서 이중모델(Two-layer model)과 도6, 도7(a), 도7(b)을 참고하여 설명한다.
- [0050] 도6은 본 발명의 일실시예에 따른 p타입 반도체 기판의 비저항값을 도시한 그래프이다.

- [0051] 도7(a)는 본 발명의 일실시예에 따라 제조된 소자의 개략적인 등가회로도이다.
- [0052] 도7(b)는 본 발명의 일실시예에 따라 제조된 소자의 저온에서의 개략적인 등가회로도이다.
- [0053] 도6에 도시된 그래프에 의하면 p타입 반도체 기판은 온도가 증가할수록 비저항값이 감소하는 특성을 갖는다. 이러한 특성은 일반적인 절연체(비금속) 특성임은 앞서 언급한 바와 같다.

[0054] 도1(b)에 도시된 소자의 단면도를 통해 등가회로를 구성할 경우 도7(a)에 도시된 바와 같다. 즉 앞선 본 발명의 일실시예인 금속-절연체 전이가 발생하는 소자 제조방법에 의해서 제조된 소자는 p타입 실리콘 기판과 금 나노구조물 사이에 옴릭컨택(Ohmic contact)을 형성한다. 결국 p타입 실리콘 기판의 저항(R_{p-Si})과 금 나노구조물의 저항(R_{Au})이 병렬로 연결된 것과 같은 등가회로를 도7(a)와 같이 구성할 수 있다. 이때 다른 외부 요소를 제거하기 위해 저항을 비저항값으로 대체하면, 소자 전체의 비저항값($\rho(T)$)을 계산하는 공식은 아래 수학식 1과 같다.

수학식 1

$$\frac{1}{\rho(T)} = \frac{1}{\rho_{Au}(T)} + \frac{1}{\rho_{p-Si}(T)}$$

[0055]

[0056] 수학식 1에서 $\rho(T)$ 는 소자의 비저항값이고, $\rho_{Au}(T)$ 는 금 나노구조물의 비저항값이며, $\rho_{p-Si}(T)$ 는 p타입 실리콘 기판의 비저항값이다.

[0057] 도6에 도시된 바와 같이 저온에서 $\rho_{p-Si}(T)$ 의 값이 큰 경우 위 수학식 1에서의 $1/\rho_{p-Si}(T)$ 은 0에 가깝고 $\rho(T)$ 에 영향을 미치지 않는다. 결국 도7(b)에 도시된 바와 같이 소자의 비저항값 아래 수학식 2와 같고, 소자는 금속인 금 나노구조물의 특성과 같이 온도가 증가함으로서 선형적으로 비저항값이 증가하는 금속 특성을 갖는다.

수학식 2

$$\rho(T) = \rho_{Au}(T)$$

[0058]

[0059] 그러나 도6에 도시된 바와 같이 온도가 상승하여 $\rho_{p-Si}(T)$ 이 작아지게 되면 수학식 1에서 p타입 실리콘 기판의 비저항값($\rho_{p-Si}(T)$)이 소자의 비저항값인 $\rho(T)$ 에 영향을 미치게 되고 도7(a)에 도시된 바와 같이 금 나노구조물의 저항과 p타입 실리콘 기판의 저항이 병렬로 연결된 구조가 된다. 결국 온도가 증가함으로서 비저항값($\rho(T)$)이 선형적으로 증가하던 소자의 금속특성은 특정온도(변곡점 온도)에 도달하면 p타입 실리콘 기판의 비저항값이 소자의 비저항에 영향을 미치게 되어 절연체(비금속)의 특성을 갖는 소자로 전환된다.

[0060] 온도가 상승하여 소자의 특성이 절연체(비금속) 특성으로 전환될 때 소자의 비저항값은 수학식 3과 같다.

수학식 3

$$\rho(T) = \frac{\rho_{Au}(T) \times \rho_{p-Si}(T)}{\rho_{Au}(T) + \rho_{p-Si}(T)}$$

[0061]

[0062] 수학식 2과 같이 온도가 상승함으로서 비저항값이 선형적으로 상승하던 소자의 금속특성은 변곡점 온도에서 수학식 3과 같이 선형성을 상실하게 되어 절연체(비금속)특성으로 전환된다.

[0063] 결국 본 발명의 일실시예에 따른 금속-절연체 전이가 발생하는 소자의 제조방법은 실리콘 기판을 금이온을 포함하고 있는 수용액에 노출시키는 간단한 공정으로 구현이 가능하고 특히 실리콘 기판 표면에 증착되는 금 나노구조물의 구조를 제어함으로서 금속-절연체 전이가 발생하는 온도를 조절할 수 있는 소자를 제조하는 방법이다. 더불어 본 발명의 일실시예에 따라 제조된 소자는 비교적 넓은 온도범위에서 금속-절연체 전이가 발생하므로 활

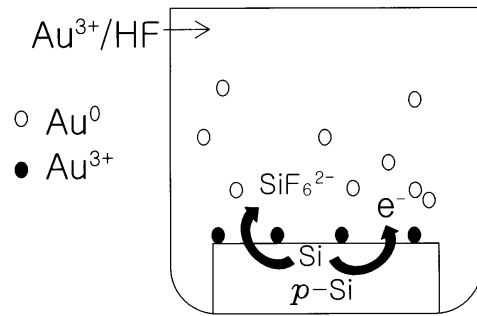
용도가 높다.

[0064]

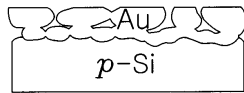
본 발명의 일실시예에 따라 제조된 소자는 온도에 따라 전기특성이 변하기 때문에 온도센서 및 스위칭 소자에 적용이 가능하다. 다만 본 발명의 일실시예에 따라 제조된 소자는 반드시 온도센서 및 스위칭 소자에만 적용이 제한되는 것이 아니다.

도면

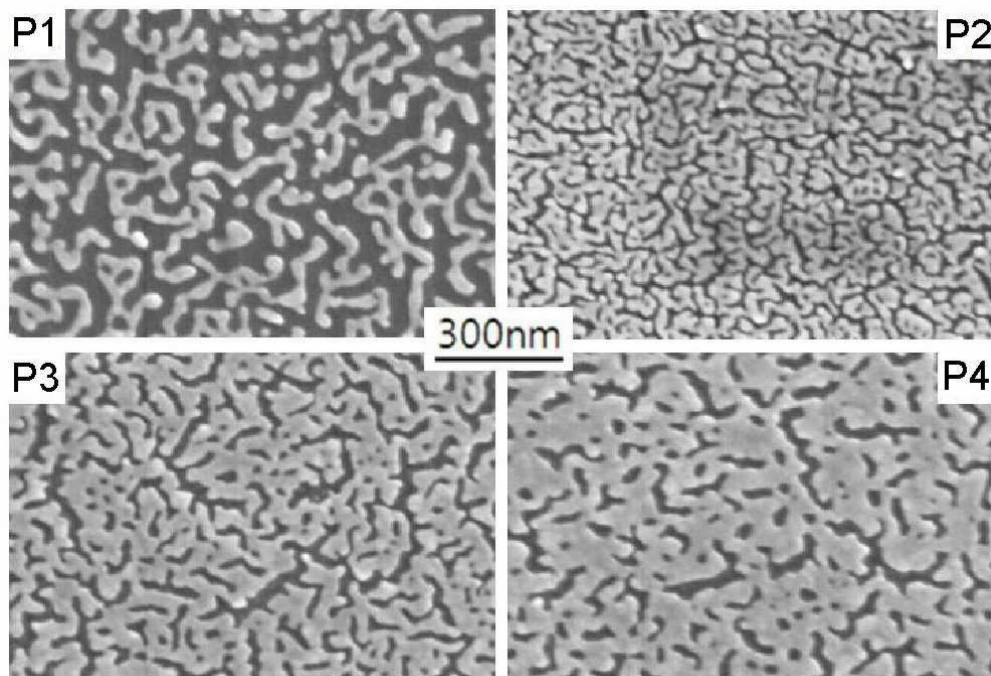
도면1a



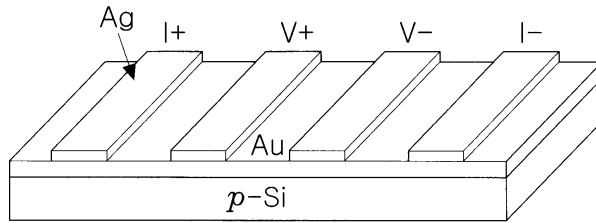
도면1b



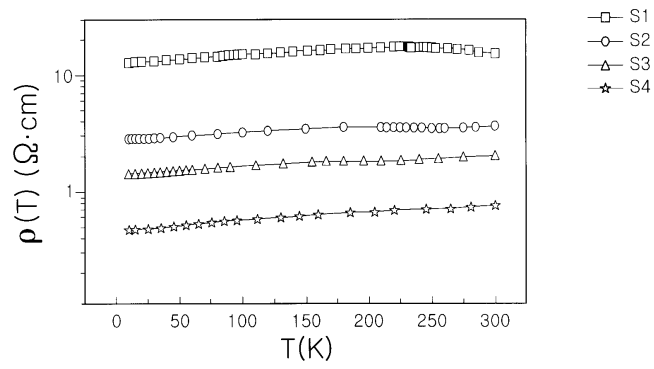
도면2



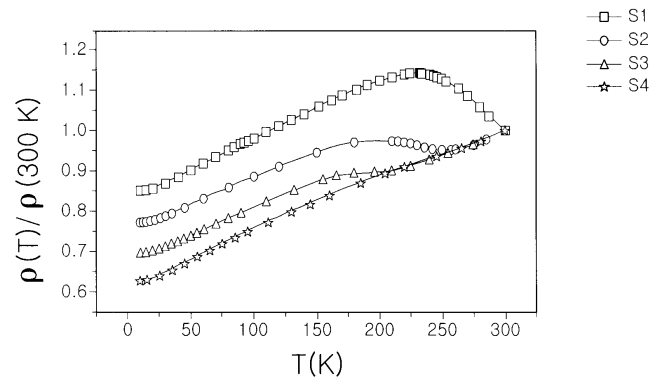
도면3



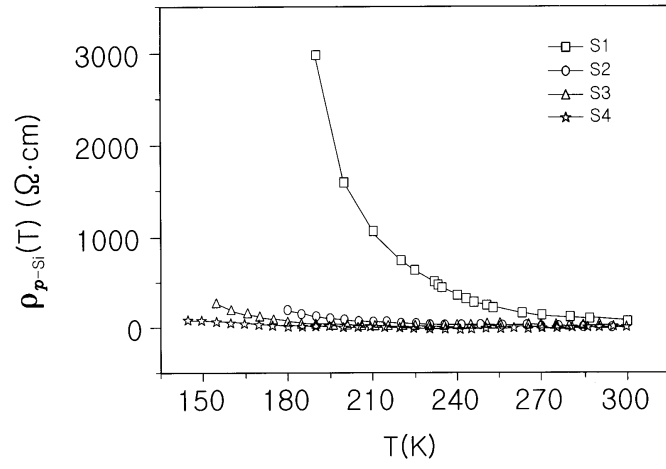
도면4



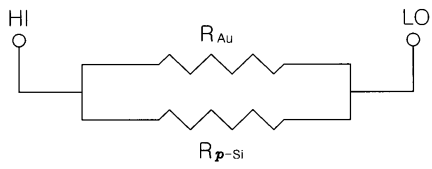
도면5



도면6



도면7a



도면7b

