

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4402109号
(P4402109)

(45) 発行日 平成22年1月20日(2010.1.20)

(24) 登録日 平成21年11月6日(2009.11.6)

(51) Int.Cl. F I
 HO 1 L 21/822 (2006.01) HO 1 L 27/04 H
 HO 1 L 27/04 (2006.01) HO 1 L 27/06 3 1 1 C
 HO 1 L 27/06 (2006.01)

請求項の数 2 (全 9 頁)

(21) 出願番号	特願2006-503295 (P2006-503295)	(73) 特許権者	504199127
(86) (22) 出願日	平成16年2月4日(2004.2.4)		フリースケール セミコンダクター イン
(65) 公表番号	特表2006-517350 (P2006-517350A)		コーポレイテッド
(43) 公表日	平成18年7月20日(2006.7.20)		アメリカ合衆国 78735 テキサス州
(86) 国際出願番号	PCT/US2004/003094		オースティン ウィリアム キャノン
(87) 国際公開番号	W02004/073023		ドライブ ウエスト 6501
(87) 国際公開日	平成16年8月26日(2004.8.26)	(74) 代理人	100116322
審査請求日	平成19年2月2日(2007.2.2)		弁理士 桑垣 衛
(31) 優先権主張番号	10/361,469	(72) 発明者	ベアード、マイケル
(32) 優先日	平成15年2月10日(2003.2.10)		アメリカ合衆国 85225 アリゾナ州
(33) 優先権主張国	米国 (US)	(72) 発明者	アイダ、リチャード ティ.
			アメリカ合衆国 85248 アリゾナ州
			チャンドラー ダブリュ. ミード コー
			ト 1931

最終頁に続く

(54) 【発明の名称】 低電圧NMOS型静電気放電クランプ

(57) 【特許請求の範囲】

【請求項1】

抵抗体及びpウェルを接続する構成のトランジスタであって、
 基板と、
 基板内の絶縁構造と、
 絶縁構造に隣接する絶縁層と、
 絶縁層及び絶縁構造に隣接するウェルと、
 ウェル内の第1不純物領域と、
 ボディを制御する第1不純物領域に隣接する第1電極取出し部と、
 ウェル内の第2不純物領域と、
 ソースを画定する第2不純物領域に隣接する第2電極取出し部と、前記ソースは接地に
 接続されていることと、
 ウェルに隣接する誘電体層と、
 ゲートを画定する誘電体層に隣接する第3電極取出し部と、
 ウェル内の第3不純物領域と、
 ドレインを画定する第3不純物領域に隣接する第4電極取出し部と、前記ドレインは保
 護されている回路のノードに接続されていることと、
 第1電極取出し部と第2電極取出し部との間に接続される抵抗性素子とを備えるラン
 ジスタ。

【請求項2】

第1端子が入力/出力パッドに接続され、かつ第2端子が接地端子に接続される構成の、少なくとも2つの端子を有する回路を保護する静電気保護回路であって、静電気保護回路は、抵抗体及びpウェルを接続する構成のトランジスタを備え、このトランジスタは前記抵抗体からなる抵抗性素子、ゲート、ならびに、前記pウェルを備えるボディ、及び該pウェルと逆の導電型を有するドレイン及びソースを有し、

ドレインは入力/出力パッドに接続され、

ソースは接地端子に接続され、

ゲートはソースに接続され、

前記ボディの取り出し電極と前記ソースとの間に前記抵抗性素子を接続する、静電気保護回路。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は概して半導体分野に関する。特に、本発明は低電圧静電気放電クランプに関する。

【背景技術】

【0002】

静電気放電(ESD)はほとんどの種類の集積回路にとって信頼性上重要な現象である。コアの回路部分を保護するために、回路設計者は回路に並列接続されて入力/出力(I/O)パッドを接地に接続する構成の保護素子を使用することができる。しかしながら、低いクランプ電圧を維持しつつ大きなESD電流をコアの回路に影響しないように逃がすことができ、占有面積がかなり小さく、かつ既存のICプロセス技術を利用することができるESD保護素子を実現することは特に難しい作業である。

20

【0003】

ESD保護素子は寄生動作を行ない、かつ負荷の掛かる領域を最小限に抑えつつ大きな保護機能を提供する必要がある。更に、ESD保護素子は、大きく、かつ保護素子自体の面積通りの大きさの素子故障電流(保護素子が不良に至る電流)を示す必要がある。

【0004】

回路をESDから保護するための手法が十分なものとなっていないのは、ボディが浮遊電位となる構成のnチャネル金属酸化物半導体(NMOS)素子を使用するからである。ボディが浮遊電位となる構成のNMOSTランジスタは、ESDクランプとして、かつ大概は良好なESD保護として使用することができる。しかしながら、この技術には、大きな直流電流(DCリーク)が流れ、そしてラッチアップに対して非常に弱いという問題がある。NMOSTランジスタの場合、例えばDCリークはドレインからソースに流れる不所望な電流となって現われる。ラッチアップは、例えばNMOSが形成する寄生サイリスタ構造及びこの構造の隣接素子に何かの拍子でトリガーが掛かってこれらの構造及び素子が動作すると生じる。

30

【0005】

従って、DCリークが小さく、かつラッチアップ耐性の高い良好なESD保護特性を示す素子が必要になる。

40

【発明を実施するための最良の形態】

【0006】

本発明及び本発明の種々の特徴及び利点について、添付の図に例示され、次の記述に詳細が示され、かつ本発明を制限しない実施形態を参照しながら更に完全な形で説明する。公知の出発材料、処理技術、構成要素、及び機器に関する記述は、本発明の細部が不必要に不明瞭にならないようにするために省略する。しかしながら、本発明の特定の実施形態を示しながら、詳細な記述及び特定の実施例を例示のためにのみ提供するのであって、本発明を制限するために提供するのではないことを理解されたい。この技術分野の当業者には本開示から、種々の置き換え、変更、追加、及び/又は再構成を本発明の重要なコンセプトに示される技術思想及び/又は技術範囲から逸脱しない範囲において為し得ることが

50

明らかになるものと考えられる。

【0007】

本発明の一の態様によれば、一の方法において、回路を静電気放電から保護するが、この保護は、抵抗体 - pウェル接続 (resistor p-well connected: 抵抗及びpウェルを接続する構成) 型トランジスタを入力/出力パッド及び接地に、回路に並列になるように接続することにより行われる。

【0008】

本発明の別の態様によれば、抵抗体 - pウェル接続型トランジスタは、基板、基板内の絶縁構造、絶縁構造に隣接する絶縁層、絶縁層及び絶縁構造に隣接するウェル、ウェル内の第1不純物領域、ボディを制御する第1不純物領域に隣接する第1電極取出し部、ウェル内の第2不純物領域、ソースを画定する第2不純物領域に隣接する第2電極取出し部、ウェルに隣接する誘電体層、ゲートを画定する誘電体層に隣接する第3電極取出し部、ウェル内の第3不純物領域、ドレインを画定する第3不純物領域に隣接する第4電極取出し部、及び第1電極取出し部と第2電極取出し部との間に接続される抵抗素子を含む。

10

【0009】

本明細書の一部を構成する添付の図は本発明の幾つかの態様を示すために提供される。本発明に関する、かつ本発明が備えるシステムの構成要素及び動作に関するコンセプトは、例示の、従って制限的ではない図示の実施形態を参照することにより一層容易に理解でき、かつ一層明確になる。これらの図においては、同様の参照番号(これらの番号が複数の図に渡って現われる場合)は同じ、または同様な構成要素を指す。本発明についての理解は、これらの図の一つ以上を本明細書の記述に関連付けながら参照することにより一層深まる。ここで、図に示す形状は必ずしも寸法通りには描かれていないことに留意されたい。

20

【0010】

図1を参照すると、先行技術によるESD保護システム100の組合せ回路及びブロック図が示される。ボディ102、ゲート103、ソース104、及びドレイン105を有するフローティングボディ型トランジスタ(またはクランプ)101は、I/Oパッド110にドレイン105を通して、そして接地120にソース104を通して接続される。ゲート103はソース104に接続される。回路または回路コア130はドレイン105に、そしてソース104に、フローティングボディ型トランジスタ101に並列になるように接続される。

30

【0011】

フローティングボディ型トランジスタ101はnチャネル金属酸化物半導体(NMOS)トランジスタまたは接合絶縁構造のNMOSTランジスタ(isolated NMOS transistor)などとすることができる。ボディ102はフローティング(浮遊)である、すなわちボディの取出し部の電圧が不定である。

【0012】

動作状態においては、フローティングボディ型トランジスタ101は、このトランジスタが寄生の横方向NPNトランジスタ動作を示すので(電圧を固定する)クランプとして機能することができる。フローティングボディ型トランジスタはブレークダウンモードにおいてバイポーラ接合トランジスタ(bipolar junction transistor:BJT)として動作し、このモードのBJTは通常、非常に大きな電流をその低い「オン」抵抗によって流すことができるので、合計消費電力を小さくすることができる。理想的には、ESDが生じている間は、回路130に損傷が生じる前にフローティングボディ型トランジスタ101がオンする(トランジスタが導通する)。フローティングボディ型トランジスタ101は通常の回路動作の間はオフしている(非導通である)。

40

【0013】

図2を参照すると、本発明の例示としての実施形態によるESD保護システム200の組合せ回路及びブロック図が示される。ボディ202、ゲート203、ソース204、及びドレイン205を有するESD保護トランジスタ(またはクランプ)201は、I/O

50

パッド110にドレイン205を通して、そして接地端子120にソース204を通して接続される。ゲート203はソース204に接続される。ボディ202はソース204に抵抗体206を通して接続される。回路130はドレイン205に、そしてソース204に、ESD保護トランジスタ201に並列になるように接続される。実際には、ESD保護トランジスタ201は「オンチップ(on-chip)」とすることができる、すなわち回路130と同じ半導体基板に形成することができる。

【0014】

一の実施形態では、ESDクランプ201は、抵抗体-pウェル接続型(resistor p-well connected)トランジスタ201とすることができる抵抗体-pウェル連結型(resistor p-well tied: RPWT)トランジスタ201とも呼ぶ。RPWTトランジスタ201はRPWTnチャネル金属酸化物半導体(NMOS)トランジスタまたは接合絶縁構造のRPWTNMOSTランジスタなどとすることができる。

10

【0015】

別の実施形態では、ESDクランプ201は、抵抗体-nウェル接続型(resistor n-well connected)トランジスタ201とすることができる。抵抗体-nウェル接続型トランジスタ201はpチャネル金属酸化物半導体(PMOS)トランジスタまたは絶縁PMOSTランジスタなどとすることができる。

【0016】

動作状態においては、RPWTトランジスタ201はNPN接合トランジスタと見なすことができる。寄生の横方向NPN動作プロセスが「オン」すると、ドレイン205がコレクタとして機能し、ソース204がエミッタとして機能し、そしてボディ202がベースとして機能するので、回路130を有効に保護することができる。ESD電流がRPWTトランジスタ201を、I/Oパッド110から接地120に流れる。NPNトランジスタの動作はこの技術分野の当業者に公知である。RPWTトランジスタ201が「オフ」すると、抵抗体206がドレイン205からソース204に向かう直流リーク電流を小さくすることができ、かつRPWTトランジスタ201がラッチアップするのを防止することができる。

20

【0017】

本発明においては、抵抗性素子をクランプ201のボディ202とソース204との間に接続する。一の実施形態では、抵抗体206を抵抗性素子として使用することができる。別の実施形態では、トランジスタまたはスイッチを抵抗性素子として使用することができる。

30

【0018】

図3を参照すると、本発明の例示としての実施形態によるESD保護システム250の組合せ回路及びブロック図が示される。スイッチ207は、例えばNMOSTランジスタとすることができる。本実施形態では、スイッチのドレイン208はESDクランプ201のボディ202に接続され、スイッチのソース209はESDクランプ201のソース204に接続され、そしてスイッチのゲート210は電圧源 V_{DD} に接続される。一の実施形態では、電圧源 V_{DD} は回路コア130が使用する電源と同じである。

40

【0019】

動作状態においては、電圧源 V_{DD} がオンすると、スイッチ207は低抵抗(オン状態)を示す。電圧源 V_{DD} がオフすると、スイッチ207は高抵抗(オフ状態)を示す。このようにスイッチ207は、電源がオフすると抵抗として有効に機能する。この技術分野の当業者が本開示を一読することにより理解することであるが、ESD現象は、電源がオフし、回路を人が触って扱うときに生じ易い。

【0020】

図4を参照すると、本発明の例示としての実施形態による接合絶縁構造のRPWTNMOSTランジスタ(またはクランプ)300の断面が示される。p基板302はnウェルリング303に、かつn型不純物層304に隣接する。nウェルリング303及びn型不

50

純物層 304 によって p ウェル 305 が p 基板 302 から絶縁される。p + 領域 306、第 1 n + 領域 307、及び第 2 n + 領域 308 は p ウェル 305 に隣接する。

【0021】

第 1 電極取出し部 309 は、ボディ 202 を制御する p + 領域 306 に隣接する。第 2 電極取出し部 311 は、ソース 204 を形成する第 1 n + 領域 307 に隣接する。第 1 電極取出し部 309 は、第 2 電極取出し部 311 に抵抗体 317 を通して接続される。誘電体層 313 は p ウェル 305 に、かつ第 1 及び第 2 n + 領域 307、308 に隣接する。誘電体層 313 はまた、ゲート 203 を制御する第 3 電極取出し部 314 に隣接する。一の実施形態では、誘電体層 313 は二酸化シリコン層 (SiO₂) とすることができる。第 3 電極取出し部 314 は第 2 電極取出し部 311 に隣接し、この取出し部 311 はゲート 203 をソース 204 に直接接続する。第 4 電極取出し部 315 は、ドレイン 205 を画定する第 2 n + 領域 308 に隣接する。

10

【0022】

一の実施形態では、n ウェルリング 303 は、例えばディープトレンチアイソレーション構造のような別の絶縁構造に置き換えることができる。別の実施形態では、第 1、第 2、第 3 及び第 4 電極取出し部 309、311、314、315 は金属取出し部とすることができる、または例えばポリシリコンのような他のどのような導電材料によっても作製することができる。

【0023】

接合絶縁構造の RPWTNMOSTランジスタ 300 は、例えば図 2 に示す ESD 保護システム 200 の RPWTランジスタ 201 として使用することができる。一の実施形態では、抵抗体 317 は p ウェル 305 の内部に設ける (p ウェル 305 それ自体の一部とする) ことができる。

20

【0024】

接合絶縁構造の RPWTNMOSTランジスタ 300 が「オン」すると、電子なだれ (アバランシェ増倍現象) がドレイン接合を逆バイアスすることにより生じ、ホールがドリフトしてボディ電位を高くし、そしてソース - p ウェルにより形成されるダイオードが順バイアスされてソース 204 が NPN トランジスタのエミッタとして機能し、ボディ 202 が NPN トランジスタのベースとして機能し、そしてドレイン 205 が NPN トランジスタのコレクタとして機能する。接合絶縁構造の RPWTNMOSTランジスタ 300 が「オフ」すると、抵抗体 317 によってドレイン 205 からソース 204 に流れる DC リーク電流を小さくすることができ、かつランジスタ 300 がラッチアップするのを防止することができる。

30

【0025】

図 5 を参照すると、図 2 または図 3 に詳細が示されるような RPWT クランプのトランスミッションラインパルス (TLP: 幅の狭い安定した矩形波パルス) 曲線 402 特性が、図 1 に詳細が示されるような先行技術によるクランプの TLP 曲線 401 特性と比較される形で示され、この図によって本発明の一の態様が分かる。縦軸は ESD 保護素子を流れる ESD 電流をミリアンペアで示す。横軸は保護素子の両端に掛かる電圧をボルトで示す。

40

【0026】

トランスミッションラインパルステストは、ESD 現象を模擬し、ESD 破壊テストに使用することができる公知の電気解析ツールである。第 1 の x 印 403 は RPWT クランプが不良に至るポイントを示し、第 2 の x 印 404 は先行技術によるクランプが不良に至るポイントを示す。曲線 401、402 はほぼ同じであり、本明細書に開示する RPWT クランプが先行技術によるフローティングボディ型クランプの ESD 特性と同様な ESD 特性を有することを示している。

【0027】

図 6 を参照すると、図 2 または図 3 に詳細が示されるような RPWT クランプの直流 (DC) リーク電流曲線 501 (中抜きの円) 特性が、図 1 に詳細が示されるような先行技

50

術によるクランプの別のDCリーク電流曲線502(中抜きの方角)特性と比較される形で示され、この図によって本発明の一の様相が分かる。縦軸はESD保護素子を流れるDCリーク電流をアンペアで示す。横軸は保護素子の両端に掛かる電圧をボルトで示す。

【0028】

直流リークテストを使用して、DC電圧がトランジスタのドレインを正電位とし、ソースを負電位としてこれら間に印加されるときにトランジスタのドレインからソースに流れるリーク電流を測定することができる。図6に示すように、図5に示すESD特性と同様なESD特性を維持しながら、RPWTクランプ501のDCリーク電流は先行技術によるフローティングボディ型クランプ502のリーク電流よりもはるかに小さいことが分かる。

10

【0029】

別の実施形態においては、本発明では、RPWTトランジスタのゲートをソースに接続する別の抵抗性素子を使用し、ゲート接続による効果を利用してESD保護を更に強化する。本発明は、低い接合電圧を利用して絶縁され、かつそのボディがそのソースに抵抗体を通して接続される構造のNMOSTランジスタにより形成されるRPWTNMOSTランジスタを含むことができる。更に本発明では、RPWTNMOSTランジスタを使用して、DCリーク電流を最小化し、かつラッチアップの発生を最大限防止しつつ、低電圧MOS素子をESDから保護することができる。

【0030】

本発明のRPWTトランジスタに使用する特定の製造プロセスはこの技術分野の当業者の技術レベルを用いて実施できるので、この製造プロセスによって記載の機能が実現する限りこの製造プロセスはここでは重要ではない。通常、本発明を実施する、または使用する場合、製造プロセスは先行技術から分かるように、必要な種々の設備及びエネルギー供給源、最終製品の予測される必要な適用形態、及び総合的な製造プロセスの必要性に基づいて選択することができる。

20

【0031】

本明細書において使用する“a”または“an”という用語は、特に断らない限り、一つ、または一つよりも多い状態を指す。本明細書において使用する“substantially”という用語は、少なくとも所与の状態にほぼ近いことを意味する(例えば、好適には所与の状態の10%以内、更に好適には所与の状態の1%以内、そして最も好適には所与の状態の0.1%以内)。本明細書において使用する“another”という用語は、少なくとも2番目以降を意味する。本明細書において使用する“including”及び/又は“having”という用語は、“comprising”を意味する(すなわち、オープンランゲージ:権利範囲の解釈の場合、発明の本質を変更しない範囲で他の構成要件を含みうる用語)。本明細書において使用する“coupled”という用語は、必ずしも直接ではないが、そして必ずしも機械的ではないが、“connected”を意味する。

30

【0032】

添付の請求項はmeans-plus-functionの制約(means-plus-functionの機能と当該開示された構造とを明確に関連付ける記載がない場合には、当該他の構造は米国特許法112条§6にいう「対応する」ものとは認められない」との判決による)を含むとは解釈されないものであると考える。本発明の構成の直下の構成を示す実施形態は添付の独立請求項及びこれらの請求項の等価物によって規定される。本発明の特定の実施形態は添付の従属請求項及びこれらの請求項の等価物によって差別化される。

40

【図面の簡単な説明】

【0033】

【図1】先行技術によるESD保護システムの組合せ回路及びブロック図。

【図2】本発明の一実施形態を示すESD保護システムの組合せ回路及びブロック図。

【図3】本発明の一実施形態を示す別のESD保護システムの組合せ回路及びブロック図

50

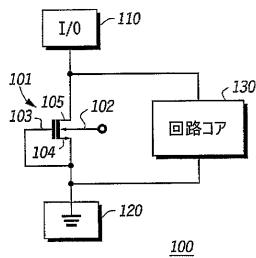
。

【図4】本発明の一実施形態を示す、接合絶縁構造のRPWTNMOSトランジスタの断面図。

【図5】本発明の一実施態様を示す、図2または図3に詳細が示されるようなRPWTクランプのトランスミッションラインパルス(TLP)曲線402特性、及び図1に詳細が示されるような先行技術によるクランプのTLP曲線401特性のグラフ。

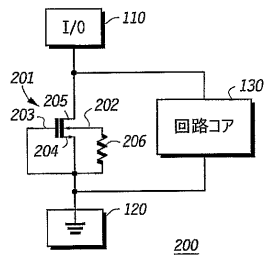
【図6】本発明の一実施態様を示す、図2または図3に詳細が示されるようなRPWTクランプの直流リーク(DCリーク)電流曲線501特性、及び図1に詳細が示されるような先行技術によるクランプのDCリーク曲線502特性のグラフ。

【図1】

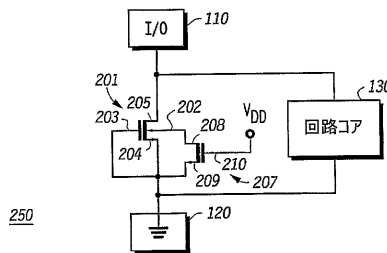


-PRIOR ART-

【図2】



【図3】



【図4】

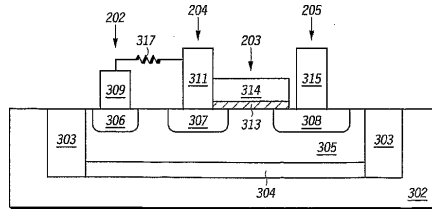


FIG.4

【 図 5 】

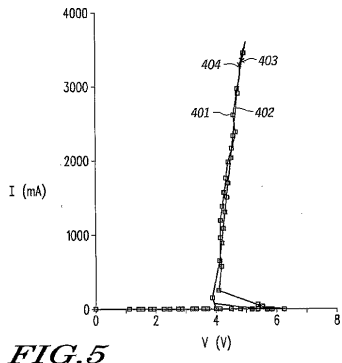


FIG. 5

【 図 6 】

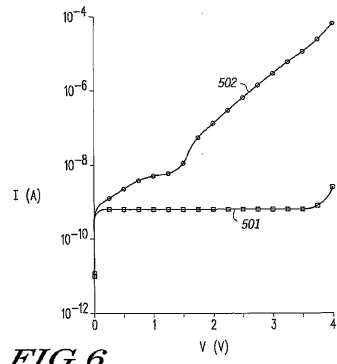


FIG. 6

フロントページの続き

- (72)発明者 ウィットフィールド、ジェームズ ディ．
アメリカ合衆国 8 5 2 3 4 アリゾナ州 ギルバート エヌ．コブルストーン ストリート 9
1 3
- (72)発明者 シュイ、ホンジョン
アメリカ合衆国 8 5 2 3 3 アリゾナ州 ギルバート ダブリュ．ベイラー 1 6 0
- (72)発明者 ジョシ、ソパン
アメリカ合衆国 6 1 8 0 1 イリノイ州 アーバナ エス．アンダーソン ストリート 9 0 6

審査官 大嶋 洋一

- (56)参考文献 特開2003-031668(JP,A)
特開2000-058749(JP,A)
特開平06-151744(JP,A)
特開平03-076264(JP,A)
特開昭63-289962(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822
H01L 27/04
H01L 27/06