

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5873283号  
(P5873283)

(45) 発行日 平成28年3月1日(2016.3.1)

(24) 登録日 平成28年1月22日(2016.1.22)

(51) Int.Cl.

F 1

H01L 21/336 (2006.01)

H01L 29/78

619A

H01L 29/786 (2006.01)

H01L 29/78

618B

H01L 21/3065 (2006.01)

H01L 29/78

618Z

H01L 29/78

627C

H01L 29/78

616K

請求項の数 8 (全 23 頁) 最終頁に続く

(21) 出願番号

特願2011-217264 (P2011-217264)

(22) 出願日

平成23年9月30日 (2011.9.30)

(65) 公開番号

特開2012-99796 (P2012-99796A)

(43) 公開日

平成24年5月24日 (2012.5.24)

審査請求日

平成26年9月17日 (2014.9.17)

(31) 優先権主張番号

特願2010-227623 (P2010-227623)

(32) 優先日

平成22年10月7日 (2010.10.7)

(33) 優先権主張国

日本国 (JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 溝口 隆文

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 白石 康次郎

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 津吹 将志

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

審査官 市川 武宜

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

## 【請求項 1】

第1の導電層を覆って設けられた第1の絶縁膜上に半導体膜、導電膜、及びマスク膜をこの順に積層して形成し、

前記マスク膜上に第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて前記マスク膜をドライエッチング又はウェットエッチングして第1のマスク層を形成し、

前記第1のレジストマスクをレジスト剥離液により除去し、

前記第1のマスク層を用いて前記導電膜及び前記半導体膜をドライエッチングして、第2の導電層と、半導体層とを形成し、

前記第1のマスク層、前記第2の導電層、及び前記半導体層を覆って第2の絶縁膜を形成し、

前記第2の絶縁膜をエッチバック処理して、少なくとも前記半導体層の側面を覆うサイドウォール絶縁層を形成し、

前記第1のマスク層上に第2のレジストマスクを形成し、

前記第2のレジストマスクを用いて前記第1のマスク層をドライエッチング又はウェットエッチングして第2のマスク層を形成し、

前記第2のレジストマスクをレジスト剥離液により除去し、

前記第2のマスク層を用いて前記第2の導電層をドライエッチングして、第1の電極層を形成することを特徴とする半導体装置の作製方法。

10

20

## 【請求項 2】

第1の導電層を覆って設けられた第1の絶縁膜上に半導体膜、導電膜、及び第1のマスク膜をこの順に積層して形成し、

前記第1のマスク膜上に第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて前記第1のマスク膜をドライエッチング又はウエットエッチングして第1のマスク層を形成し、

前記第1のレジストマスクをレジスト剥離液により除去し、

前記第1のマスク層を用いて前記導電膜及び前記半導体膜をドライエッチングして、第2の導電層と、半導体層とを形成し、

前記第1のマスク層をドライエッチングにより除去し、

前記第2の導電層及び前記半導体層を覆って第2の絶縁膜を形成し、

前記第2の絶縁膜をエッチバック処理して、少なくとも前記半導体層の側面を覆うサイドウォール絶縁層を形成し、

少なくとも前記第2の導電層上に第2のマスク膜を形成し、

前記第2のマスク膜上に第2のレジストマスクを形成し、

前記第2のレジストマスクを用いて前記第2のマスク膜をドライエッチング又はウエットエッチングして第2のマスク層を形成し、

前記第2のレジストマスクをレジスト剥離液により除去し、

前記第2のマスク層を用いて前記第2の導電層をドライエッチングして、第1の電極層を形成することを特徴とする半導体装置の作製方法。

10

## 【請求項 3】

第1の導電層を覆って設けられた第1の絶縁膜上に半導体膜、導電膜、及びマスク膜をこの順に積層して形成し、

前記マスク膜上に第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて前記マスク膜をドライエッチング又はウエットエッチングして第1のマスク層を形成し、

前記第1のレジストマスクをレジスト剥離液により除去し、

前記第1のマスク層を用いて前記導電膜及び前記半導体膜をドライエッチングして、第2の導電層と、半導体層とを形成し、

前記第1のマスク層、前記第2の導電層、及び前記半導体層を覆って第2の絶縁膜を形成し、

前記第2の絶縁膜をエッチバック処理して、少なくとも前記半導体層の側面を覆うサイドウォール絶縁層を形成しつつ前記第1のマスク層を除去し、

少なくとも前記第2の導電層上に第2のマスク膜を形成し、

前記第2のマスク膜上に第2のレジストマスクを形成し、

前記第2のレジストマスクを用いて前記第2のマスク膜をドライエッチング又はウエットエッチングして第2のマスク層を形成し、

前記第2のレジストマスクをレジスト剥離液により除去し、

前記第2のマスク層を用いて前記第2の導電層をドライエッチングして、第1の電極層を形成することを特徴とする半導体装置の作製方法。

20

## 【請求項 4】

請求項1乃至3のいずれか一において、

少なくとも前記第2のマスク層、前記第1の電極層、前記半導体層を覆って第3の絶縁膜を形成し、

前記第3の絶縁膜の前記第1の電極層と重畳する部分に開口部を形成し、

前記第3の絶縁膜上に、前記開口部を介して前記第1の電極層と電気的に接続される第2の電極層を形成することを特徴とする半導体装置の作製方法。

40

## 【請求項 5】

第1の導電層を覆って設けられた第1の絶縁膜上に半導体膜、導電膜、及びマスク膜をこの順に積層して形成し、

50

前記マスク膜上に第1のレジストマスクを形成し、  
前記第1のレジストマスクを用いて前記マスク膜をドライエッチング又はウェットエッチングして第1のマスク層を形成し、

前記第1のレジストマスクをレジスト剥離液により除去し、  
前記第1のマスク層を用いて前記導電膜及び前記半導体膜をドライエッチングして、第2の導電層と、半導体層とを形成し、

前記第1のマスク層、前記第2の導電層、及び前記半導体層を覆って第2の絶縁膜を形成し、

前記第2の絶縁膜をエッチバック処理して、少なくとも前記半導体層の側面を覆う第1のサイドウォール絶縁層を形成し、

前記第1のマスク層、前記第2の導電層、前記半導体層、及び前記第1のサイドウォール絶縁層を覆って第3の絶縁膜を形成し、

前記第3の絶縁膜をエッチバック処理して、前記第1のサイドウォール絶縁層を介して前記半導体層の側面に第2のサイドウォール絶縁層を形成し、

前記第1のマスク層上に第2のレジストマスクを形成し、

前記第2のレジストマスクを用いて前記第1のマスク層をドライエッチング又はウェットエッチングして第2のマスク層を形成し、

前記第2のレジストマスクをレジスト剥離液により除去し、

前記第2のマスク層を用いて前記第2の導電層をドライエッチングして、第1の電極層を形成することを特徴とする半導体装置の作製方法。

#### 【請求項6】

請求項5において、

少なくとも前記第2のマスク層、前記第1の電極層、前記半導体層を覆って第4の絶縁膜を形成し、

前記第4の絶縁膜の前記第1の電極層と重畳する部分に開口部を形成し、

前記第4の絶縁膜上に、前記開口部を介して前記第1の電極層と電気的に接続される第2の電極層を形成することを特徴とする半導体装置の作製方法。

#### 【請求項7】

請求項1乃至6のいずれか一において、

前記第1の導電層は、ゲート電極層としての機能を有し、

前記電極層は、ソース電極層又はドレイン電極層としての機能を有することを特徴とする半導体装置の作製方法。

#### 【請求項8】

請求項1乃至7のいずれか一において、

前記半導体膜はI<sub>n</sub>、G<sub>a</sub>、及びZ<sub>n</sub>を含む酸化物半導体を有し、

前記導電膜はチタンを有し、

前記マスク膜は酸化アルミニウムを有することを特徴とする半導体装置の作製方法。

#### 【発明の詳細な説明】

##### 【技術分野】

##### 【0001】

本発明は、薄膜素子とその作製方法に関する。また、半導体装置とその作製方法に関する。なお、本明細書において、半導体装置とは、半導体素子自体または半導体素子を含むものをいい、このような半導体素子として、例えばトランジスタ（薄膜トランジスタなど）が挙げられる。また、液晶表示装置などの表示装置も半導体装置に含まれる。

##### 【背景技術】

##### 【0002】

近年、半導体装置は人間の生活に欠かせないものとなっている。このような半導体装置に含まれる薄膜トランジスタなどの半導体素子は、基板上に半導体膜などの薄膜を形成し、該薄膜をフォトリソグラフィ法などにより所望の形状に加工することで作製される。このような作製方法は、例えば、液晶表示装置（例えば、液晶テレビ）に適用されている。

10

20

30

40

50

## 【0003】

薄膜トランジスタに設けられる半導体層の材料としては、シリコンが広く用いられている。しかし、近年では、半導体層の材料として酸化物半導体を用いた薄膜トランジスタについても、研究が盛んに進められている。

## 【0004】

酸化物半導体を用いた薄膜トランジスタでは、半導体層に水分が混入すると、キャリア濃度が大きく変化することが知られている（例えば、特許文献1及び特許文献2）。また、酸化物半導体以外を用いた薄膜トランジスタにおいても、半導体層に水分が混入することで特性が変化することが知られている（例えば、特許文献3）。

## 【先行技術文献】

10

## 【特許文献】

## 【0005】

【特許文献1】特開2010-182818号公報

【特許文献2】特開2010-182819号公報

【特許文献3】特開2005-55660号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0006】

半導体層に水分がひとたび混入すると、これを除去することは容易ではない。混入した水分を除去する手段の一例として、水分が混入した半導体層に対して行う加熱処理が挙げられる。しかし、例えば、ガラス基板上に半導体層を設けた場合、加熱可能な温度上限に制約があり、加熱処理には長い時間を要するので、スループットを低下させる一因となる。

20

## 【0007】

また、半導体層を加工するために必要なレジストマスクの除去は、例えば、酸素プラズマを用いたドライ工程（水分を用いない工程。例えばアッシング工程）によって、水を含む剥離液の使用を避けて行うことが可能であり、これにより半導体層が直接水に触れるなどを防ぐことができる。しかし、ドライ工程ではレジスト残りが生じやすい。

## 【0008】

本発明の一態様は、レジストマスクの除去に水を含む薬液を用いても、半導体層の全面が水分などに曝されることなく実現することが可能な半導体装置の作製方法を提供することを課題とする。特に、半導体層がレジストマスクを剥離する際、水を含む剥離液に曝されない作製方法を提供することを課題とする。

30

## 【0009】

なお、本発明は、半導体装置とその作製方法に限定されず、半導体装置以外の薄膜素子に適用してもよい。薄膜素子は、精密機器の部品などとして搭載されるものであり、精密機器の部品に水分などが混入することが当該部品の誤動作の一因となることはいうまでもない。

## 【課題を解決するための手段】

## 【0010】

40

本発明の一態様は、第1の膜、第2の膜及び第3の膜をこの順に積層して形成し、前記第3の膜上にレジストマスクを形成し、前記レジストマスクを用いて前記第3の膜をエッティングすることでマスク層を形成し、前記レジストマスクを薬液により除去し、前記マスク層を用いて前記第2の膜と前記第1の膜をドライエッティングすることで、第2の層と第1の層を形成し、少なくとも前記第2の層と前記第1の層を覆って第4の膜を形成し、前記第4の膜をエッチバック処理することで、少なくとも前記第1の層の側面のすべてを覆ってサイドウォール層を形成することを特徴とする薄膜素子の作製方法である。このように薄膜素子を作製すると、第1の層が水分などに曝されることなく薄膜素子を作製することができる。

## 【0011】

50

なお、本明細書において、膜とは、後に加工されることが前提のものであって、被形成面上に概略一様に形成されたものをいう。層とは、前記膜を加工したもの、または、前記膜であるが、後に加工しなくてもよいものをいう。

【0012】

なお、本明細書において、エッチバック処理とは、任意の面上に形成された膜に対して異方性の高いエッチング（例えば、ドライエッチング）を行うことで、前記面の一部を露出させるまで行うエッチング工程をいう。

【0013】

このような薄膜素子として、半導体素子またはトランジスタなどを例示することができる。トランジスタとしては、画素トランジスタを例示することができる。

10

【発明の効果】

【0014】

本発明の一態様によれば、特定の層の全面が水分などに曝されることなく、薄膜素子を作製することができる。従って、半導体層の全面が水分などに曝されることなく、トランジスタなどの半導体素子を作製することができる。

【0015】

本発明の一態様によれば、レジスト残りを生じさせることなく、特定の層の全面を水分に曝さずに薄膜素子を作製することができる。従って、半導体層の全面を水分に曝さずに半導体素子を作製することができる。

【図面の簡単な説明】

20

【0016】

【図1】本発明の一態様である薄膜素子の作製方法を説明する断面図。

【図2】本発明の一態様である薄膜素子の作製方法を説明する断面図。

【図3】本発明の一態様である薄膜素子の作製方法を説明する断面図。

【図4】本発明の一態様である薄膜素子の作製方法を説明する断面図。

【図5】本発明の一態様である半導体装置の作製方法を説明する断面図。

【図6】本発明の一態様である半導体装置の作製方法を説明する断面図。

【図7】本発明の一態様である半導体装置の作製方法を説明する断面図。

【図8】本発明の一態様である半導体装置の作製方法を説明する断面図。

【図9】本発明の一態様である半導体装置の作製方法を説明する断面図及び上面図。

30

【図10】本発明の一態様である半導体装置を説明する図。

【図11】本発明の一態様である半導体装置を説明する図。

【図12】本発明の一態様である半導体装置を説明する図。

【発明を実施するための形態】

【0017】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0018】

40

(実施の形態1)

本実施の形態では、本発明の一態様である薄膜素子の作製方法について説明する。

【0019】

本実施の形態で説明する薄膜素子の作製方法は、第1の膜102、第2の膜104及び第3の膜106をこの順に基板100上に積層して形成し、第3の膜106上にレジストマスク108を形成し、レジストマスク108を用いて第3の膜106をエッチングすることでマスク層110を形成し、レジストマスク108を除去し、マスク層110を用いて第2の膜104と第1の膜102をドライエッチングすることで、第2の層112と第1の層114を形成し、第2の層112と第1の層114を覆って第4の膜116を形成し、第4の膜116をエッチバック処理することで、少なくとも第1の層114の側面の

50

すべてを覆ってサイドウォール層 118 を形成することを特徴とする。本実施の形態の薄膜素子の作製方法について図 1 を参照して説明する。

#### 【0020】

まず、基板 100 上に第 1 の膜 102、第 2 の膜 104 及び第 3 の膜 106 をこの順に積層して形成し、第 3 の膜 106 上にレジストマスク 108 を形成する（図 1（A））。

#### 【0021】

基板 100 としては、ガラス基板、石英基板、シリコン基板、ステンレス基板またはプラスチック基板などを用いることができ、基板の材料などは特に限定されない。

#### 【0022】

第 1 の膜 102 は、水分の混入が特性に影響を及ぼす薄膜である。第 1 の膜 102 は、  
CVD 法（プラズマ CVD 法または熱 CVD 法などを含む。）またはスパッタリング法などにより形成することができるが、これらに限定されず、薄膜を形成することができるあらゆる手段を適用することができる。

#### 【0023】

第 2 の膜 104 は、第 1 の膜 102 に水分が触れる 것을防ぐことが可能な膜であればよい。従って、第 2 の膜 104 は、緻密な膜であることが好ましい。第 2 の膜 104 は、  
CVD 法（プラズマ CVD 法または熱 CVD 法などを含む。）またはスパッタリング法などにより形成することができるが、これらに限定されず、薄膜を形成することができるあらゆる手段を適用することができる。

#### 【0024】

第 3 の膜 106 は、後のエッチング工程によりマスク層 110 を形成することができる膜であればよい。第 3 の膜 106 は、CVD 法（プラズマ CVD 法または熱 CVD 法などを含む。）またはスパッタリング法などにより形成することができるが、これらに限定されず、薄膜を形成することができるあらゆる手段を適用することができる。

#### 【0025】

次に、レジストマスク 108 を用いて第 3 の膜 106 をエッチングすることでマスク層 110 を形成する（図 1（B））。本実施の形態において、この工程を第 1 のエッチング工程と呼ぶ。

#### 【0026】

レジストマスク 108 は、レジスト材料を第 3 の膜 106 上に塗布するなどして形成した後に、フォトリソグラフィ法により加工して形成する。

#### 【0027】

第 1 のエッチング工程は、第 3 の膜 106 のエッチングレートが大きく、第 2 の膜 104 のエッチングレートが小さい条件により行えばよい。すなわち、第 1 のエッチング工程は、第 2 の膜 104 に対する第 3 の膜 106 のエッチング選択比が高い条件により行えばよい。

#### 【0028】

レジストマスク 108 を薬液により除去する（図 1（C））。ここで、薬液としては、レジストマスク 108 を選択的に除去することができるものであればよく、例えばレジスト剥離液を用いることができる。その後、洗浄工程を行って、該薬液の成分を除去するこ<sup>40</sup>とが好ましい。

#### 【0029】

または、レジストマスク 108 を薬液以外の手段（例えば、酸素プラズマまたは水プラズマによるアッシング）により除去した後に洗浄工程を行ってもよい。このとき、レジストマスク 108 の除去は、前記手段により複数回の処理を行った後に洗浄工程を経てもよいし、または、前記手段により処理を行った後に洗浄工程を経て、更に前記手段により除去を行ってもよい。

#### 【0030】

次に、マスク層 110 を用いて第 2 の膜 104 と第 1 の膜 102 をドライエッチングするこ<sup>50</sup>とで、第 2 の層 112 と第 1 の層 114 を形成する（図 1（D））。本実施の形態に

おいて、この工程を第2のエッティング工程と呼ぶ。

【0031】

第2のエッティング工程は、第3の膜106のエッティングレートが小さく、第1の膜102及び第2の膜104のエッティングレートが大きい条件により行えばよい。すなわち、第2のエッティング工程は、第3の膜106に対する第1の膜102及び第2の膜104のエッティング選択比が高い条件により行えばよい。

【0032】

なお、第2のエッティング工程は、複数回のエッティング工程であってもよい。第2のエッティング工程が複数回のエッティング工程である場合には、第1の膜102のエッティングレートよりも第2の膜104のエッティングレートが高い条件によりエッティングを行った後、第2の膜104のエッティングレートよりも第1の膜102のエッティングレートが高い条件により行なうことが好ましい。

10

【0033】

次に、少なくとも第2の層112と第1の層114を覆って第4の膜116を形成する(図1(E))。

【0034】

第4の膜116は、後の工程によりエッチバック処理ができる膜であればよい。第4の膜116は、CVD法(プラズマCVD法または熱CVD法などを含む。)またはスパッタリング法などにより形成することができるが、これらに限定されず、薄膜を形成することができるあらゆる手段を適用することができる。

20

【0035】

次に、第4の膜116をエッチバック処理することで、少なくとも第1の層114の側面のすべてを覆ってサイドウォール層118を形成する(図1(F))。本実施の形態において、この工程を第3のエッティング工程と呼ぶ。

【0036】

なお、ここで、エッチバック処理とは、形成された薄膜上にマスクなどを形成することなく、該薄膜の厚さ方向に等方的に行なうことが可能なエッティング処理をいう。

【0037】

以上、本実施の形態にて説明したように、第1の層114の全面が水分などに曝されることなく、薄膜素子を作製することができる。

30

【0038】

(実施の形態2)

実施の形態1にて説明した薄膜素子の作製方法では、マスク層110は第2の層112の上に残存しているが、これに限定されず、マスク層110は、除去されてもよい。本実施の形態の薄膜素子の作製方法について図1、図2、及び図3を参照して説明する。

【0039】

本実施の形態で説明する薄膜素子の作製方法の一は、第1の膜102、第2の膜104及び第3の膜106をこの順に基板100上に積層して形成し、第3の膜106上にレジストマスク108を形成し(図1(A))、レジストマスク108を用いて第3の膜106をエッティングすることでマスク層110を形成し(図1(B))、レジストマスク108を除去し(図1(C))、マスク層110を用いて第2の膜104と第1の膜102をドライエッティングすることで、第2の層112と第1の層114を形成し(図2(A))、マスク層110を除去し(図2(B))、第2の層112と第1の層114を覆って第4の膜116を形成し(図2(C))、第4の膜116をエッチバック処理することで、少なくとも第1の層114の側面のすべてを覆ってサイドウォール層118を形成する(図2(D))ことを特徴とする。

40

【0040】

マスク層110を除去するには、第1の層114に水分が触れない手段(例えば、ドライエッティング処理)を適用する。

【0041】

50

または、マスク層 110 を除去せずに第 4 の膜 116 を形成し、エッチバック処理によりマスク層 110 を除去してもよい。従って、本実施の形態で説明する薄膜素子の作製方法の一は、第 1 の膜 102、第 2 の膜 104 及び第 3 の膜 106 をこの順に基板 100 上に積層して形成し、第 3 の膜 106 上にレジストマスク 108 を形成し(図 1 (A))、レジストマスク 108 を用いて第 3 の膜 106 をエッチングすることでマスク層 110 を形成し(図 1 (B))、レジストマスク 108 を除去し(図 1 (C))、マスク層 110 を用いて第 2 の膜 104 と第 1 の膜 102 をドライエッチングすることで、第 2 の層 112 と第 1 の層 114 を形成し(図 3 (A))、第 2 の層 112 と第 1 の層 114 を覆って第 4 の膜 116 を形成し(図 3 (B))、第 4 の膜 116 とマスク層 110 をエッチバック処理することで、少なくとも第 1 の層 114 の側面のすべてを覆ってサイドウォール層 118 を形成しつつマスク層 110 を除去する(図 3 (C))ことを特徴とする。  
10

#### 【0042】

以上、本実施の形態にて説明したように、実施の形態 1 と同様に、第 1 の層 114 の全面が水分などに曝されることなく、薄膜素子を作製することができる。

#### 【0043】

##### (実施の形態 3)

実施の形態 1 及び実施の形態 2 にて説明した薄膜素子の作製方法では、サイドウォール層を単層としたが、これに限定されず、サイドウォール層は複数の層が積層された積層構造であってもよい。本実施の形態では、サイドウォール層が積層構造である形態について図 4 を参照して説明する。  
20

#### 【0044】

サイドウォール層を 2 層の積層構造とする場合には、少なくとも第 1 の層 114 の側面のすべてを覆ってサイドウォール層 118 を形成し、サイドウォール層 118 及びマスク層 110 上に第 5 の膜 120 を形成し、第 5 の膜 120 をエッチバック処理することで、更なるサイドウォール層 122 を形成すればよい。なお、サイドウォール層 118 を形成した後に、マスク層 110 を除去し、その後、第 5 の膜 120 を形成してもよい。

#### 【0045】

サイドウォール層を 2 層の積層構造とする場合には、第 1 の層 114 に含まれる水分のみならず、水素をも少なくすることができます。例えば、水分及び水素が極力除去された雰囲気中でスパッタリング法により第 4 の膜 116 (図 1 乃至図 3 のいずれかを参照) を形成し、CVD 法 (プラズマ CVD 法または熱 CVD 法などを含む。) により第 5 の膜 120 を形成することで、第 1 の層 114 に接する内側の部分は水分及び水素が極力除去された雰囲気中で形成され、外側の部分は水分及び水素が侵入しにくく緻密な膜とすることができます。  
30

#### 【0046】

以上、本実施の形態にて説明したように、実施の形態 1 及び実施の形態 2 と同様に、第 1 の層 114 の全面が水分などに曝されることなく、薄膜素子を作製することができ、更には、第 1 の層 114 の水素の含有量をも少なくすることができる。加えて、第 1 の層 114 に水素及び水分が侵入しにくくバリア性の高いサイドウォール層を形成することができる。  
40

#### 【0047】

##### (実施の形態 4)

本実施の形態では、本発明の一態様である半導体素子の作製方法について説明する。本実施の形態では、半導体素子の例としてトランジスタを挙げるが、これに限定されるものではない。

#### 【0048】

本実施の形態で説明するトランジスタの作製方法の一は、ゲート電極層 206 を覆って設けられたゲート絶縁層 208 上に半導体膜 210、導電膜 212 及びマスク膜 214 をこの順に積層して形成し、マスク膜 214 上に第 1 のレジストマスク 216 を形成し、第 1 のレジストマスク 216 を用いてマスク膜 214 をドライエッチングまたはウエットエ  
50

ツチングすることで第1のマスク層218を形成し、第1のレジストマスク216を除去し、第1のマスク層218を用いて導電膜212と半導体膜210をドライエッチングすることで、導電層220と半導体層222を形成し、少なくとも導電層220と半導体層222を覆って絶縁膜224を形成し、絶縁膜224をエッチバック処理することで、少なくとも半導体層222の側面のすべてを覆ってサイドウォール絶縁層226を形成し、第1のマスク層218上に第2のレジストマスク230を形成し、第2のレジストマスク230を用いて第1のマスク層218をドライエッチングまたはウェットエッチングすることで第2のマスク層232を形成し、第2のレジストマスク230を除去し、第2のマスク層232を用いて導電層220をドライエッチングすることでソース電極及びドレン電極層234を形成することを特徴とする。本実施の形態のトランジスタの作製方法について図5乃至図7を参照して説明する。

10

#### 【0049】

まず、基板200上に導電膜202を形成し、導電膜202上にレジストマスク204を形成する(図5(A))。

#### 【0050】

基板200は、絶縁性基板である。基板200として、例えば、ガラス基板、石英基板、セラミック基板、または本作製工程の処理温度に耐えうる程度の耐熱性を有するプラスチック基板などを用いることができる。基板200がガラス基板である場合には、第1世代(例えば、320mm×400mm)～第10世代(例えば、2950mm×3400mm)のものを用いればよいが、これに限定されるものではない。

20

#### 【0051】

なお、基板200上に下地絶縁膜が形成されていてもよい。下地絶縁膜としては、例えば窒化シリコン膜を形成すればよい。

#### 【0052】

導電膜202は、例えば、スパッタリング法またはCVD法(プラズマCVD法または熱CVD法などを含む。)などを用いて形成すればよい。導電膜202の材料としては、例えば金属膜、または一導電型の不純物元素が添加された半導体膜などを例示することができる。または、インクジェット法などを用いて形成してもよい。なお、導電膜202は、単層で形成してもよいし、複数の層を積層して形成してもよい。例えば、Ti層またはMo層によりAl層を挟持した3層の積層構造とすればよい。

30

#### 【0053】

レジストマスク204は、レジスト材料を導電膜202上に塗布するなどして形成した後に、フォトリソグラフィ法により加工して形成する。

#### 【0054】

次に、導電膜202をエッチングすることでゲート電極層206を形成する(図5(B))。

#### 【0055】

次に、ゲート電極層206を覆ってゲート絶縁層208を形成し、ゲート絶縁層208上に半導体膜210、導電膜212及びマスク膜214をこの順に積層して形成し、マスク膜214上に第1のレジストマスク216を形成する(図5(C))。

40

#### 【0056】

ゲート絶縁層208としては、例えば、スパッタリング法またはCVD法(プラズマCVD法または熱CVD法などを含む。)などを用いて絶縁性材料(例えば、窒化シリコン、窒化酸化シリコン、酸化窒化シリコンまたは酸化シリコンなど)膜を形成すればよい。なお、ゲート絶縁層208は、単層で形成してもよいし、複数の層を積層して形成してもよい。

#### 【0057】

なお、「窒化酸化シリコン」とは、その組成として、酸素よりも窒素の含有量が多いものであって、好ましくは、ラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)及び水素前方散乱法(HFS

50

: Hydrogen Forward Scattering) を用いて測定した場合に、酸素の組成が 5 ~ 30 原子%、窒素の組成が 20 ~ 55 原子%、シリコンの組成が 25 ~ 35 原子%、水素の組成が 10 ~ 30 原子% の範囲で見積もられるものをいう。

【0058】

なお、「酸化窒化シリコン」とは、その組成として、窒素よりも酸素の含有量が多いものであって、好ましくは、RBS 及びHFS を用いて測定した場合に、酸素の組成が 50 ~ 70 原子%、窒素の組成が 0.5 ~ 1.5 原子%、シリコンの組成が 25 ~ 35 原子%、水素の組成が 0.1 ~ 1.0 原子% の範囲で見積もられるものをいう。

【0059】

ただし、酸化窒化シリコンまたは窒化酸化シリコンの原子組成の合計を 100 原子% としたとき、窒素、酸素、シリコン及び水素の含有比率が上記の範囲内に含まれるものとする。

【0060】

半導体膜 210 は、半導体膜であればよく、単層であってもよいし、複数の層が積層された積層構造であってもよい。半導体膜 210 として、例えば、酸化物半導体膜またはシリコン膜が挙げられる。

【0061】

半導体膜 210 が酸化物半導体膜である場合には、四元系金属酸化物である In - Sn - Ga - Zn - O 系酸化物半導体や、三元系金属酸化物である In - Ga - Zn - O 系酸化物半導体、In - Sn - Zn - O 系酸化物半導体、In - Al - Zn - O 系酸化物半導体、Sn - Ga - Zn - O 系酸化物半導体、Al - Ga - Zn - O 系酸化物半導体、Sn - Al - Zn - O 系酸化物半導体や、二元系金属酸化物である In - Zn - O 系酸化物半導体、Sn - Zn - O 系酸化物半導体、Al - Zn - O 系酸化物半導体、Zn - Mg - O 系酸化物半導体、Sn - Mg - O 系酸化物半導体、In - Mg - O 系酸化物半導体や、In - O 系酸化物半導体、Sn - O 系酸化物半導体、Zn - O 系酸化物半導体などを用いることができる。また、酸化物半導体膜が SiO<sub>2</sub> を含んでいてもよい。ここで、例えば、In - Ga - Zn - O 系酸化物半導体膜とは、In、Ga または Zn を有する酸化物半導体膜をいい、その化学量論比はとくに問わない。また、In と Ga と Zn 以外の元素を含んでいてもよい。

【0062】

半導体膜 210 が酸化物半導体膜である場合には、例えば、化学式 In<sub>m</sub>MO<sub>3</sub> (ZnO)<sub>m</sub> (m > 0) で表記されるものを用いるということもできる。ここで、M は、Ga、Al、Mn 及び Co から選ばれた一または複数の金属元素を示す。例えば M として、Ga、Ga 及び Al、Ga 及び Mn、または Ga 及び Co などが挙げられる。または、酸化物半導体膜は SiO<sub>2</sub> を含んでいてもよい。

【0063】

また、酸化物半導体膜をスパッタリング法で形成するためのターゲットとしては、例えば、組成比として、In<sub>2</sub>O<sub>3</sub> : Ga<sub>2</sub>O<sub>3</sub> : ZnO = 1 : 1 : 1 [mol 数比] の酸化物ターゲットを用いる。ただし、このターゲットの材料及び組成に限定されず、例えば、In<sub>2</sub>O<sub>3</sub> : Ga<sub>2</sub>O<sub>3</sub> : ZnO = 1 : 1 : 2 [mol 数比] の酸化物ターゲットを用いてもよい。

【0064】

ここでは、半導体膜 210 が酸化物半導体膜であり、スパッタリング法で形成される場合には、希ガス (例えば Ar) 雰囲気下、酸素雰囲気下、または希ガスと酸素の混合雰囲気下においてスパッタリング法により形成することができる。

【0065】

また、酸化物ターゲットの充填率は 90 % 以上 100 % 以下、好ましくは 95 % 以上 99.9 % 以下である。このように、充填率の高い酸化物ターゲットを用いることにより、成膜される酸化物半導体膜を緻密な膜とすることができます。

【0066】

10

20

30

40

50

半導体膜210が酸化物半導体膜である場合には、半導体膜210に接するゲート絶縁層208を酸化シリコンにより形成し、後に形成するサイドウォール絶縁層226も酸化シリコンにより形成し、酸化物半導体膜の脱水化または脱水素化を行うことが可能な条件で加熱処理を行うとよい。このように加熱処理を行う場合であっても、酸化物半導体膜が水分に曝されていないため、加熱処理時間は従来よりも短時間でよい。

#### 【0067】

または、半導体膜210として、シリコン膜を用いてよい。シリコン膜としては、アモルファスシリコン膜を用いればよい。または、キャリア移動度が高いシリコン膜上にキャリア移動度が低いシリコン膜が設けられた積層シリコン膜であってもよい。

#### 【0068】

キャリア移動度が高いシリコン膜としては、結晶性シリコン膜が挙げられる。結晶性シリコンとしては、例えば、微結晶シリコンが挙げられる。ここで、微結晶シリコンとは、非晶質と結晶構造（単結晶、多結晶を含む。）の中間的な構造のものをいう。微結晶シリコンは、熱力学的に安定な第3の状態を有し、短距離秩序を持ち格子歪みを有する結晶質なシリコンであり、結晶粒径が2nm以上200nm以下、好ましくは10nm以上80nm以下、より好ましくは20nm以上50nm以下の柱状または針状の結晶粒が基板表面に対して法線方向に成長しているシリコンである。このため、柱状または針状の結晶粒の界面には、粒界が形成されることもある。なお、ここでの結晶粒径は、基板表面に対して平行な面における結晶粒の最大直径である。また、結晶粒は、非晶質シリコン領域と、単結晶とみなせる微小結晶の結晶子を有する。なお、結晶粒は双晶を有する場合もある。

10

#### 【0069】

微結晶シリコンでは、そのラマンスペクトルのピークが単結晶シリコンを示す520cm<sup>-1</sup>よりも低波数側にシフトしている。すなわち、単結晶シリコンを示す520cm<sup>-1</sup>と非晶質シリコンを示す480cm<sup>-1</sup>の間に微結晶シリコンのラマンスペクトルのピークがある。さらに、He、Ar、Kr、またはNeなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性の高い微結晶シリコンが得られる。

20

#### 【0070】

キャリア移動度が低いシリコン膜としては、アモルファスシリコン膜を用いればよいが、好ましくは、非晶質シリコンと微小シリコン結晶粒を有し、従来の非晶質シリコン膜と比較して、一定光電流法（CPM: Constant Photocurrent Method）やフォトルミネッセンス分光測定で測定されるUrban端のエネルギーが小さく、欠陥吸収スペクトル量が少ないシリコン膜であるとよい。このようなシリコン膜は、従来の非晶質シリコン膜と比較して欠陥が少なく、価電子帯のバンド端（移動度端）における準位のテイル（裾）の傾きが急峻である秩序性が高い。

30

#### 【0071】

キャリア移動度が低いシリコン膜には、ハロゲンまたは窒素を含んでいてよい。窒素が含まれる場合には、NH基またはNH<sub>2</sub>基として含んでいてよい。

#### 【0072】

なお、ここで、キャリア移動度が高いシリコン膜とキャリア移動度が低いシリコン膜の界面領域は、微結晶半導体領域、及び当該微結晶半導体領域の間に充填される非晶質半導体領域を有する。具体的には、キャリア移動度が高いシリコン膜から錐形状に伸びた微結晶半導体領域と、キャリア移動度が低いシリコン膜と同様の「非晶質半導体を含む領域」と、で構成される。

40

#### 【0073】

キャリア移動度が低いシリコン膜が、ソース電極及びドレイン電極とキャリア移動度が高いシリコン膜の間に設けられると、トランジスタのオフ電流を小さくすることができる。また、上記の界面領域において、錐形状に伸びた微結晶シリコン領域を有するため、縦方向（膜の成長方向）の抵抗を低くすることができ、トランジスタのオン電流を高めることができる。すなわち、従来の非晶質シリコンを適用した場合と比較すると、オフ電流を十分に低減させつつ、オン電流の低下を抑制することもでき、トランジスタのスイッチ

50

グ特性を高くすることができる。

【0074】

なお、微結晶シリコン領域は、キャリア移動度が高いシリコン膜の表面から厚さ方向に成長するが、原料ガスにおいて堆積性ガス（例えば、シラン）に対する水素の流量が小さい場合（すなわち、希釈率が低い場合）、または窒素を含む原料ガスの濃度が高い場合には、微結晶シリコン領域における結晶成長が抑制され、結晶粒が錐形状になり、堆積されて形成されるシリコンは、大部分が非晶質シリコンとなる。

【0075】

導電膜212は、例えば、スパッタリング法またはCVD法（プラズマCVD法または熱CVD法などを含む。）などを用いて形成すればよい。または、インクジェット法などを用いて形成してもよい。なお、導電膜212は、単層で形成してもよいし、複数の層を積層して形成してもよい。例えば、Ti層上にAl層が設けられた2層の積層構造とすればよい。

【0076】

マスク膜214は、後の第1のエッティング工程及び第3のエッティング工程でエッティングされない（されにくい）材料により形成すればよい。マスク膜214として、例えば、酸化シリコン膜または窒化シリコン膜などの絶縁膜を用いることができる。または、マスク膜214として、例えば、金属膜を用いることができる。金属膜を用いた場合には、電極層の一部として用いることができる。

【0077】

第1のレジストマスク216は、レジスト材料をマスク膜214上に塗布するなどして形成した後に、フォトリソグラフィ法により加工して形成する。

【0078】

次に、第1のレジストマスク216を用いてマスク膜214をドライエッティングまたはウェットエッティングすることで第1のマスク層218を形成する（図5（D））。本実施の形態において、この工程を第1のエッティング工程と呼ぶ。

【0079】

ここで、第1のエッティング工程は、導電膜212のエッティングレートが小さく、マスク膜214のエッティングレートが大きい条件により行えばよい。すなわち、第1のエッティング工程は、導電膜212に対するマスク膜214のエッティング選択比が高い条件により行えばよい。

【0080】

次に、第1のレジストマスク216をレジスト剥離液により除去する（図6（A））。

【0081】

次に、第1のマスク層218を用いて導電膜212と半導体膜210をドライエッティングすることで、導電層220と半導体層222を形成する（図6（B））。本実施の形態において、この工程を第2のエッティング工程と呼ぶ。

【0082】

ここで、第2のエッティング工程は、第1のマスク層218のエッティングレートが小さく、導電膜212と半導体膜210のエッティングレートが大きい条件により行えばよい。すなわち、第2のエッティング工程は、第1のマスク層218に対する導電膜212と半導体膜210のエッティング選択比が高い条件により行えばよい。なお、第2のエッティング工程は、複数の種類の膜をエッティングするため、複数回の工程（例えば、2段階）で行うことが好ましい。

【0083】

ここで、実施の形態2と同様に、第1のマスク層218を除去してもよい。第1のマスク層218を除去するには、半導体層222に水分が触れない手段（例えば、ドライエッティング処理）を適用する。

【0084】

次に、導電層220と半導体層222を覆って絶縁膜224をスパッタリング法または

10

20

30

40

50

CVD法（プラズマCVD法または熱CVD法などを含む。）などにより形成する（図6（C））。

【0085】

次に、絶縁膜224をエッチバック処理することで、少なくとも半導体層222の側面のすべてを覆ってサイドウォール絶縁層226を形成する。ここで、エッチバック処理は、第1のマスク層218または導電層220が露出されるまで行う。なお、サイドウォール絶縁層226の形成と同時に、ゲート電極層206の厚さに起因してゲート絶縁層208に設けられた段差部分の露出された部分には、サイドウォール絶縁層228が形成される（図6（D））。

【0086】

次に、第1のマスク層218上に第2のレジストマスク230を形成する（図7（A））。

【0087】

第2のレジストマスク230は、レジスト材料を第1のマスク層218上に塗布するなどして形成した後に、フォトリソグラフィ法により加工して形成する。

【0088】

または、ここまででの工程で第1のマスク層218が除去されている場合には、少なくとも導電層220上に第2のマスク膜を形成し、該第2のマスク膜上に第2のレジストマスク230を形成する。

【0089】

次に、第2のレジストマスク230を用いて第1のマスク層218または第2のマスク膜をドライエッティングまたはウエットエッティングすることで、第2のマスク層232を形成する。本実施の形態において、この工程を第3のエッティング工程と呼ぶ（図7（B））。

【0090】

ここで、第3のエッティング工程は、導電膜212のエッティングレートが小さく、マスク膜214のエッティングレートが大きい条件により行えばよい。すなわち、第3のエッティング工程は、導電膜212に対するマスク膜214のエッティング選択比が高い条件により行えばよい。なお、サイドウォール絶縁層226がエッティングされないことも重要である。

【0091】

次に、第2のレジストマスク230をレジスト剥離液により除去する（図7（C））。

【0092】

次に、第2のマスク層232を用いて導電層220をドライエッティングすることで、ソース電極及びドレイン電極層234を形成する。本実施の形態において、この工程を第4のエッティング工程と呼ぶ（図7（D））。本実施の形態において、第4のエッティング工程によってソース電極及びドレイン電極層234とサイドウォール絶縁層226の間に空間（溝）が形成され、互いが分離される。すなわち、ソース電極及びドレイン電極層234とサイドウォール絶縁層226は互いに接触していない。

【0093】

ここで、第4のエッティング工程は、半導体層222のエッティングレートが小さく、導電層220のエッティングレートが大きい条件により行えばよい。すなわち、第4のエッティング工程は、半導体層222に対する導電層220のエッティング選択比が高い条件により行えばよい。

【0094】

なお、図示していないが、第4のエッティング工程で第2のマスク層232と重畠していない部分の半導体層222がエッティングされていてもよい。

【0095】

なお、図示していないが、この後に第2のマスク層232を除去してもよい。第2のマスク層232を除去するには、半導体層222に水分が触れない手段（例えば、ドライエッティング処理）を適用する。

10

20

30

40

50

## 【0096】

以上説明した半導体装置の作製方法では、薄膜の材料とエッティング工程に用いるガスまたはエッチャントの組み合わせに注意を要する。

## 【0097】

例えは、半導体膜210がIn-Ga-Zn-O系酸化物半導体膜であり、導電膜212がチタン膜であり、マスク膜214が酸化アルミニウム膜である場合には、第1のエッティング工程及び第3のエッティング工程には、エッチャントとして、リン酸、酢酸、硝酸、純水を(一例として、85:5:5:5の体積比)混合させた薬液を用いればよく、第2のエッティング工程には、C1系ガスを用いればよく、第4のエッティング工程には、F系ガスを用いればよい。または、第4のエッティング工程は、C1系ガスによるエッティングとF系ガスによるエッティングの2段階の工程で行ってもよい。10

## 【0098】

または、半導体膜210がIn-Ga-Zn-O系酸化物半導体膜であり、導電膜212がチタン膜であり、マスク膜214が酸化シリコン膜である場合には、第1のエッティング工程及び第3のエッティング工程には、エッチャントとして、フッ酸を用いればよい。このとき、第2のエッティング工程には、C1系ガスを用いればよく、第4のエッティング工程には、F系ガスを用いればよい。または、第4のエッティング工程は、C1系ガスによるエッティングとF系ガスによるエッティングの2段階の工程で行ってもよい。

## 【0099】

なお、C1系ガスとしては、CCl<sub>4</sub>ガス、SiCl<sub>4</sub>ガス、BCl<sub>3</sub>ガス及びCl<sub>2</sub>ガスが挙げられる。特に好ましくはBCl<sub>3</sub>ガスとCl<sub>2</sub>ガスの混合ガスを用いる。20

## 【0100】

なお、F系ガスとしては、CF<sub>4</sub>ガス、SF<sub>6</sub>ガス、NF<sub>3</sub>ガス、CBrF<sub>3</sub>ガス、CF<sub>3</sub>SO<sub>3</sub>Hガス、及びC<sub>3</sub>F<sub>8</sub>ガスが挙げられる。特に好ましくはSF<sub>6</sub>ガスを用いる。

## 【0101】

以上、本実施の形態にて説明したように、半導体層222の全面が水分などに曝されることなく、半導体素子(一例としてトランジスタ)を作製することができる。

## 【0102】

なお、本実施の形態の半導体素子の作製方法に実施の形態2の薄膜素子の作製方法を適用してもよい。すなわち、第1のマスク層218が絶縁膜224の形成前に除去され、または、第1のマスク層218がサイドウォール絶縁層226の形成時に除去されていてもよい。30

## 【0103】

なお、本実施の形態の半導体素子の作製方法に実施の形態3の薄膜素子の作製方法を適用してもよい。すなわち、サイドウォール絶縁層が積層構造であってもよい。このとき、半導体層の側面に接する内側のサイドウォール絶縁層として、例えは酸化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層または窒化シリコン層をスパッタリング法またはCVD法(プラズマCVD法または熱CVD法などを含む。)により形成し、外側のサイドウォール絶縁層として、例えは酸化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層または窒化シリコン層をスパッタリング法またはCVD法(プラズマCVD法または熱CVD法などを含む。)により形成すればよい。好ましくは、内側のサイドウォール絶縁層として、酸化シリコン層をスパッタリング法により形成し、外側のサイドウォール絶縁層として、例えは窒化シリコン層をプラズマCVD法により形成すると、半導体層中の水素の含有量を少なくすることができ、半導体層に水素及び水分が侵入しにくくバリア性の高いサイドウォール絶縁層を形成することができる。更には、半導体層222を酸化物半導体層とした場合に、酸化物半導体層に接する部分を酸化シリコン層とすることで、酸化物半導体層に酸素を供給することができる。40

## 【0104】

(実施の形態5)

実施の形態 4 で説明した半導体素子（トランジスタ）は、表示装置の画素トランジスタとして用いることができる。

【 0 1 0 5 】

本実施の形態の画素トランジスタの作製方法は、実施の形態 4 にて説明した作製方法を適用して作製したトランジスタの少なくともソース電極及びドレイン電極層 234、半導体層 222 を覆って保護絶縁膜 236 を形成し、保護絶縁膜 236 のソース電極及びドレイン電極層 234 と重疊する部分に、ソース電極及びドレイン電極層 234 を露出させる開口部 240 を形成し、開口部 240 を介してソース電極及びドレイン電極層 234 と接続されるように、保護絶縁膜 236 上に画素電極層 246 を位置選択的に形成することを特徴とする。本実施の形態の薄膜素子の作製方法について図 8 を参照して説明する。 10

【 0 1 0 6 】

まず、実施の形態 4 にて説明した作製方法を適用して作製したトランジスタの少なくとも第 2 のマスク層 232、ソース電極及びドレイン電極層 234、半導体層 222 を覆って保護絶縁膜 236 を形成する（図 8（A））。

【 0 1 0 7 】

保護絶縁膜 236 は、ゲート絶縁層 208 と同様に、絶縁性材料により形成すればよい。なお、単層で形成してもよいし、複数の層を積層して形成してもよい。ここでは、例えば窒化シリコンにより形成すればよい。

【 0 1 0 8 】

次に、保護絶縁膜 236 上にレジストマスク 238 を形成し、保護絶縁膜 236 のソース電極及びドレイン電極層 234 と重疊する部分に開口部 240 を形成する（図 8（B））。 20

【 0 1 0 9 】

次に、開口部 240 を介してソース電極及びドレイン電極層 234 と接続されるように、保護絶縁膜 236 上に画素電極層 246 を位置選択的に形成する。本実施の形態では、一例として、保護絶縁膜 236 上に透明導電膜 242 を形成し、透明導電膜 242 上にレジストマスク 244 を形成する（図 8（C））。そして、透明導電膜 242 をエッティングすることで、画素電極層 246 が形成される（図 8（D））。

【 0 1 1 0 】

ただし、これに限定されず、開口部 240 を介してソース電極及びドレイン電極層 234 と接続されるように、保護絶縁膜 236 上にインクジェット法により画素電極層 246 を位置選択的に形成してもよい。 30

【 0 1 1 1 】

透明導電膜 242 は、透光性を有する導電性高分子（導電性ポリマーともいう。）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した透明導電膜 242 は、シート抵抗が 10000 / 以下であり、且つ波長 550 nm における透光率が 70 % 以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が 0.1 · cm 以下であることが好ましい。

【 0 1 1 2 】

なお、導電性高分子としては、いわゆる 電子共役系導電性高分子を用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、またはアニリン、ピロール及びチオフェンの 2 種以上の共重合体またはその誘導体などが挙げられる。 40

【 0 1 1 3 】

透明導電膜 242 は、例えば、酸化タンクス滕を含むインジウム酸化物、酸化タンクス滕を含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITO と示す。）、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物などを用いて形成することができる。

【 0 1 1 4 】

10

20

30

40

50

以上説明したように画素電極層 246まで形成された画素トランジスタの断面図と上面図の一例を図9に示す。

【0115】

以上、本実施の形態にて説明したように、半導体層222の全面が水分などに曝されることなく、画素トランジスタを作製することができる。

【0116】

(実施の形態6)

本発明の一態様である半導体装置としては、電子ペーパーが挙げられる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍(電子ブック)、ポスター、デジタルサイネージ、P I D ( P u b l i c I n f o r m a t i o n D i s p l a y )、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図10に示す。

【0117】

図10は、電子書籍の一例を示している。例えば、電子書籍300は、筐体301および筐体303の2つの筐体で構成されている。筐体301および筐体303は、軸部311により一体とされており、該軸部311を軸として開閉動作を行うことができる。このような構成により、紙の書籍と同様に取り扱うことが可能となる。

【0118】

筐体301には表示部305及び光電変換装置306が組み込まれ、筐体303には表示部307及び光電変換装置308が組み込まれている。表示部305及び表示部307は、継ぎ画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部(図10では表示部305)に文章を表示し、左側の表示部(図10では表示部307)に画像を表示することができる。

【0119】

また、図10では、筐体301に操作部などを備えた例を示している。例えば、筐体301において、電源321、操作キー323、スピーカ325などを備えている。操作キー323により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子(イヤホン端子、U S B端子、またはA CアダプタおよびU S Bケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍300は、電子辞書としての機能を持たせた構成としてもよい。

【0120】

また、電子書籍300は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0121】

実施の形態1乃至実施の形態3で説明した薄膜素子、実施の形態4で説明したトランジスタ、実施の形態5で説明した画素トランジスタを適用することで、所望の層に水分を触れさせることなく本実施の形態の半導体装置を作製することができる。

【0122】

(実施の形態7)

本発明の一態様である半導体装置としては、電子ペーパー以外にもさまざまな電子機器(遊技機も含む)が挙げられる。電子機器としては、例えば、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

【0123】

10

20

30

40

50

図11(A)は、テレビジョン装置の一例を示している。テレビジョン装置400は、筐体401に表示部403が組み込まれている。表示部403により、映像を表示することが可能である。また、ここでは、スタンド405により筐体401を支持した構成を示している。

【0124】

テレビジョン装置400の操作は、筐体401が備える操作スイッチや、別体のリモコン操作機410により行うことができる。リモコン操作機410が備える操作キー409により、チャンネルや音量の操作を行うことができ、表示部403に表示される映像を操作することができる。また、リモコン操作機410に、当該リモコン操作機410から出力する情報を表示する表示部407を設ける構成としてもよい。

10

【0125】

なお、テレビジョン装置400は、受信機やモデムなどを備えた構成とする。受信機により一般的のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向(送信者から受信者)または双方(送信者と受信者間、あるいは受信者間同士など)の情報通信を行うことも可能である。

【0126】

図11(B)は、デジタルフォトフレームの一例を示している。例えば、デジタルフォトフレーム420は、筐体421に表示部423が組み込まれている。表示部423は、各種画像を表示することができ、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

20

【0127】

なお、デジタルフォトフレーム420は、操作部、外部接続用端子(USB端子、USBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部423に表示させることができる。

【0128】

また、デジタルフォトフレーム420は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

30

【0129】

図12は携帯型のコンピュータの一例を示す斜視図である。

【0130】

図12の携帯型のコンピュータは、上部筐体441と下部筐体442とを接続するヒンジユニットを閉状態として表示部443を有する上部筐体441と、キーボード444を有する下部筐体442とを重ねた状態とすることができ、持ち運ぶことが便利であるとともに、使用者がキーボード入力する場合には、ヒンジユニットを開状態として、表示部443を見て入力操作を行うことができる。

【0131】

また、下部筐体442はキーボード444の他に入力操作を行うポインティングデバイス446を有する。また、表示部443をタッチ入力パネルとすれば、表示部の一部に触れることで入力操作を行うこともできる。また、下部筐体442はCPUやハードディスク等の演算機能部を有している。また、下部筐体442は他の機器、例えばUSBの通信規格に準拠した通信ケーブルが差し込まれる外部接続ポート445を有している。

40

【0132】

上部筐体441には更に上部筐体441内部にスライドさせて収納可能な表示部447を有しており、広い表示画面を実現することができる。また、収納可能な表示部447の画面の向きを使用者は調節できる。また、収納可能な表示部447をタッチ入力パネルとすれば、収納可能な表示部の一部に触れることで入力操作を行うこともできる。

【0133】

50

表示部 443 または収納可能な表示部 447 は、液晶表示パネル、有機発光素子または無機発光素子などの発光表示パネルなどの映像表示装置を用いる。

【0134】

また、図 12 の携帯型のコンピュータは、受信機などを備えた構成として、テレビ放送を受信して映像を表示部に表示することができる。また、上部筐体 441 と下部筐体 442 とを接続するヒンジユニットを閉状態としたまま、表示部 447 をスライドさせて画面全面を露出させ、画面角度を調節して使用者がテレビ放送を見ることもできる。この場合には、ヒンジユニットを閉状態として表示部 443 を表示せず、さらにテレビ放送を表示するだけの回路の起動のみを行うため、最小限の消費電力とすることができます、バッテリー容量の限られている携帯型のコンピュータにおいて有用である。

10

【0135】

実施の形態 1 乃至実施の形態 3 で説明した薄膜素子、実施の形態 4 で説明したトランジスタ、実施の形態 5 で説明した画素トランジスタを適用することで、所望の層に水分を触れさせることなく本実施の形態の半導体装置を作製することができる。

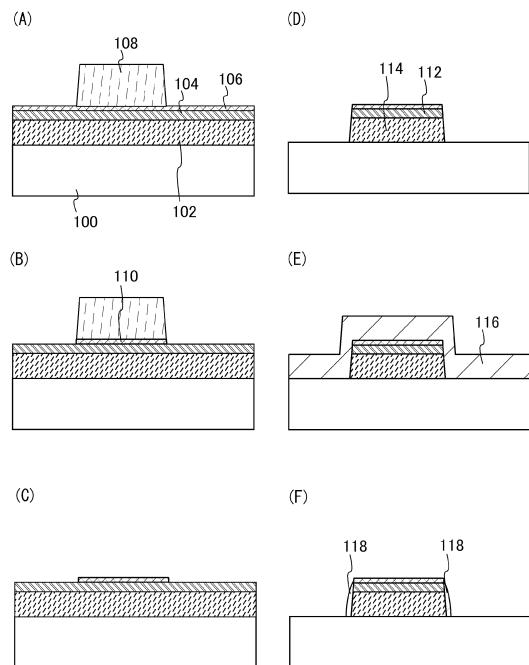
【符号の説明】

【0136】

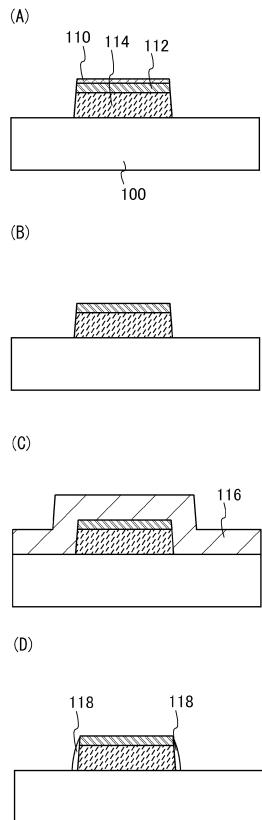
100	基板	20
102	第 1 の膜	
104	第 2 の膜	
106	第 3 の膜	
108	レジストマスク	
110	マスク層	
112	第 2 の層	
114	第 1 の層	
116	第 4 の膜	
118	サイドウォール層	
120	第 5 の膜	
122	更なるサイドウォール層	
200	基板	30
202	導電膜	
204	レジストマスク	
206	ゲート電極層	
208	ゲート絶縁層	
210	半導体膜	
212	導電膜	
214	マスク膜	
216	第 1 のレジストマスク	
218	第 1 のマスク層	
220	導電層	40
222	半導体層	
224	絶縁膜	
226	サイドウォール絶縁層	
228	サイドウォール絶縁層	
230	第 2 のレジストマスク	
232	第 2 のマスク層	
234	ソース電極及びドレイン電極層	
236	保護絶縁膜	
238	レジストマスク	
240	開口部	
242	透明導電膜	50

2 4 4	レジストマスク	
2 4 6	画素電極層	
3 0 0	電子書籍	
3 0 1	筐体	
3 0 3	筐体	
3 0 5	表示部	
3 0 6	光電変換装置	
3 0 7	表示部	
3 0 8	光電変換装置	
3 1 1	軸部	10
3 2 1	電源	
3 2 3	操作キー	
3 2 5	スピーカ	
4 0 0	テレビジョン装置	
4 0 1	筐体	
4 0 3	表示部	
4 0 5	スタンド	
4 0 7	表示部	
4 0 9	操作キー	
4 1 0	リモコン操作機	20
4 2 0	デジタルフォトフレーム	
4 2 1	筐体	
4 2 3	表示部	
4 4 1	上部筐体	
4 4 2	下部筐体	
4 4 3	表示部	
4 4 4	キーボード	
4 4 5	外部接続ポート	
4 4 6	ポインティングデバイス	
4 4 7	表示部	30

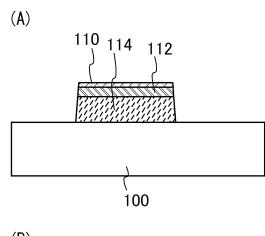
【図1】



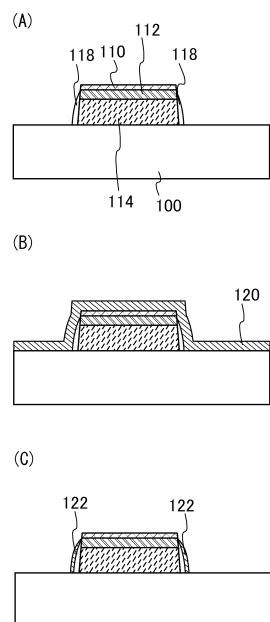
【図2】



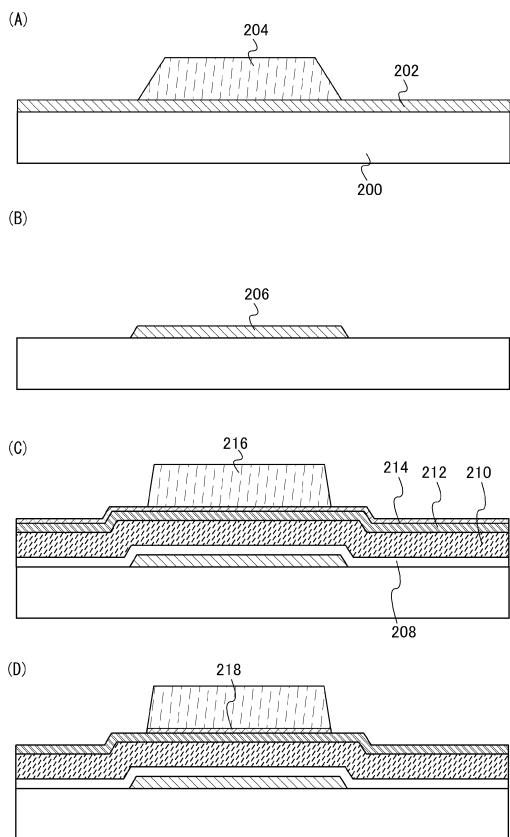
【図3】



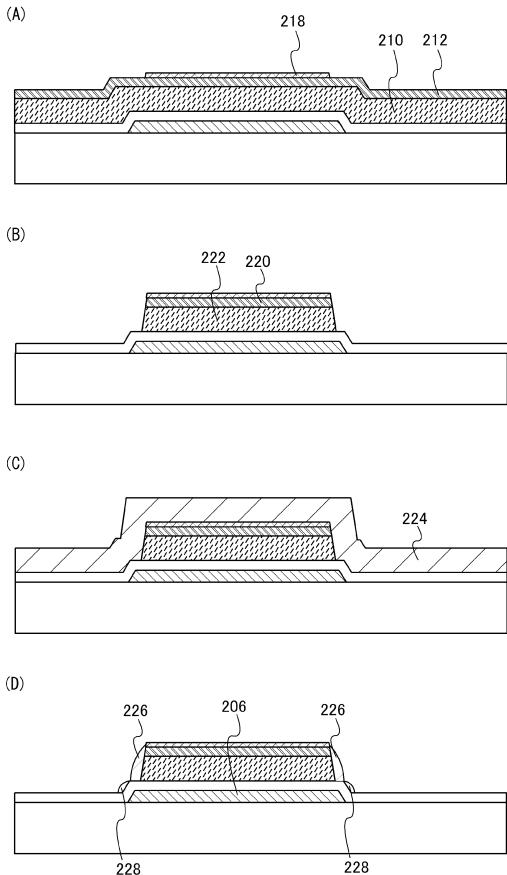
【図4】



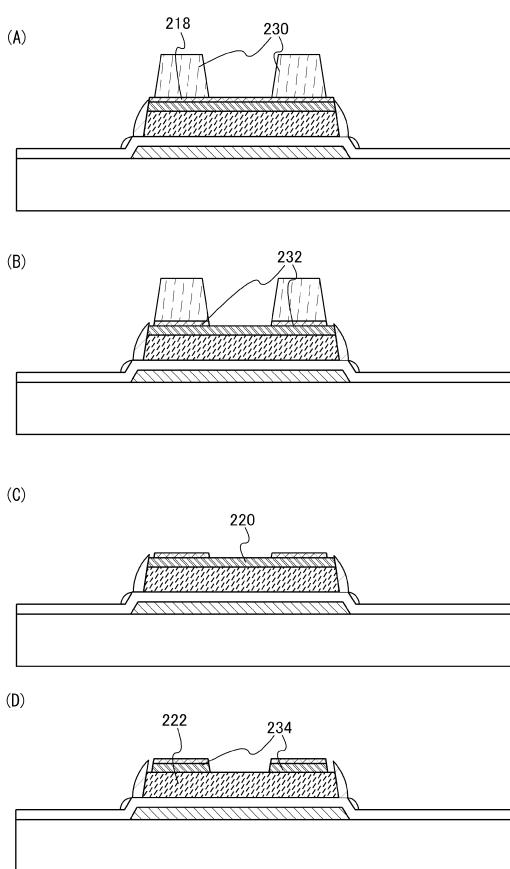
【図5】



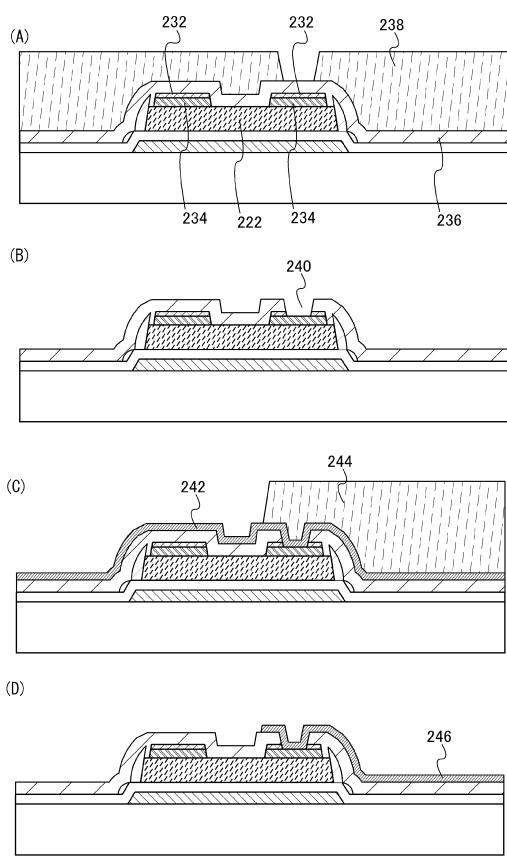
【図6】



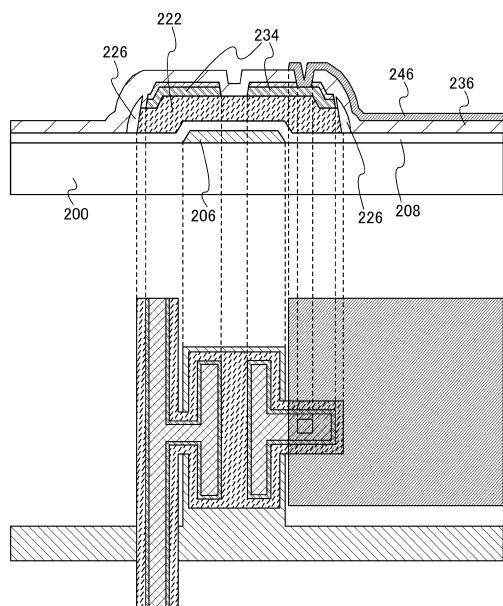
【図7】



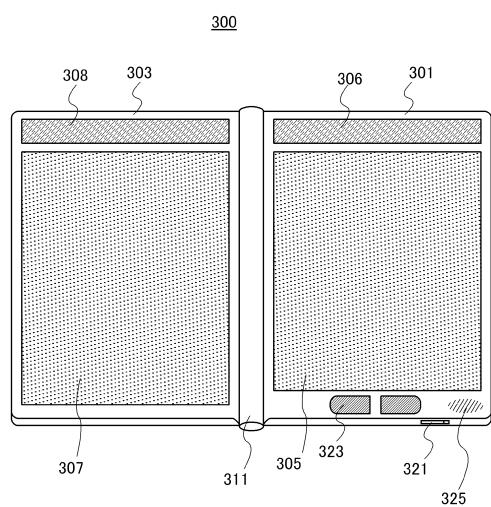
【図8】



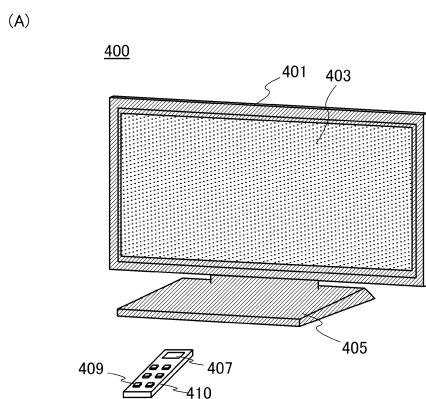
【図9】



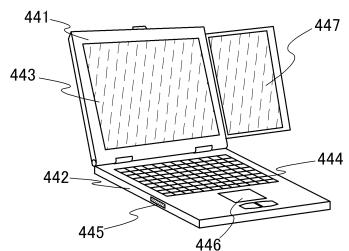
【図10】



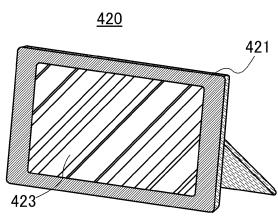
【図11】



【図12】



(B)



---

フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 21/302 1 0 5 A

(56)参考文献 特開平10-303412 (JP, A)

特開2005-057035 (JP, A)

特開2004-320011 (JP, A)

特開2010-182819 (JP, A)

特開2010-135770 (JP, A)

特開2006-100760 (JP, A)

特開平09-121056 (JP, A)

特開平07-273333 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 1 / 3 0 6 5

H 0 1 L 2 9 / 7 8 6