

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5515429号
(P5515429)

(45) 発行日 平成26年6月11日(2014.6.11)

(24) 登録日 平成26年4月11日(2014.4.11)

(51) Int.Cl.		F I		
HO 1 L 27/108	(2006.01)	HO 1 L 27/10	6 1 5	
HO 1 L 21/8242	(2006.01)	HO 1 L 27/10	4 6 1	
HO 1 L 27/10	(2006.01)	HO 1 L 27/10	6 2 5 B	
HO 1 L 21/76	(2006.01)	HO 1 L 21/76	L	

請求項の数 7 (全 22 頁)

(21) 出願番号	特願2009-132212 (P2009-132212)	(73) 特許権者	308014341
(22) 出願日	平成21年6月1日(2009.6.1)		富士通セミコンダクター株式会社
(65) 公開番号	特開2010-278394 (P2010-278394A)		神奈川県横浜市港北区新横浜二丁目10番23
(43) 公開日	平成22年12月9日(2010.12.9)	(74) 代理人	100091340
審査請求日	平成24年3月2日(2012.3.2)		弁理士 高橋 敬四郎
		(74) 代理人	100105887
			弁理士 来山 幹雄
		(72) 発明者	松浦 克好
			東京都新宿区西新宿二丁目7番1号 富士通マイクロエレクトロニクス株式会社内
		(72) 発明者	浅野 正義
			東京都新宿区西新宿二丁目7番1号 富士通マイクロエレクトロニクス株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板の表面に、第1導電型の第1領域を形成し、該第1領域上に、第1ゲート絶縁膜と第1ゲート電極の積層構造、及びキャパシタ絶縁膜とキャパシタ電極の積層構造を形成する工程と、

前記半導体基板の表面に、前記第1領域と素子分離絶縁膜により分離された前記第1導電型の第2領域を形成し、該第2領域上に、第2ゲート絶縁膜と第2ゲート電極の積層構造を形成する工程と、

前記第1, 2領域、前記第1, 2ゲート電極及び前記キャパシタ電極を覆って第1絶縁膜を形成する工程と、

前記第2領域上および前記第2ゲート電極上の前記第1絶縁膜を覆って第1マスク部材を形成する工程と、

前記第1ゲート電極と前記キャパシタ電極と前記第1マスク部材とをマスクとし、前記第1ゲート電極と前記キャパシタ電極との間の前記第1領域上の第3領域、及び、該第1ゲート電極に対し該キャパシタ電極と反対側の該第1領域上の第4領域に、前記第1絶縁膜を通して、前記第1導電型と反対の第2導電型の第1不純物を注入する第1不純物注入工程と、

前記第1不純物注入工程の後、前記第1マスク部材を除去し、前記第1絶縁膜をエッチングして、前記第1, 2ゲート電極の側壁上及び前記キャパシタ電極の側壁上に、第1サイドウォール絶縁膜を残す工程と、

10

20

前記第 1, 3, 4 領域、前記第 1 ゲート電極及び前記キャパシタ電極を覆って第 2 マスク部材を形成する工程と、

前記第 2 ゲート電極と第 2 マスク部材とをマスクとし、前記第 2 領域の境界と前記第 2 ゲート電極との間の前記第 2 領域上の第 5 領域に、前記第 2 導電型の第 2 不純物を注入する第 2 不純物注入工程と、

を有し、

前記第 1 不純物注入工程で注入された前記第 1 不純物の深さ方向プロファイルのピーク濃度は、前記第 2 不純物注入工程で注入された前記第 2 不純物の深さ方向プロファイルのピーク濃度よりも低いことを特徴とする半導体装置の製造方法。

【請求項 2】

さらに、

前記第 2 不純物注入工程の後、前記第 2 マスク部材を除去し、前記第 1 ~ 第 5 領域、前記第 1, 2 ゲート電極及び前記キャパシタ電極を覆って第 2 絶縁膜を形成する工程と、

前記第 3 領域上の前記第 2 絶縁膜を覆って、第 3 マスク部材を形成する工程と、

前記第 3 マスク部材をマスクとして前記第 2 絶縁膜をエッチングし、前記第 3 領域上に前記第 2 絶縁膜を残すとともに、前記第 4 領域上における前記第 1 ゲート電極の側壁上および前記第 2 ゲート電極の側壁上に第 2 サイドウォール絶縁膜を残す工程と、

前記第 3 マスク部材を除去し、前記第 1, 2 ゲート電極、前記第 2 絶縁膜並びに前記第 2 サイドウォール絶縁膜をマスクとして、前記第 4, 5 領域に前記第 2 導電型の第 3 不純物を注入する第 3 不純物注入工程と、

を有する請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記第 1 不純物注入工程で注入された第 1 不純物の深さ方向プロファイルの最も深い注入深さが、前記第 2 不純物注入工程で注入された第 2 不純物の深さ方向プロファイルの最も深い注入深さよりも深い請求項 1 または 2 に記載の半導体装置の製造方法。

【請求項 4】

前記第 1 不純物注入工程の前記第 1 不純物の加速エネルギーは、前記第 2 不純物注入工程の前記第 2 不純物の加速エネルギーの 6 倍 ~ 14 倍の範囲である請求項 3 に記載の半導体装置の製造方法。

【請求項 5】

前記第 1 絶縁膜を形成する工程は、厚さ 5 nm ~ 20 nm の範囲の前記第 1 絶縁膜を形成する請求項 1 ~ 4 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 6】

前記半導体基板は、さらに、前記キャパシタ電極の下部に素子分離溝を有し、該キャパシタ電極は、該素子分離溝から前記第 1 ゲート電極側に延在して該半導体基板上に形成されているとともに、該素子分離溝に入り込んで形成されている請求項 1 ~ 5 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 7】

前記第 1 ゲート電極および前記第 3, 4 領域が、それぞれワード線、ストレージ拡散層およびビットラインコンタクト拡散層に対応するスイッチングトランジスタを構成し、

前記第 2 ゲート電極と該第 2 ゲート電極の両側の前記第 5 領域が、それぞれゲート、ソースおよびドレインに対応するトランジスタを構成する請求項 1 ~ 6 いずれか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリを有する半導体装置の製造方法に関する。

【背景技術】

【0002】

10

20

30

40

50

1つのスイッチングトランジスタに1つのキャパシタを組み合わせたメモリセル構造が知られている。例えばこのようなメモリセル構造を、ロジックのトランジスタ構造と同時に形成して、半導体メモリを備えたロジック混載大規模集積回路(LSI)が作製される。

【0003】

ロジック混載型メモリセルのキャパシタとして、キャパシタ絶縁膜を介してセルプレート電極と半導体基板とが対向配置され、セルプレート電極への印加電圧で半導体基板表面に反転層を形成し、この反転層を電荷蓄積領域とする構造のものを用いることができる。

【0004】

さらに、シャロートレンチアイソレーション(STI)の素子分離絶縁膜を掘り込んで、素子分離溝中に入り込んでセルプレート電極を形成することにより、素子分離溝側壁の活性領域も電荷蓄積領域として利用し、容量を増やすことができる(1TQ構造)。

10

【0005】

メモリセルのスイッチングトランジスタの、キャパシタ側の不純物拡散層(ストレージ拡散層)が、キャパシタの反転層と接続され、電荷蓄積領域の一部となる。メモリセルの電荷保持特性を良好とするために、ストレージ拡散層を介したリーク電流、例えばジャンクションリーク電流を低減させることが望ましい。なお、高温(例えば125)になると、ストレージ拡散層を介したリーク電流は大幅に増大する。

【先行技術文献】

【特許文献】

【0006】

20

【特許文献1】特許第3564472号公報

【特許文献2】特許第3795634号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明の一目的は、ストレージ拡散層を介したリーク電流の抑制が図られたメモリセルの作製に適した、半導体装置の製造方法を提供することである。

【課題を解決するための手段】

【0008】

本発明の一観点によれば、半導体基板の表面に、第1導電型の第1領域を形成し、該第1領域上に、第1ゲート絶縁膜と第1ゲート電極の積層構造、及びキャパシタ絶縁膜とキャパシタ電極の積層構造を形成する工程と、前記半導体基板の表面に、前記第1領域と素子分離絶縁膜により分離された前記第1導電型の第2領域を形成し、該第2領域上に、第2ゲート絶縁膜と第2ゲート電極の積層構造を形成する工程と、前記第1、2領域、前記第1、2ゲート電極及び前記キャパシタ電極を覆って第1絶縁膜を形成する工程と、前記第2領域上および前記第2ゲート電極上の前記第1絶縁膜を覆って第1マスク部材を形成する工程と、前記第1ゲート電極と前記キャパシタ電極と前記第1マスク部材とをマスクとし、前記第1ゲート電極と前記キャパシタ電極との間の前記第1領域上の第3領域、及び、該第1ゲート電極に対し該キャパシタ電極と反対側の該第1領域上の第4領域に、前記第1絶縁膜を通して、前記第1導電型と反対の第2導電型の第1不純物を注入する第1不純物注入工程と、前記第1不純物注入工程の後、前記第1マスク部材を除去し、前記第1絶縁膜をエッチングして、前記第1、2ゲート電極の側壁上及び前記キャパシタ電極の側壁上に、第1サイドウォール絶縁膜を残す工程と、前記第1、3、4領域、前記第1ゲート電極及び前記キャパシタ電極を覆って第2マスク部材を形成する工程と、前記第2ゲート電極と第2マスク部材とをマスクとし、前記第2領域の境界と前記第2ゲート電極との間の前記第2領域上の第5領域に、前記第2導電型の第2不純物を注入する第2不純物注入工程と、を有し、前記第1不純物注入工程で注入された前記第1不純物の深さ方向プロファイルのピーク濃度は、前記第2不純物注入工程で注入された前記第2不純物の深さ方向プロファイルのピーク濃度よりも低いことを特徴とする半導体装置の製造方法、が提供される。

30

40

50

【発明の効果】

【0009】

第1ゲート電極とキャパシタ電極との間の第2領域に、第1絶縁膜を通して第1不純物を注入して、不純物拡散層を形成することにより、第1ゲート電極及びキャパシタ電極を用いて形成されるメモリセルにおいて、当該不純物拡散層を介したリーク電流が抑制され、電荷保持特性向上が図られる。

【0010】

当該不純物拡散層形成の不純物注入に用いた第1絶縁膜は、例えば、第1ゲート電極側壁上のサイドウォールに加工して、第1ゲート電極に対しキャパシタ電極と反対側の第3領域への第2不純物注入のマスクとして用いることができる。

10

【図面の簡単な説明】

【0011】

【図1】図1は、本発明の実施例の半導体装置の全体構造を示す概略平面図である。

【図2】図2Aは、実施例によるメモリセルアレイのレイアウトの概略平面図であり、図2Bは、図2Aに示す一点鎖線AA'に沿ったメモリセルの概略断面図である。

【図3】図3は、実施例の半導体装置のメモリ回路のメモリセルと、ロジック回路のトランジスタを並べて示す概略平面図である。

【図4-1】と

【図4-2】と

【図4-3】と

【図4-4】と

【図4-5】と

【図4-6】と

【図4-7】と

【図4-8】と

【図4-9】図4A～図4Qは、実施例の半導体装置の製造方法の主要工程を示す概略断面図である。

【図5】図5A及び図5Bは、実施例のメモリセルのオン電流及びリーク電流を測定した実験のサンプル構造を示す概略断面図である。

【図6】図6は、実施例及び第1の比較例のメモリセルのオン電流及びリーク電流の測定実験結果をプロットしたグラフである。

30

【図7】図7は、実施例及び第2の比較例のシミュレーションで得られた不純物の深さ方向プロファイルである。

【図8】図8は、実施例及び第1の比較例のメモリセルのオン電流及びリーク電流のシミュレーション結果をプロットしたグラフである。

【発明を実施するための形態】

【0012】

まず、本発明の実施例による半導体装置の概略的な全体構造について説明する。

【0013】

図1は、実施例の半導体装置のチップイメージを示す概略平面図である。図1の左側に、半導体装置100の全体構造を示す。半導体装置100は、半導体メモリを備えたロジック混載大規模集積回路(LSI)であり、メモリ回路101と、ロジック回路102とを含む。ロジック回路102は、例えば相補型金属酸化物半導体(CMOS)インバータチェーンを含む。

40

【0014】

図1の右側に、メモリ回路101のレイアウトを概略的に示す。メモリ回路101は、メモリセル103、センスアンプ104、ワードデコーダ105、コラムデコーダ106、及び周辺回路107を含む。

【0015】

ワードデコーダ105及びコラムデコーダ106が、アドレスデコーダとして用いられ

50

る。指定されたアドレスのメモリセル103から読み出された微弱信号を、センスアンプ104が十分なレベルに増幅する。周辺回路107は、メモリセル103、センスアンプ104、ワードデコーダ105、及びコラムデコーダ106以外の回路をまとめて示しており、入出力バッファ等を含む。

【0016】

図2Aは、実施例によるメモリセルアレイのレイアウトを概略的に示す平面図である。4行2列の配置を代表的に示す。素子分離溝に酸化シリコン等の絶縁膜を埋め込んだ、シャロートレンチアイソレーション(STI)の素子分離絶縁膜STIが、各々列方向に細長く2行2列に配置された活性領域ARを画定する。

【0017】

ビット線コンタクトBCTが、各活性領域ARの中央に配置されている。1つの活性領域AR当たり、ビット線コンタクトBCTを共有し、ビット線コンタクトBCTを挟んで上下に2つのメモリセルMCが配置される。

【0018】

ビット線BLに対し、相補的なビット線/BLが対となるよう配置されている。図2Aでビット線の対に対し0と番号を付している。ビット線BL、/BLが、それぞれ、隣接する活性領域ARの列上を列方向に延在し、各活性領域ARのビット線コンタクトBCTに接続する。

【0019】

ワード線WLに対し、相補的なワード線/WLが対となるよう配置されている。図2Aでワード線の対ごとに0、1と番号を付している。一对のワード線WL、/WLは、ビット線コンタクトBCTを挟んで上下に配置され、活性領域ARを横切って行方向に延在する。

【0020】

ビット線コンタクトBCTに対し、ワード線WL、/WLの上下外側に、それぞれ、セルプレート電極CPが配置されている。これらのセルプレート電極CPは、活性領域ARの上下端部を覆って、行方向に延在する。上側の行の活性領域ARの下側のセルプレート電極CPと、下側の行の活性領域ARの上側のセルプレート電極CPとが、共通となっている。

【0021】

図2Bは、図2Aに示す一点鎖線AA'に沿ったメモリセルMCの概略断面図である。半導体基板SUBに、ワード線WLをゲート電極とし、不純物拡散層STR、SDがソース/ドレイン領域に対応するMOSトランジスタ構造TRが形成されている。なお、チャンネルドーズ領域CHD(9a)、チャンネルストップ領域CHS(9b)については、後述する。

【0022】

不純物拡散層SDにビット線BLが接続し、ビット線コンタクトBCTが形成されている。不純物拡散層SD、STRは、例えば、n型ウェルNW中に形成されたp型不純物拡散層であり、p型のMOSトランジスタTRが形成される。

【0023】

不純物拡散層STRを挟んで、ワード線WLと反対側の半導体基板SUB上に、キャパシタ絶縁膜CIを介してセルプレート電極CPが配置されている。セルプレート電極CPへの所定電圧印加により、半導体基板SUBの表面に反転層ILを形成することで、反転層ILに電荷を蓄積することができ、セルプレート電極CP、キャパシタ絶縁膜CI、及び反転層ILの積層構造によるキャパシタCAPが形成される。例えば、セルプレート電極CPへの所定の負電圧印加により、n型ウェルNW表面を反転させて、正電荷を蓄積できる。

【0024】

このように、MOSトランジスタTRをスイッチングトランジスタとし、キャパシタCAPに電荷を蓄積して情報を保持するメモリセルMCが形成される。

10

20

30

40

50

【 0 0 2 5 】

セルプレート電極 C P は、隣接する活性領域 A R にまたがって、隣接するメモリセル M C に共通に形成されている。隣接する活性領域 A R の間で、セルプレート電極 C P の下に素子分離絶縁膜 S T I が配置されている。

【 0 0 2 6 】

セルプレート電極 C P 下の素子分離絶縁膜 S T I が、一部の厚さを残して掘り込まれ、素子分離溝中に入り込んでセルプレート電極 C P が形成されている。これにより、素子分離溝側壁にも反転層 I L を形成して、キャパシタ容量増大が図られる。素子分離溝底には、隣接するメモリセル M C 同士を電氣的に分離するのに必要な厚さの絶縁膜が残される。

【 0 0 2 7 】

このように、素子分離溝側壁もキャパシタとして用いられるとともに、素子分離溝底に残した絶縁膜により隣接メモリセル間が電氣的に分離される分離併合型キャパシタ構造が形成されている。

【 0 0 2 8 】

キャパシタ C A P に接続される不純物拡散層（ストレージ拡散層）S T R は、反転層 I L の形成領域に比べ不純物濃度が高く、電流のリークが生じやすい。メモリセル M C の電荷保持特性を良好にするため、特に、ストレージ拡散層 S T R を介したリーク電流を低減することが望まれる。

【 0 0 2 9 】

次に、実施例による半導体装置の製造方法について説明する。メモリセルのスイッチングトランジスタを p 型 M O S トランジスタで形成する場合を例示し、メモリセルとロジック回路の p 型 M O S トランジスタとを同時に製造する工程について説明する。なお、半導体装置の製造工程全体としては、n 型 M O S トランジスタの製造工程部分も必要となるが、n 型 M O S トランジスタの製造工程部分は、例えば公知の技術を用いることができる。

【 0 0 3 0 】

図 3 は、半導体メモリを備えた実施例のロジック混載 L S I 中の、メモリ回路のメモリセル M C と、ロジック回路の p 型 M O S トランジスタ T R L とを並べて示す概略平面図である。ロジック回路の p 型 M O S トランジスタ T R L は、活性領域 A R L に形成され、ゲート電極 G T を有する。以下、図 3 に示す一点鎖線 Y Y ' に沿った概略断面図を参照して、実施例の半導体装置の製造方法の主要工程について説明する。

【 0 0 3 1 】

まず、図 4 A に示すように、例えば p 型のシリコン半導体基板 1 を用意し、シリコン基板 1 の表面を熱酸化して初期シリコン酸化膜 2 を形成した後、初期シリコン酸化膜 2 上にシリコン窒化膜（S i ₃ N₄ 膜）3 を例えば化学気相堆積（C V D）で形成する。

【 0 0 3 2 】

次に、活性領域を覆うレジストパターン R P 1 をリソグラフィーで形成し、レジストパターン R P 1 をマスクとしたドライエッチングにより、シリコン窒化膜 3 をエッチングしてハードマスクを形成し、このハードマスクをマスクとしてシリコン基板 1 をエッチングする。シリコン基板 1 内に、例えば深さ 3 0 0 n m 程度の素子分離溝 4 を形成する。素子分離溝 4 の深さは、キャパシタ容量に寄与するものであり、適宜変更が可能である。

【 0 0 3 3 】

次に、（残っていれば）レジストパターン R P 1 を灰化处理等により除去する。次に、素子分離溝 4 を埋め込んで、例えば高密度プラズマ（H D P）C V D により例えばシリコン酸化物を堆積して、素子分離絶縁膜 5 を形成する。そして、シリコン窒化膜 3 をストップパとした化学機械研磨（C M P）を施し、素子分離溝 4 内に素子分離絶縁膜 5 を残す。このようにして S T I の素子分離絶縁膜 5 が形成される。

【 0 0 3 4 】

次に、図 4 B に示すように、メモリ回路において素子分離絶縁膜 5 の掘り起こしエッチングを行なう領域に開口するレジストパターン R P 2 を、リソグラフィーで形成する。そして、レジストパターン R P 2 をマスクとしたドライエッチングにより、素子分離絶縁膜

10

20

30

40

50

5を素子分離溝4の底から一部の厚さ、例えば130nm程度残して除去して、キャパシタ用トレンチ6を形成する。その後レジストパターンRP2を灰化処理等により除去する。

【0035】

次に、図4Cに示すように、ウエットエッチングにより、シリコン窒化膜3、初期シリコン酸化膜2を除去する。エッチング液として、例えば、リン酸溶液やフッ酸溶液を用いる。その後、シリコン基板1表面を熱酸化して、後のイオン注入工程の保護膜として機能するシリコン酸化膜7を、例えば厚さ10nm形成する。

【0036】

次に、図4Dに示すように、n型不純物のイオン注入を行ない、n型ウェルを兼ねたチャネルストップ領域8を形成する。イオン注入条件は、例えば、n型不純物としてリン(P)を用い、加速エネルギーを360keVとし、ドーズ量を $3.0 \times 10^{13} / \text{cm}^2$ とする。イオン注入条件は、作製される半導体装置の素子分離能力に影響し、素子分離溝4の深さに合わせて適宜変更できる。

【0037】

なお、このイオン注入は、メモリ回路のトランジスタ領域及びキャパシタ領域と、ロジック回路のp型MOSトランジスタ領域に開口するレジストパターンをリソグラフィーで形成し、このレジストパターンをマスクとして行なわれる。レジストパターンを、イオン注入後、灰化処理等により除去する。

【0038】

n型ウェル及びチャネルストップ領域8は、キャパシタ用トレンチ6の形成領域で、素子分離絶縁膜5が掘り込まれた分だけ、他の領域よりも深い位置に形成される。なお、キャパシタ用トレンチ6の形成前にウェル注入を行なう製造プロセスとすることもできる。

【0039】

次に、さらにn型不純物のイオン注入を行なって、メモリ回路の活性領域の上層部分、及びロジック回路のp型MOSトランジスタ領域の活性領域の上層部分に、チャネルドーズ領域9aを形成する。また、これと同時に、メモリ回路のキャパシタ用トレンチ6形成領域の、素子分離絶縁膜5の(素子分離溝4の)下方に、望ましくは直下に、チャネルストップ領域9bを形成する。イオン注入条件は、例えば、n型不純物としてヒ素(As)を用い、加速エネルギーを100keVとし、ドーズ量を $1.5 \times 10^{12} / \text{cm}^2$ とする。

【0040】

なお、このイオン注入は、メモリ回路のトランジスタ領域及びキャパシタ領域と、ロジック回路のp型MOSトランジスタ領域に開口するレジストパターンをリソグラフィーで形成し、このレジストパターンをマスクとして行なわれる。レジストパターンを、イオン注入後、灰化処理等により除去する。また、n型ウェルを兼ねたチャネルストップ領域8形成時と同じレジストパターンを用いてもよい。

【0041】

次に、図4Eに示すように、まず、ウエットエッチングにより酸化シリコン膜7を溶解除去する。エッチング液としては、例えばフッ酸溶液を用いる。

【0042】

次に、メモリ回路のスイッチングトランジスタのゲート絶縁膜、キャパシタ絶縁膜、及びロジック回路のp型MOSトランジスタのゲート絶縁膜として用いられる絶縁膜10を形成する。例えば、シリコン基板1表面を熱酸化して、シリコン酸化膜10を、例えば厚さ3.6nm程度形成する。なお、いわゆるデュアルゲート絶縁膜プロセスにより、熱酸化、酸化膜の一部除去、再熱酸化を行い、トランジスタ領域とキャパシタ領域とで、それぞれ異なる膜厚に絶縁膜を形成するようにしてもよい。

【0043】

次に、メモリ回路のスイッチングトランジスタのゲート電極、キャパシタの上部電極であるセルプレート電極、及びロジック回路のp型MOSトランジスタのゲート電極として

10

20

30

40

50

用いられる導電膜 11 を形成する。例えば、シリコン酸化膜 10 上に、CVD により多結晶シリコン膜 11 を厚さ 105 nm 程度堆積する。多結晶シリコン膜 11 は、キャパシタ用トレンチ 6 に入り込んで形成される。

【0044】

次に、図 4 F に示すように、メモリセルのスイッチングトランジスタのゲート電極 11 a、セルプレート電極 11 b、及びロジック回路の p 型 MOS トランジスタのゲート電極 11 c の形状のレジストパターン RP3 を、リソグラフィーで形成する。

【0045】

レジストパターン RP3 を用いて、多結晶シリコン膜 11 及びシリコン酸化膜 10 をパターンニングし、メモリセルのスイッチングトランジスタのゲート電極 11 a 及びゲート絶縁膜 10 a、セルプレート電極 11 b 及びキャパシタ絶縁膜 10 b、及び、ロジック回路の p 型 MOS トランジスタのゲート電極 11 c 及びゲート絶縁膜 10 c を、同時形成する。

10

【0046】

その後、レジストパターン RP3 を灰化处理等により除去する。なお、多結晶シリコン膜 11 のパターンニングの前に、ゲート電極 11 a、11 c、及びセルプレート電極 11 b の抵抗を下げるための不純物注入を行なってもよい。

【0047】

次に、図 4 G に示すように、ゲート電極 11 a、セルプレート電極 11 b、及びゲート電極 11 c をマスクとし、パンチスルー対策としてポケットイオン注入を行ない、ゲート電極 11 a、11 c の端部下方に入り込むポケット領域 12 を形成する。

20

【0048】

イオン注入条件は、n 型不純物として例えばリン (P) を用い、加速エネルギーを 35 keV とし、ドーズ量を 1 回当たり、 $6 \cdot 10 \times 10^{12} / \text{cm}^2$ とし、ウェハを回転させて 4 方向から、45 度の傾斜注入を行なう。なお、メモリ回路のトランジスタとロジック回路のトランジスタとで、条件を異ならせてポケットイオン注入を行なうようにしてもよい。

【0049】

次に、図 4 H に示すように、ゲート電極 11 a、セルプレート電極 11 b、及びゲート電極 11 c を覆って、シリコン基板 1 上に絶縁膜 13 を形成する。例えば、CVD でシリコン酸化膜 13 を厚さ 15 nm 堆積する。

30

【0050】

次に、図 4 I に示すように、絶縁膜 13 上に、ロジック回路の活性領域 (少なくとも、p 型 MOS トランジスタのゲート電極 11 c の両側近傍) を覆い、メモリ回路の活性領域に開口するレジストパターン RP4 をリソグラフィーで形成する。

【0051】

ゲート電極 11 a、セルプレート電極 11 b、及びレジストパターン RP4 をマスクとし、絶縁膜 13 を通して、p 型不純物のイオン注入を行ない、メモリセルのゲート電極 11 a の両側の活性領域表層にエクステンション領域 14 を形成する。イオン注入条件は、例えば、p 型不純物としてホウ素 (B) を用い、加速エネルギーを 5.0 keV とし、ドーズ量を $4 \cdot 0 \times 10^{14} / \text{cm}^2$ とする。

40

【0052】

次に、図 4 J に示すように、灰化处理等によりレジストパターン RP4 を除去する。レジストパターン RP4 の下の絶縁膜 13 が露出する。

【0053】

次に、図 4 K に示すように、絶縁膜 13 をリアクティブイオンエッチング (RIE) 等の異方性エッチングでエッチバックして、ゲート電極 11 a、セルプレート電極 11 b 及びゲート電極 11 c の側壁上に絶縁膜 13 を残し、サイドウォール絶縁膜 (サイドウォールスペーサ) 15 を形成する。

【0054】

50

次に、図 4 L に示すように、メモリ回路の活性領域（少なくとも、スイッチングトランジスタのゲート電極 1 1 a の両側近傍）を覆い、ロジック回路の p 型 MOS トランジスタの活性領域に開口するレジストパターン R P 5 をリソグラフィーで形成する。

【 0 0 5 5 】

ゲート電極 1 1 c、その側壁上のサイドウォール絶縁膜 1 5、及びレジストパターン R P 5 をマスクとし、p 型不純物のイオン注入を行ない、ロジック回路の p 型 MOS トランジスタのゲート電極 1 1 c の両側の活性領域表層にエクステンション領域 1 6 を形成する。イオン注入条件は、例えば、p 型不純物としてホウ素（B）を用い、加速エネルギーを 0.5 keV とし、ドーズ量を $2.0 \times 10^{14} / \text{cm}^2$ とする。

【 0 0 5 6 】

次に、図 4 M に示すように、灰化処理等によりレジストパターン R P 5 を除去する。

【 0 0 5 7 】

次に、図 4 N に示すように、ゲート電極 1 1 a、1 1 c と、セルプレート電極 1 1 b と、これらの側壁上のサイドウォール絶縁膜 1 5 とを覆って、シリコン基板 1 上に絶縁膜 1 7 を形成する。例えば、CVD でシリコン酸化膜を厚さ 70 nm 堆積する。

【 0 0 5 8 】

次に、図 4 O に示すように、メモリセルのスイッチングトランジスタのゲート電極 1 1 a と、これに隣接するセルプレート電極 1 1 b との間の領域を覆い、ゲート電極 1 1 a のセルプレート電極 1 1 b と反対側の領域、及びロジック回路の p 型 MOS トランジスタのゲート電極 1 1 c の両側の領域を露出するレジストパターン R P 6 を、リソグラフィーで形成する。

【 0 0 5 9 】

次に、レジストパターン R P 6 を用いて絶縁膜 1 7 を、リアクティブイオンエッチング（RIE）等の異方性エッチングでエッチバックする。これにより、スイッチングトランジスタのゲート電極 1 1 a のセルプレート電極 1 1 b と反対側側壁のサイドウォール絶縁膜 1 5 上、及び、ロジック回路の p 型 MOS トランジスタのゲート電極 1 1 c の両側側壁のサイドウォール絶縁膜 1 5 上に、絶縁膜 1 7 を残して、サイドウォール絶縁膜（サイドウォールスペーサ）1 8 a を形成する。

【 0 0 6 0 】

また同時に、レジストパターン R P 6 の下の、スイッチングトランジスタのゲート電極 1 1 a とセルプレート電極 1 1 b との間の領域の絶縁膜 1 7 を残して、この領域を覆うマスク部材 1 8 b を形成する。その後、灰化処理等によりレジストパターン R P 6 を除去する。

【 0 0 6 1 】

次に、図 4 P に示すように、ゲート電極 1 1 a、ゲート電極 1 1 a のセルプレート電極 1 1 b 反対側側壁上のサイドウォール絶縁膜 1 5 及び 1 8 a、セルプレート電極 1 1 b、マスク部材 1 8 b、ゲート電極 1 1 c、及びゲート電極 1 1 c の両側側壁上のサイドウォール絶縁膜 1 5 及び 1 8 a をマスクとして、p 型不純物のイオン注入を行なう。イオン注入条件は、例えば、p 型不純物としてホウ素（B）を用い、加速エネルギーを 4 keV とし、ドーズ量を $6.0 \times 10^{15} / \text{cm}^2$ とする。

【 0 0 6 2 】

これにより、スイッチングトランジスタのゲート電極 1 1 a の、セルプレート電極 1 1 b と反対側に、エクステンション領域 1 4 と重畳するように、エクステンション領域 1 4 よりも高不純物濃度の領域 1 9 が形成される。

【 0 0 6 3 】

このようにして、ゲート電極 1 1 a と、ゲート絶縁膜 1 0 a と、セルプレート電極 1 1 b 側に配置されストレージ拡散層となるエクステンション領域 1 4 と、セルプレート電極 1 1 b と反対側に配置されビットコンタクト拡散層となる高不純物濃度領域 1 9（及びこれと重畳されたエクステンション領域 1 4）とを備えた、メモリ回路のスイッチング用トランジスタ構造 T R が形成される。

10

20

30

40

50

【 0 0 6 4 】

また同時に、ロジック回路のp型MOSトランジスタのゲート電極11cの両側に、エクステンション領域16と重畳するように、エクステンション領域16よりも高不純物濃度のソース/ドレイン領域19が形成される。

【 0 0 6 5 】

このようにして、ゲート電極11cと、ゲート絶縁膜10cと、ソース/ドレイン領域19（及びこれと重畳されたエクステンション領域16）とを備えた、ロジック回路のp型MOSトランジスタ構造TRLが形成される。

【 0 0 6 6 】

セルプレート電極11bと、シリコン基板1の上面及びキャパシタ用トレンチ6の側壁で、セルプレート電極11bとシリコン基板1との間に介在するキャパシタ絶縁膜10bと、キャパシタ絶縁膜10bを介してセルプレート電極11bと対向するシリコン基板1の表面部分（に形成される反転層）とにより、キャパシタ構造CAPが形成される。スイッチング用トランジスタ構造TRとキャパシタ構造CAPとを備えて、メモリセルMCが形成される。

10

【 0 0 6 7 】

ビットコンタクト拡散層及びソース/ドレイン領域19形成のイオン注入後、不純物の活性化及び拡散のため、ラピッドサーマルアニーリング（RTA）による熱処理を、例えば1025で3秒行なう。

【 0 0 6 8 】

そして、スパッタリングでCo膜を形成し、熱処理を行って、ゲート電極11a、11c、セルプレート電極11b、ソース/ドレイン領域19の表面をシリサイド化する。その後、不要部のCo膜を除去する。

20

【 0 0 6 9 】

次に、図4Qに示すように、シリコン基板1全面上に、例えばCVDでシリコン酸化膜を堆積して、層間絶縁膜20を形成する。

【 0 0 7 0 】

次に、メモリセルのビットコンタクト拡散層19、及びロジック回路のp型MOSトランジスタのソース/ドレイン領域19を露出させるように、層間絶縁膜20をリソグラフィ及びドライエッチングにより加工し、コンタクト孔を形成する。その後、ドライエッチングで用いたレジストパターンを灰化处理等で除去する。

30

【 0 0 7 1 】

続いて、コンタクト孔を埋め込むように、グルー膜を含んだWプラグを形成して、コンタクトプラグ21を形成する。

【 0 0 7 2 】

その後、ダマシン法等によりCu配線等を形成する。しかる後、さらなる層間絶縁膜や上層配線、上層保護膜等の形成を経て、実施例による半導体装置を完成させる。

【 0 0 7 3 】

本願発明者らは、ストレージ拡散層14（ストレージ拡散層STRとも呼ぶこととする）を、絶縁膜13を通したイオン注入で形成することにより、以下に説明するように、ストレージ拡散層STRを介したリーク電流低減等が図られることを見出した。

40

【 0 0 7 4 】

まず、メモリセルのトランジスタのオン電流、及びストレージ拡散層を介したリーク電流について調べた実験について説明する。

【 0 0 7 5 】

図5A及び図5Bは、この実験の測定サンプルの構造を示す概略断面図である。図5Aはオン電流測定に係るサンプル構造を示し、図5Bはリーク電流測定に係るサンプル構造を示す。

【 0 0 7 6 】

図5Aに示す、オン電流測定に係るサンプル構造では、メモリセルのトランジスタTR

50

のビットコンタクト拡散層SD、ゲート電極WL、及び基板にそれぞれ接続する電極端子として、ビット線端子TBL、ワード線端子TWL、及び基板端子TSUBを設けた。これとともに、ストレージ拡散層STRから引き出した電極端子として、ストレージ拡散層端子TSTRを設けた。ただし、実際のメモリ構造では、ストレージ拡散層STRには電極が接続されない。なお、ゲート長は例えば120nmであり、ゲート幅は例えば90nmである。

【0077】

図5Bの、リーク電流測定に係るサンプル構造では、オン電流測定のサンプル同様に、ビット線端子TBL、ワード線端子TWL、及び基板端子TSUBを設けるとともに、セルプレート電極CPに接続するセルプレート電極端子TCPを設けた。なお、ゲート長は

10

【0078】

オン電流測定に係るサンプル構造のトランジスタTRと、リーク電流測定に係るサンプル構造のトランジスタTRを、上述した実施例の製造工程と同様にして、同一基板上に同時形成した。

【0079】

ストレージ拡散層STR形成のイオン注入が、絶縁膜越しに行なわれている。絶縁膜として厚さ15nmのシリコン酸化膜を用い、ホウ素(B)を、加速エネルギー5.0keV、ドーズ量 $4.0 \times 10^{14} / \text{cm}^2$ で注入した。

【0080】

20

なお、この実験のサンプル作製において、ポケット注入は、リン(P)を用い、加速エネルギー35keV、ドーズ量を1回当たり $6.1 \times 10^{12} / \text{cm}^2$ とし、ウェハを回転させて4方向から45度の傾斜注入を行なった。

【0081】

そして、第1の比較例のサンプルも準備した。第1の比較例のサンプルは、ストレージ拡散層形成のイオン注入を、絶縁膜越しでなく、ゲート電極及びセルプレート電極のみをマスクとして行なった。

【0082】

第1の比較例のストレージ拡散層形成のイオン注入条件は、ロジックのp型MOSトランジスタのエクステンション領域形成と同様に、ホウ素(B)を用い、加速エネルギーを

30

【0083】

第1の比較例のサンプル作製において、ポケット注入は、リン(P)を用い、加速エネルギーを35keV、ドーズ量を1回当たり、 $3.0 \times 10^{12} / \text{cm}^2$ とし、ウェハを回転させて4方向から45度の傾斜注入を行なった。

【0084】

また、所望の閾値電圧Vth(-0.23V)に合わせるため、ロジックのトランジスタ部とは別に、チャンネルドーズとして、ヒ素(As)を用い、加速エネルギー60keV、ドーズ量 $4.0 \times 10^{12} / \text{cm}^2$ として、イオン注入を行なった。

【0085】

40

オン電流の測定は、ワード線端子TWLへの印加電圧を-1.55VとしてトランジスタTRをオンにした状態で、ビット線端子TBLへの印加電圧を0Vとし、ストレージ拡散層端子TSTRへの印加電圧を-1.2Vとして、ストレージ拡散層端子TSTRを流れる電流を測定した。基板端子TSUBへの印加電圧は0Vとした。

【0086】

リーク電流の測定は、セルプレート電極端子TCPへの印加電圧を-0.35Vとし、ワード線端子TWLへの印加電圧を-0.35VとしてトランジスタTRをオンにした状態で、基板端子TSUBへの印加電圧を1.2Vとし、ビット線端子TBLへの印加電圧を0Vとして、ビット線端子TBLを流れる電流を測定した。

【0087】

50

図6は、オン電流に対してリーク電流をプロットしたグラフである。横軸がオン電流 I_{on} を $\mu A / cell$ 単位で示し、縦軸がリーク電流 $STRLeak$ を $10^{-16} A / \mu m$ 単位で示す。実施例を三角のプロットで示し、第1の比較例を菱形のプロットで示す。オン電流及びリーク電流の測定は、室温で行なった。

【0088】

メモリの電荷保持特性の観点から、リーク電流は低いことが好ましく、スイッチングトランジスタの高速動作等の観点から、オン電流は高いことが好ましい。この実験では、実施例の方が、第1の比較例よりもリーク電流を低く、かつオン電流を高くできた。なお、図6には室温での測定結果を示したが、高温(例えば125)の測定では、実施例によるリーク電流低減効果がより顕著となった。

10

【0089】

このように、絶縁膜を介したイオン注入でストレージ拡散層を形成することにより、リーク電流低下が図られることがわかった。オン電流低下も抑制可能なことがわかった。

【0090】

次に、絶縁膜を介したイオン注入が、ストレージ拡散層の不純物濃度プロファイルにどのような影響を与えるか考察したシミュレーションについて説明する。

【0091】

シミュレーションにはテクノロジー・コンピュータ・エイディッド・デザイン(TCAD)ソフトを用いた。シリコン酸化膜越しに不純物Bを注入する場合を想定し、Bの深さ方向プロファイル(以下単にBプロファイルと呼ぶこともある)を、ストレージ拡散層中心部で取得した。シリコン酸化膜の厚さを5nm、10nm、15nm、及び20nmと変化させた。

20

【0092】

また、実施例のようにゲート電極とセルプレート電極との間を覆った絶縁膜をエッチバックして、ゲート電極側壁上及びセルプレート電極側壁上にサイドウォールを残した状態とし、サイドウォール越しにイオン注入を行なう第2の比較例に対するシミュレーションも行なった。第2の比較例は、ストレージ拡散層中心部では、絶縁膜が除去されて、絶縁膜を介さないイオン注入となっている。

【0093】

図7は、シミュレーションで得られた実施例及び第2の比較例の、B不純物注入直後の、不純物Bの深さ方向プロファイルである。横軸がシリコン基板表面からの深さを μm 単位で示し、縦軸がB濃度をログスケールの cm^{-3} 単位で示す。

30

【0094】

曲線A5、A10、曲線A15、曲線A20がそれぞれ、絶縁膜の厚さが5nm、10nm、15nm、20nmの実施例のBプロファイルであり、曲線B15が、サイドウォールの厚さが15nmの第2の比較例のBプロファイルである。

【0095】

プロファイルのピーク濃度に対応する深さである投影飛程(projection range、Rp)を揃えるように、各サンプルの加速エネルギーを調整している。図7に示すプロファイルの投影飛程Rpは0.7nmである。また、ドーズ量は全サンプルで等しく $2.0 \times 10^{14} / cm^2$ である。

40

【0096】

実施例の絶縁膜の厚さが5nm、10nm、15nm、20nmのサンプルは、それぞれ、加速エネルギーが3keV、4keV、5keV、7keVである。第2の比較例のサイドウォールの厚さが15nmのサンプルは、加速エネルギーが0.5keVである。同程度の投影飛程Rpを得ようとする、絶縁膜を通してのイオン注入となる実施例は、絶縁膜を通さない第2の比較例よりも高い加速エネルギーが必要となり、また、不純物が通過する絶縁膜が厚いほど、高い加速エネルギーが必要となる。

【0097】

第2の比較例は、不純物Bが基板表面の浅い部分に集中して分布している。投影飛程R

50

p (深さ 0.7 nm) 付近で示すピーク濃度が 10^{20} cm^{-3} を超えて高く、最も深い注入深さが 25 nm 程度と浅い。

【0098】

実施例は、第2の比較例に比べて、不純物Bが深い部分まで広がって分布している。どのサンプルでも、投影飛程Rp (深さ 0.7 nm) 付近で示すピーク濃度が 10^{19} cm^{-3} のオーダーと低くなっており、分布の裾が 90 nm を越えて深くまで広がっている。絶縁膜の膜厚が厚く、加速エネルギーが高いほど、ピーク濃度が低くなるとともに、最も深い注入深さが深くなる傾向がある。なお、実施例はある程度の量の不純物Bが、絶縁膜を越えずに、絶縁膜の厚さ内に留まる。

【0099】

このように、実施例では絶縁膜を越えて基板内に十分に不純物を注入するために、ある程度 (例えば、絶縁膜を介さない場合に比べて6倍~14倍程度) 高い加速エネルギーでのイオン注入が好ましい。絶縁膜を介して比較的高い加速エネルギーでイオン注入を行なうに伴い、不純物プロファイルはピーク濃度が低くなり、従って不純物濃度が全体的に低くなり、分布の裾が深くまで達する。

【0100】

なお、第2の比較例は、ロジックのp型MOSトランジスタのエクステンション注入に対応しているとも言える。上述の製造工程の説明のように、メモリセルのスイッチングトランジスタのエクステンション注入を絶縁膜越しに行なった後、この絶縁膜をエッチバックして、ロジックのp型MOSトランジスタのゲート電極側壁上にサイドウォールを残す。そして、このサイドウォール越しに、ロジックのp型MOSトランジスタのエクステンション注入が行なわれる。

【0101】

メモリセルのスイッチングトランジスタのエクステンション注入は、例えば、厚さ 15 nm のシリコン酸化膜越しに、不純物Bを用い、加速エネルギー 5.0 keV、ドーズ量 $4.0 \times 10^{14} / \text{cm}^2$ として行なわれる。

【0102】

一方、ロジックのp型MOSトランジスタのエクステンション注入は、サイドウォール越しに、例えば、不純物Bを用い、加速エネルギーを 0.5 keV とし、ドーズ量を $2.0 \times 10^{14} / \text{cm}^2$ として行なわれる。

【0103】

これは概ね、図7に示した状況に対応していると言え、メモリセルのスイッチングトランジスタのストレージ拡散層 (エクステンション領域) は、ロジックのp型MOSトランジスタのエクステンション領域に比べ、不純物濃度が低く、深くまで形成されていると言える。なお、ロジックのトランジスタのエクステンション領域は、短チャネル効果抑制のために、浅く形成することが要求される。

【0104】

以上の考察より、実施例の方法で形成されたメモリセルでは、スイッチングトランジスタのストレージ拡散層の不純物濃度が低く抑えられていることにより、ストレージ拡散層を介したジャンクションリーク電流が抑制されていると考えられる。

【0105】

さらに、ストレージ拡散層が深くまで形成されていることにより、スイッチングトランジスタのオン電流を大きくしやすいと考えられる。

【0106】

実施例の、絶縁膜厚さ 5 nm、10 nm、15 nm、20 nm のサンプルについて、投影飛程Rpが 0.7 nm に揃うように、それぞれ加速エネルギーを 3 keV、4 keV、5 keV、7 keV としたシミュレーションについて説明した。

【0107】

本願発明者らは、さらに、実施例のサンプルについて投影飛程Rpを変化させたシミュレーションも行なった。

10

20

30

40

50

【0108】

絶縁膜厚さ10nm、15nm、20nmのサンプルについて、投影飛程Rpが5.2nmに揃うように、それぞれ加速エネルギーを5.5keV、7keV、8.3keVとしたシミュレーションを行なった。

【0109】

また、絶縁膜厚さ10nm、15nm、20nmのサンプルについて、投影飛程Rpが14.3nmに揃うように、それぞれ加速エネルギーを7.8keV、9keV、10.5keVとしたシミュレーションを行なった。

【0110】

さらに、絶縁膜厚さ10nm、15nm、20nmのサンプルについて、投影飛程Rpが22.5nmに揃うように、それぞれ加速エネルギーを9.3keV、11keV、12keVとしたシミュレーションを行なった。

10

【0111】

そして、これらの各条件に対し、メモリセルのトランジスタのオン電流、及びストレージ拡散層を介したリーク電流について、シミュレーションで評価した。

【0112】

オン電流及びリーク電流の測定では、ストレージ拡散層に接続する電極を配置した。オン電流の測定では、ゲート電極電位をトランジスタのオンレベルの-1.2Vとし、ビットコンタクト拡散層の電位を0.0Vとし、ストレージ拡散層の電位を-1.2Vとして、ビットコンタクト拡散層からストレージ拡散層側に流れる電流を評価した。基板電位は0.0Vとした。

20

【0113】

リーク電流の測定では、セルプレート電極電位を-1.55Vとし、ゲート電極電位をトランジスタのオフレベルの0.35Vとし、ビットコンタクト拡散層の電位をオープンとした。ストレージ拡散層電極電位を-1.55Vとし、基板電位を0Vとし、ストレージ拡散層から基板のウェル側へ流れる電流を評価した。

【0114】

さらに、絶縁膜（及びサイドウォール）なしに不純物注入を行なう第1の比較例についても、シミュレーションでオン電流とリーク電流を評価した。

【0115】

図8は、オン電流に対してリーク電流をプロットしたグラフである。横軸がオン電流 I_{on} を $\mu A/cell$ 単位で示し、縦軸がリーク電流 $STRLeak$ をログスケールの $A/\mu m$ 単位で示す。実施例を四角のプロットで示し、曲線C10、曲線C15、曲線C20がそれぞれ、実施例の絶縁膜厚さ10nm、15nm、20nmのサンプルの結果を示す。各絶縁膜厚に対し、飛程を変えた（加速エネルギーを変えた）4つのプロットが示されている。また、第1の比較例を菱形のプロットで示す。

30

【0116】

シミュレーションでも、実施例は第1の比較例に対して、リーク電流が低減されていた。ただし、実施例のサンプルは、絶縁膜厚が厚いほどリーク電流は低くなるが、オン電流が低くなってしまいう傾向が見られる。

40

【0117】

これを踏まえ、ストレージ拡散層形成時の不純物注入に用いる絶縁膜の厚さは、例えば20nm以下とするのが好ましいと考えられる。なお、この絶縁膜は、薄すぎても所望の効果が得られなくなるので、例えば5nm以上の厚さとするのが好ましい。

【0118】

なお、各絶縁膜厚に対し、加速エネルギーを高くするほど、オン電流が高くなる傾向が見られる。すなわち、オン電流低下抑制のために加速エネルギーを高めることが有効であることが示唆される。ただし、加速エネルギーが高くなるほど横方向拡散が増えること等に起因して、実際のサンプルとシミュレーションの挙動を一致させることが難しくなる。加速エネルギー増大によりオン電流を高める技術の確立は、今後の課題と言える。

50

【 0 1 1 9 】

以上説明したように、メモリセルのスイッチングトランジスタのストレージ拡散層を、絶縁膜を介した不純物注入で形成することにより、ストレージ拡散層を介したジャンクションリーク電流の低減が図られる。これにより、メモリの電荷保持特性向上が図られる。

【 0 1 2 0 】

この絶縁膜は、例えば、スイッチングトランジスタのゲート電極側壁にサイドウォールスペーサとして残して、スイッチングトランジスタのビットコンタクト領域の高濃度不純物注入のマスクとして利用できる。

【 0 1 2 1 】

この絶縁膜は、また例えば、ロジックのトランジスタのゲート電極側壁にサイドウォールスペーサとして残して、ロジックのトランジスタのエクステンション注入のマスクとして利用できる。

10

【 0 1 2 2 】

なお、メモリセルのスイッチングトランジスタを p 型トランジスタとする例を説明したが、導電型を反転させて n 型トランジスタとしても、絶縁膜を介した不純物注入によるストレージ拡散層形成でリーク電流が抑制される効果は同様と考えられる。なお、メモリセルのスイッチングトランジスタとして、p 型と n 型が混在する構造とすることもできる。

【 0 1 2 3 】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

20

【 0 1 2 4 】

以上説明した実施例を含む実施形態に関し、さらに以下の付記を開示する。

(付 記 1)

表面に第 1 導電型の第 1 領域を有し、該第 1 領域上に、第 1 ゲート絶縁膜と第 1 ゲート電極の積層構造、及びキャパシタ絶縁膜とキャパシタ電極の積層構造を有する半導体基板を準備する工程と、

前記第 1 ゲート電極と前記キャパシタ電極とを覆って、前記半導体基板上に、第 1 絶縁膜を形成する工程と、

前記第 1 ゲート電極と前記キャパシタ電極とをマスクとし、前記半導体基板の、前記第 1 ゲート電極と前記キャパシタ電極との間の第 2 領域、及び、該第 1 ゲート電極に対し該キャパシタ電極と反対側の第 3 領域に、前記第 1 絶縁膜を通して、前記第 1 導電型と反対の第 2 導電型の第 1 不純物を注入する第 1 不純物注入工程と、

30

前記第 1 不純物注入工程の後、前記第 1 絶縁膜をエッチングして、前記第 1 ゲート電極側壁に、第 1 サイドウォール絶縁膜を残す工程と、

前記第 2 領域上に第 1 マスク部材を形成する工程と、

前記第 1 ゲート電極と、前記キャパシタ電極と、前記第 1 マスク部材と、前記第 1 ゲート電極側壁の前記第 1 サイドウォール絶縁膜とをマスクとし、前記第 3 領域に、前記第 2 導電型の第 2 不純物を注入する第 2 不純物注入工程とを有する半導体装置の製造方法。

(付 記 2)

40

前記半導体基板を準備する工程で準備される半導体基板は、さらに、素子分離絶縁膜により前記第 1 領域から分離された前記第 1 導電型の第 4 領域を有し該第 4 領域上に第 2 ゲート絶縁膜と第 2 ゲート電極の積層構造を有し、

前記第 1 絶縁膜を形成する工程は、前記第 2 ゲート電極も覆って第 1 絶縁膜を形成し、

前記第 1 不純物注入工程は、前記第 4 領域の前記第 1 絶縁膜上に、前記第 2 ゲート電極近傍の第 5 領域を覆う第 2 マスク部材を形成し、該第 2 マスク部材も用いて前記第 1 不純物を注入し、

さらに、前記第 2 マスク部材を除去して、その下の前記第 1 絶縁膜を露出させる工程を有し、

第 1 サイドウォール絶縁膜を残す工程は、前記第 2 ゲート電極側壁にも第 1 サイドウ

50

オール絶縁膜を残し、

さらに、前記第1領域上に、前記第2領域と前記第3領域とを覆う第3マスク部材を形成し、前記第2ゲート電極と、該第2ゲート電極側壁上の前記第1サイドウォール絶縁膜と、該第3マスク部材とをマスクとして、前記第5領域に、前記第2導電型の第3の不純物を注入する第3不純物注入工程と、

前記第3マスク部材を除去する工程とを有し、

第2不純物注入工程は、前記第2ゲート電極、及び該第2ゲート電極側壁上の前記第1サイドウォール絶縁膜もマスクとする付記1に記載の半導体装置の製造方法。

(付記3)

前記第1マスク部材を形成する工程は、

前記第1ゲート電極と、前記キャパシタ電極と、前記第1サイドウォール絶縁膜とを覆って、前記半導体基板上に第2絶縁膜を形成する工程と、

前記第2領域の前記第2絶縁膜上にマスクを形成し、このマスクを用いて該第2絶縁膜をエッチングして、該第2領域上の該第2絶縁膜を前記第1マスク部材として残すとともに、該第1ゲート電極側壁の前記第1サイドウォール上に、第2サイドウォール絶縁膜を残す工程と

を含み、

前記第2不純物注入工程は、前記第2サイドウォール絶縁膜もマスクとする付記1または2に記載の半導体装置の製造方法。

(付記4)

前記第2絶縁膜を形成する工程は、前記第2ゲート電極及びその側壁上の前記第1サイドウォール絶縁膜も覆って第2絶縁膜を形成し、

前記第2サイドウォール絶縁膜を残す工程は、前記第2ゲート電極側壁の前記第1サイドウォール上にも第2サイドウォール絶縁膜を残す、付記2に記載の付記3に記載の、半導体装置の製造方法。

(付記5)

前記第1不純物注入工程で注入された第1不純物の深さ方向プロファイルのピーク濃度が、前記第3不純物注入工程で注入された第3不純物の深さ方向プロファイルのピーク濃度よりも低い付記2に記載の半導体装置の製造方法。

(付記6)

前記第1不純物注入工程で注入された第1不純物の深さ方向プロファイルの最も深い注入深さが、前記第3不純物注入工程で注入された第3不純物の深さ方向プロファイルの最も深い注入深さよりも深い付記5に記載の半導体装置の製造方法。

(付記7)

前記第1不純物注入工程の前記第1不純物の加速エネルギーは、前記第3不純物注入工程の前記第3不純物の加速エネルギーの6倍～14倍の範囲である付記5または6に記載の半導体装置の製造方法。

(付記8)

前記第1不純物注入工程で注入される第1不純物と、前記第3不純物注入工程で注入される第3不純物は、同一種類の不純物である付記5～7のいずれか1つに記載の半導体装置の製造方法。

(付記9)

前記第1絶縁膜を形成する工程は、厚さ5nm～20nmの範囲の前記第1絶縁膜を形成する付記1～8のいずれか1つに記載の半導体装置の製造方法。

(付記10)

前記第1絶縁膜を形成する工程は、酸化シリコンで前記第1絶縁膜を形成する付記9に記載の半導体装置の製造方法。

(付記11)

前記半導体基板を準備する工程で準備される半導体基板は、さらに、前記キャパシタ電

10

20

30

40

50

極の下部に素子分離溝を有し、該キャパシタ電極は、該素子分離溝から前記第1ゲート電極側に延在して該半導体基板上に形成されているとともに、該素子分離溝に入り込んで形成されている付記1～10のいずれか1つに記載の半導体装置の製造方法。

(付記12)

前記半導体基板を準備する工程で準備される半導体基板は、さらに、前記素子分離溝に対して前記第1ゲート電極と反対側に、前記第1導電型の第6領域を有し、該第6領域上に第3ゲート絶縁膜と第3ゲート電極の積層構造を有し、前記キャパシタ電極は、該素子分離溝から前記第3ゲート電極側にも延在して該半導体基板上に形成されている付記11に記載の半導体装置の製造方法。

【0125】

10

(付記13)

さらに、前記第1絶縁膜を形成する工程の前に、

前記第1ゲート電極と前記キャパシタ電極とをマスクとし、前記第2領域及び前記第3領域に、前記第1導電型の第4不純物を斜め注入する第4不純物注入工程を有する付記1～12のいずれか1つに記載の半導体装置の製造方法。

(付記14)

前記第4不純物注入工程は、前記半導体基板を回転させて、複数方向から斜め注入を行なう付記13に記載の半導体装置の製造方法。

【符号の説明】

【0126】

20

100 半導体装置

101 メモリ回路

102 ロジック回路

103 メモリセル

AR 活性領域

STI 素子分離絶縁膜

MC メモリセル

TR (メモリセルのスイッチング用)トランジスタ

WL ワード線

SD 不純物拡散層(ビットコンタクト拡散層)

30

STR 不純物拡散層(ストレージ拡散層)

BCT ビット線コンタクト

BL ビット線

CAP キャパシタ

CP セルプレート電極

CI キャパシタ絶縁膜

IL 反転層

11a (メモリセルのスイッチングトランジスタの)ゲート電極

11b セルプレート電極

11c (ロジックのトランジスタの)ゲート電極

40

12 ポケット領域

13 絶縁膜

14 (メモリセル側の)エクステンション領域

15 サイドウォール絶縁膜

16 (ロジック側の)エクステンション領域

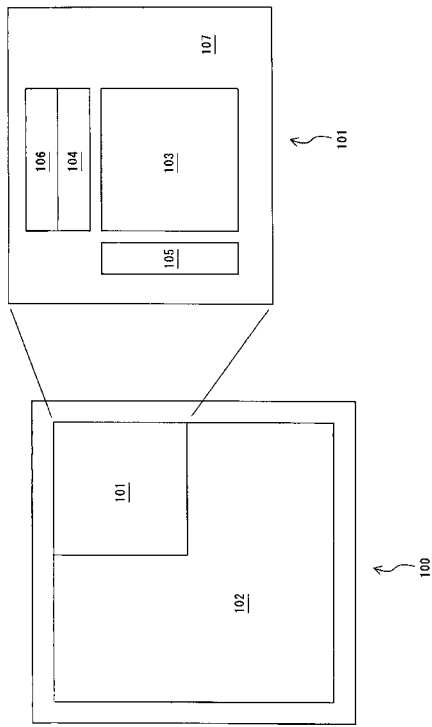
17 絶縁膜

18a サイドウォール絶縁膜

18b マスク部材

19 高不純物濃度領域、ソース/ドレイン領域

【 図 1 】



【 図 2 】

図2A

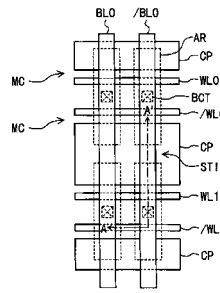
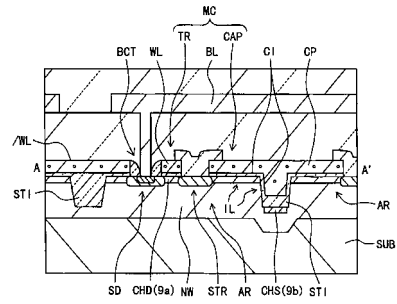
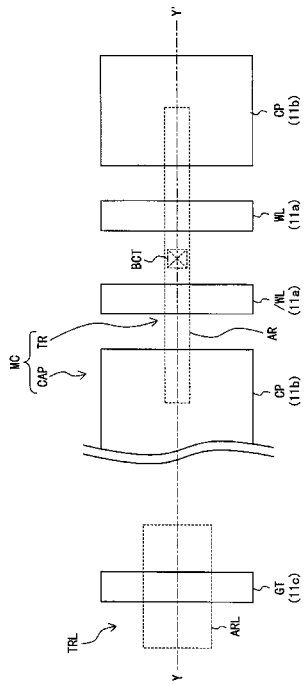


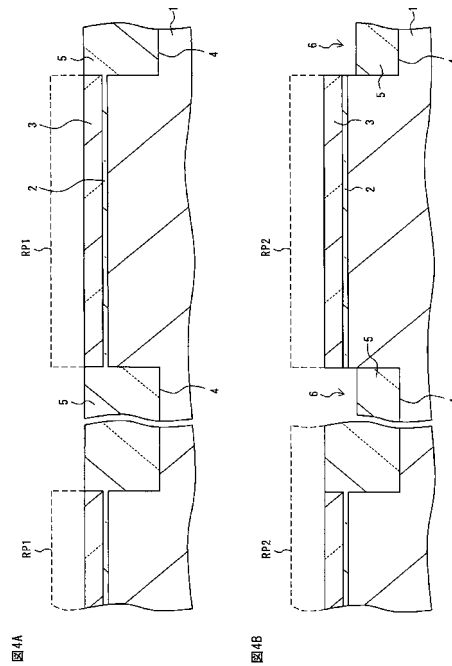
図2B



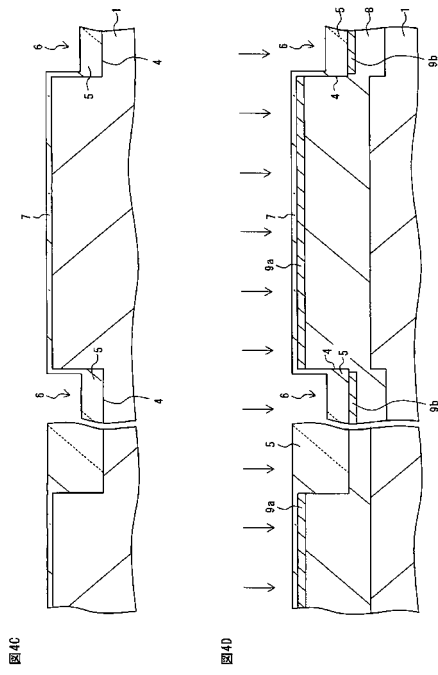
【 図 3 】



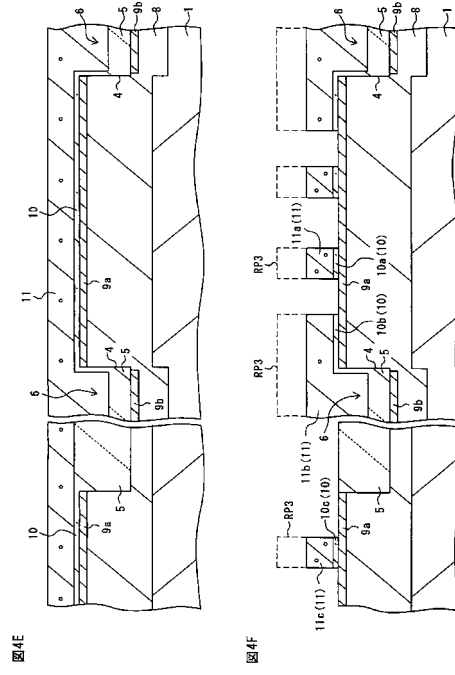
【 図 4 - 1 】



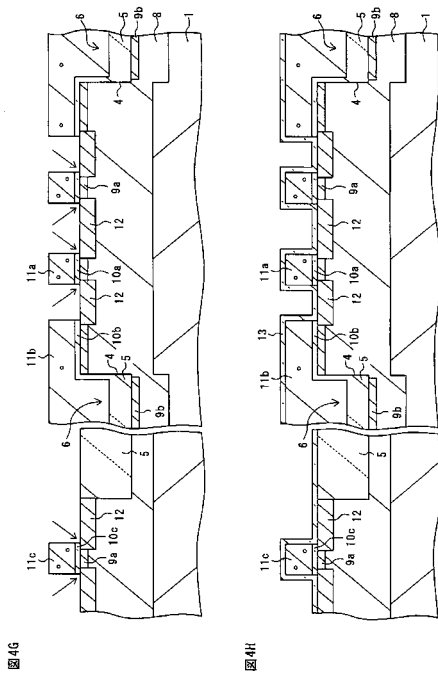
【 図 4 - 2 】



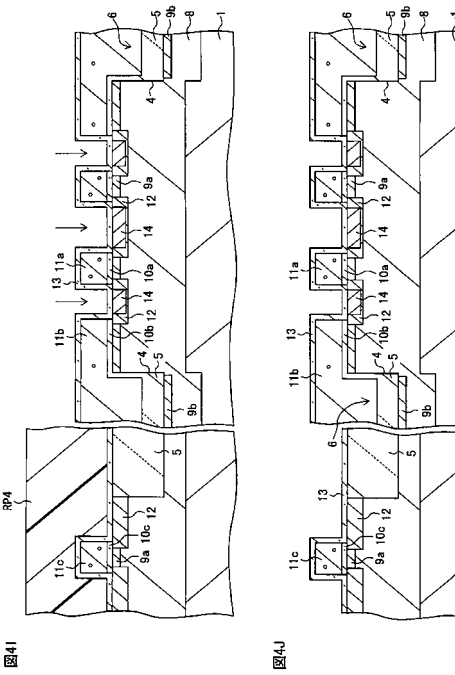
【 図 4 - 3 】



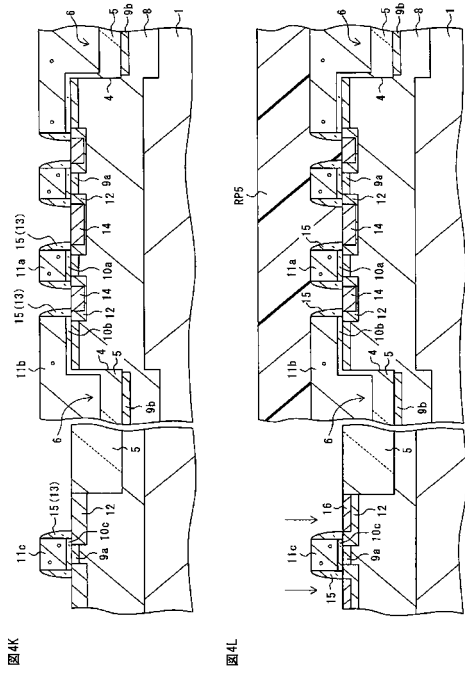
【 図 4 - 4 】



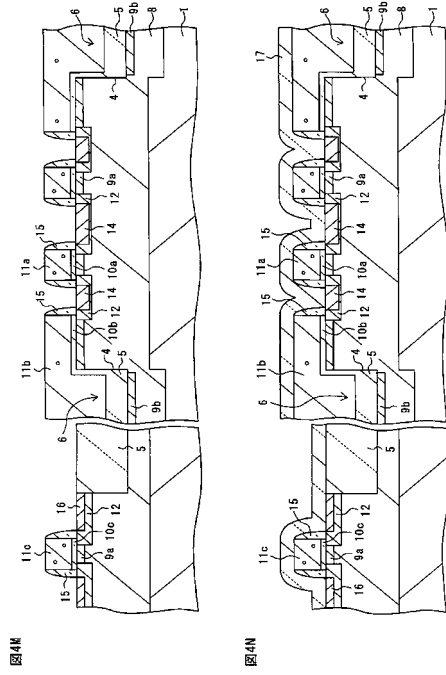
【 図 4 - 5 】



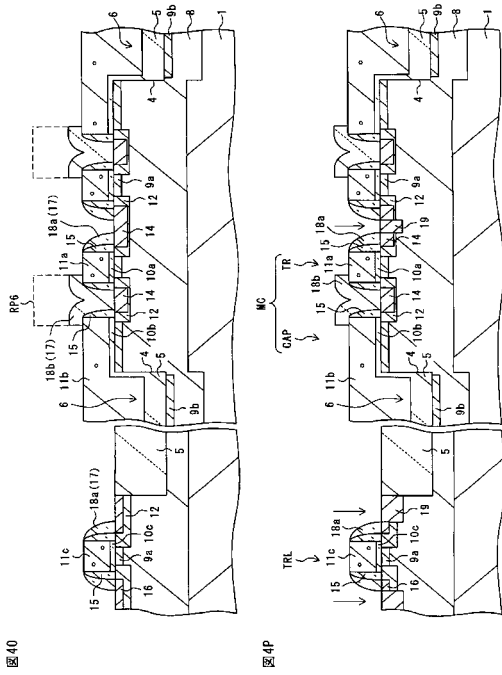
【 図 4 - 6 】



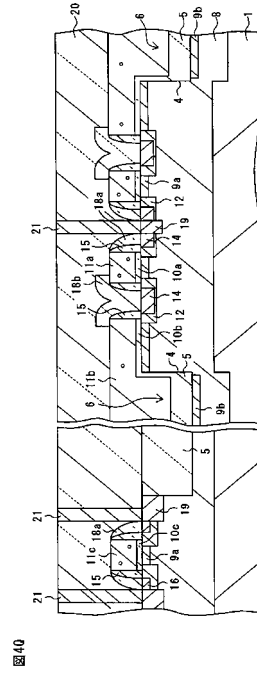
【 図 4 - 7 】



【 図 4 - 8 】



【 図 4 - 9 】



【 図 5 】

図5A

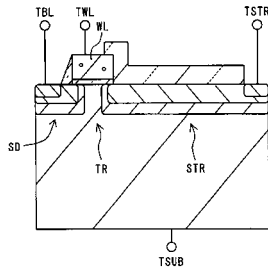
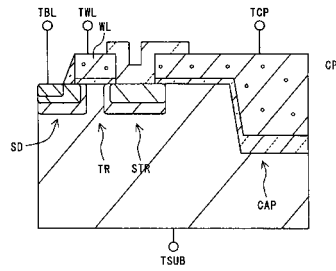
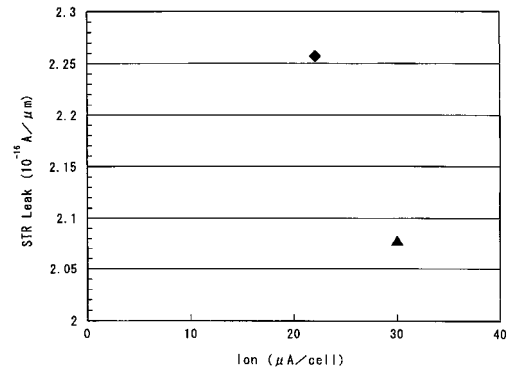


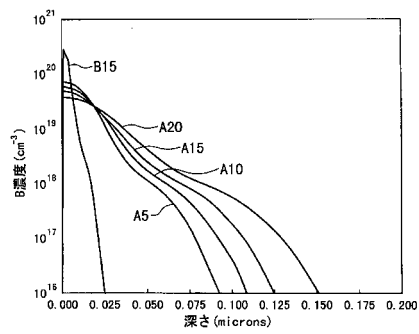
図5B



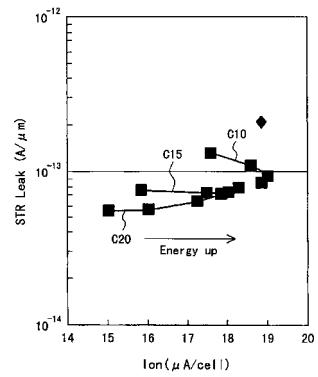
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

- (72)発明者 小川 裕之
東京都新宿区西新宿二丁目7番1号 富士通マイクロエレクトロニクス株式会社内
- (72)発明者 李 命久
東京都新宿区西新宿二丁目7番1号 富士通マイクロエレクトロニクス株式会社内

審査官 外山 毅

- (56)参考文献 特開2008-235324(JP,A)
特開平09-107084(JP,A)
特開2006-173438(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8242
H01L 21/76
H01L 27/10
H01L 27/108