



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201631650 A

(43)公開日：中華民國 105 (2016) 年 09 月 01 日

(21)申請案號：104135483

(22)申請日：中華民國 104 (2015) 年 10 月 28 日

(51)Int. Cl.：

*H01L21/306 (2006.01)**H01L21/311 (2006.01)**H01L21/3105(2006.01)**H01L21/02 (2006.01)**H01L21/762 (2006.01)**H01L29/06 (2006.01)*

(30)優先權：2014/10/28 美國

14/525,543

(71)申請人：微晶片科技公司(美國) MICROCHIP TECHNOLOGY INCORPORATED (US)
美國(72)發明人：薩托 賈斯丁 希羅奇 SATO, JUSTIN HIROKI (US)；史棟 葛格利 艾倫 STOM,
GREGORY ALLEN (US)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：20 項 圖式數：8 共 25 頁

(54)名稱

用於無光微影之自我對準反向主動蝕刻之方法

A METHOD FOR PHOTOLITHOGRAPHY-FREE SELF-ALIGNED REVERSE ACTIVE ETCH

(57)摘要

在淺溝槽隔離(STI)填充有高密度電漿(HDP)氧化物之後，將一部分經平坦化之有機矽酸鹽(DUO)層旋塗於一矽晶圓上之一 HDP 氧化物層上。接著，使用一專用程序蝕刻該 DUO 層，該專用程序經特定調整而以一特定選擇性蝕刻 DUO 及高密度電漿(HDP)氧化物。晶圓表面構形之較高區域(主動 Si 區域)具有較薄 DUO 且隨著蝕刻程序之進行，開始蝕刻穿透此等區域(主動 Si 區域)中之 HDP 氧化物。該蝕刻程序在到達一特定深度之後且向下接觸氮化矽氧化層之前停止。移除該 DUO 且在矽晶圓上執行一標準化學機械拋光(CMP)。在 CMP 步驟之後移除氮化矽，從而將矽基板曝露於場氧化物之間。

A layer of partially planarized organosilicate (DUO) is spin-coated onto a layer of high density plasma (HDP) oxide on a silicon wafer after the shallow trench isolation (STI) is filled with the HDP oxide. Then the DUO layer is etched using a specialized process specifically tuned to etch the DUO and high density plasma (HDP) oxide at a certain selectivity. The higher areas of the wafer topography (active Si areas) have thinner DUO and as the etch process proceeds it starts to etch through the HDP oxide in these areas (active Si areas). The etch process is stopped after a certain depth is reached and before touching down on the silicon nitride oxidation layer. The DUO is removed and a standard chemical-mechanical polish (CMP) is performed on the silicon wafer. After the CMP step the silicon nitride is removed, exposing the silicon substrate between the field oxides.

指定代表圖：

符號簡單說明：

102 . . . 步驟

104 . . . 步驟

106 . . . 步驟

208 . . . 步驟

210 . . . 步驟

210a . . . 第一子步
驟

210b . . . 第二子步
驟

212 . . . 步驟

214 . . . 步驟

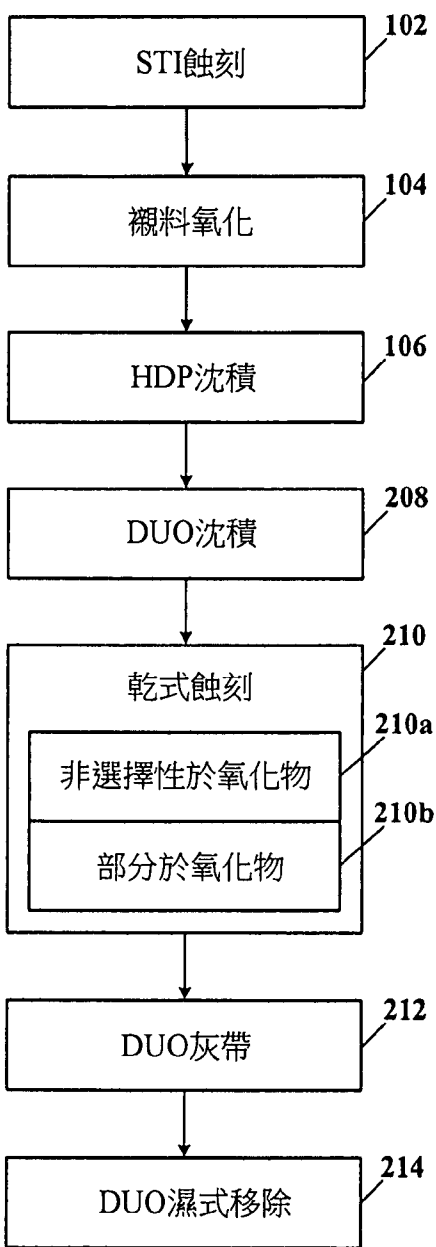


圖 2

發明摘要

※ 申請案號：104135483

※ 申請日：104.10.28

※IPC 分類：

H01L21/306(2006.01)
H01L21/311(2006.01)
H01L21/3105(2006.01)
H01L21/02(2006.01)
H01L21/762(2006.01)
H01L29/06(2006.01)

【發明名稱】

用於無光微影之自我對準反向主動蝕刻之方法

A METHOD FOR PHOTOLITHOGRAPHY-FREE SELF-ALIGNED
REVERSE ACTIVE ETCH

【中文】

在淺溝槽隔離(STI)填充有高密度電漿(HDP)氧化物之後，將一部分經平坦化之有機矽酸鹽(DUO)層旋塗於一矽晶圓上之一HDP氧化物層上。接著，使用一專用程序蝕刻該DUO層，該專用程序經特定調整而以一特定選擇性蝕刻DUO及高密度電漿(HDP)氧化物。晶圓表面構形之較高區域(主動Si區域)具有較薄DUO且隨著蝕刻程序之進行，開始蝕刻穿透此等區域(主動Si區域)中之HDP氧化物。該蝕刻程序在到達一特定深度之後且向下接觸氮化矽氧化層之前停止。移除該DUO且在矽晶圓上執行一標準化學機械拋光(CMP)。在CMP步驟之後移除氮化矽，從而將矽基板曝露於場氧化物之間。

【英文】

A layer of partially planarized organosilicate (DUO) is spin-coated onto a layer of high density plasma (HDP) oxide on a silicon wafer after the shallow trench isolation (STI) is filled with the HDP oxide. Then the DUO layer is etched using a specialized process specifically tuned to etch the DUO and high density plasma (HDP) oxide at a certain selectivity. The higher areas of the wafer topography (active Si areas) have thinner DUO and as the etch process proceeds it starts to etch through the HDP oxide in these areas (active Si areas). The etch process is stopped after a certain depth is reached and before touching down on the silicon nitride oxidation layer. The DUO is removed and a standard chemical-mechanical polish (CMP) is performed on the silicon wafer. After the CMP step the silicon nitride is removed, exposing the silicon substrate between the field oxides.

【代表圖】

【本案指定代表圖】：第（2）圖。

【本代表圖之符號簡單說明】：

102 步驟

104 步驟

106 步驟

208 步驟

210 步驟

210a 第一子步驟

210b 第二子步驟

212 步驟

214 步驟

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

用於無光微影之自我對準反向主動蝕刻之方法

A METHOD FOR PHOTOLITHOGRAPHY-FREE SELF-ALIGNED
REVERSE ACTIVE ETCH

【技術領域】

本發明係關於半導體積體電路之製造，且更具體言之，本發明係關於使用無光微影自我對準反向主動蝕刻來製造半導體積體電路之一方法。

【先前技術】

嘗試將一反向主動蝕刻光罩與已經圖案化之主動淺溝槽隔離(STI)對準存在固有問題。由於微影程序中之小變動及錯誤，存在一內置重疊。除了微影邊限外，此程序步驟中之典型高密度電漿(HDP)氧化物填充由於HDP氧化物程序之本質而傾斜。此傾斜迫使一特定量之重疊防止將光阻劑印刷於HDP填充之成角度之部分上。

【發明內容】

因此，需要一經改良之方法來執行不使用光微影之精確反向主動蝕刻圖案化。

根據一實施例，根據用於一半導體晶圓之無光微影自我對準反向主動蝕刻之一方法之一實施例，該方法可包括以下步驟：將一墊氧層沈積於一半導體晶圓之一矽基板上；將一主動氮化矽沈積於該墊氧層上；在矽基板中形成淺溝槽隔離(STI)井；在STI井中形成一氧化襯料，其中該氧化襯料可僅形成於矽基板可曝露之處；將一氧化物沈積於氮化矽及STI井上；將一部分經平坦化之有機矽酸鹽(DUO)層沈積

於該氧化物上；執行一乾電漿蝕刻以將DUO層從氧化物移除；執行一化學機械拋光(CMP)以移除所有覆蓋主動氮化矽之氧化物；且移除該主動氮化矽，其中部分矽基板可曝露於剩餘氧化物之間且準備用於摻雜於矽基板中之主動電晶體元件之步驟。

根據該方法之一進一步實施例，墊氧層可為氮化矽。根據該方法之一進一步實施例，形成STI井之步驟可包括蝕刻矽基板以形成該等STI井之步驟。根據該方法之一進一步實施例，氧化襯料可為矽氧化物。根據該方法之一進一步實施例，將一氧化物沈積於該氧化襯料上之步驟可包括將一高密度電漿(HDP)氧化物沈積於氧化襯料上之步驟。根據該方法之一進一步實施例，將DUO層沈積於氧化物上之步驟可包括將DUO層旋塗於該氧化物上之步驟。根據該方法之一進一步實施例，將DUO層從氧化物移除之步驟可包括施行一經調整蝕刻以打開該DUO層及蝕刻至該DUO層之一短暫選擇性蝕刻之步驟，其中該半導體晶圓可在一氧化物蝕刻器中經蝕刻。根據該方法之一進一步實施例，將該DUO層從氧化物移除之步驟可包括多重乾電漿蝕刻之步驟。根據該方法之一進一步實施例，多重乾電漿蝕刻之步驟可包括非選擇性蝕刻氧化物及蝕刻部分氧化物之步驟。根據該方法之一進一步實施例，非選擇性蝕刻氧化物之步驟可使用係選自由 CF_4 、 O_2 及Ar組成之群之氣體。根據該方法之一進一步實施例，蝕刻部分氧化之步驟可使用係選自由 C_5F_8 、 O_2 、 N_2 及Ar組成之群之氣體。根據該方法之一進一步實施例，可執行將DUO層從氧化物中移除之步驟直至可完成執行乾電漿蝕刻之步驟。

根據由一程序製備之一半導體積體電路之另一實施例，該程序可包括以下步驟：將一墊氧層沈積於一半導體晶圓之一矽基板上；將一主動氮化矽沈積於該墊氧層上；在矽基板中形成淺溝槽隔離(STI)井；在STI井中形成一氧化襯料，其中該氧化襯料可僅形成於矽基板

可曝露之處；將一氧化物沈積於氮化矽及STI井上；將一部分經平坦化之有機矽酸鹽(DUO)層沈積於該氧化物上；執行一乾電漿蝕刻以將DUO層從氧化物中移除；執行一化學機械拋光(CMP)以移除所有覆蓋主動氮化矽之氧化物；且移除該主動氮化矽，其中部分矽基板可曝露於剩餘氧化物之間且準備用於摻雜於矽基板中之主動電晶體元件之步驟。

根據該程序之一進一步實施例，將一氧化物沈積於該氧化襯料上之步驟可包括將一高密度電漿(HDP)氧化物沈積於氧化襯料上之步驟。根據該程序之一進一步實施例，將DUO層從氧化物移除之步驟可包括施行一經調整蝕刻以打開DUO層及蝕刻至該DUO層之一短暫可選擇蝕刻之步驟，其中該半導體晶圓可在一氧化物蝕刻器中經蝕刻。根據該程序之一進一步實施例，將該DUO層從氧化物移除之步驟可包括多重步驟乾電漿蝕刻之步驟。根據該程序之一進一步實施例，多重步驟乾電漿蝕刻之步驟可包括非選擇性蝕刻氧化物及蝕刻部分氧化物之步驟。根據該程序之一進一步實施例，蝕刻非選擇性氧化之步驟可使用係選自由 CF_4 、 O_2 及Ar組成之群之氣體。根據該程序之一進一步實施例，蝕刻部分氧化之步驟可使用係選自由 C_5F_8 、 O_2 、 N_2 及Ar組成之群之氣體。

根據另一實施例，一半導體晶圓可具有根據以下步驟經處理之一表面：將一墊氧層沈積於一半導體晶圓之一矽基板上；將一主動氮化矽沈積於該墊氧層上；在矽基板中形成淺溝槽隔離(STI)井；在STI井中形成一氧化襯料，其中該氧化襯料可僅形成於矽基板可曝露之處；將一氧化物沈積於氮化矽及STI井上；將一部分經平坦化之有機矽酸鹽(DUO)層沈積於該氧化物上；執行一乾電漿蝕刻以將DUO層從氧化物移除；執行一化學機械拋光(CMP)以移除所有覆蓋主動氮化矽之氧化物；且移除該主動氮化矽，其中部分矽基板可曝露於剩餘氧化

物之間且準備用於摻雜於矽基板中之主動電晶體元件之步驟。

【圖式簡單說明】

可藉由參考與隨附圖式結合之以下描述而獲得對本發明之一更完整之理解，其中：

圖1繪示用於形成場氧化物且曝露一矽基板以用於進一步處理摻雜於矽基板中之主動電晶體元件之先前技術程序製造步驟之一示意性流程圖；

圖2繪示根據一特定實例性實施例之用於形成場氧化物且曝露一矽基板以用於進一步處理摻雜於矽基板中之主動電晶體元件之程序製造步驟之一示意性流程圖；

圖3繪示根據本發明之教示之具有沈積於其上之一薄氧化物層及一氮化矽層之一矽晶圓之一示意性立視橫截面；

圖3A繪示圖3中展示之矽晶圓之淺溝槽隔離(STI)蝕刻之步驟之後之一矽晶圓之一示意性立視橫截面；

圖3B繪示執行圖3及圖3A中展示之淺溝槽隔離(STI)蝕刻、襯料氧化及矽晶圓之高密度電漿(HDP)沈積之程序步驟之後之一矽晶圓之一示意性立視橫截面；

圖4繪示根據本發明之一特定實例性實施例之執行圖3中展示之將一部分經平坦化之有機矽酸鹽(DUO)層旋塗於矽晶圓上之程序步驟之後之矽晶圓之一示意性立視橫截面；

圖5繪示根據本發明之一特定實例性實施例之執行圖4中展示之將DUO蝕刻於矽晶圓上之程序步驟之後之矽晶圓之一示意性立視橫截面；

圖6繪示根據本發明之一特定實例性實施例之執行圖5中展示之將DUO從矽晶圓上移除之程序步驟之後之矽晶圓之一示意性立視橫截面；

圖7繪示根據本發明之一特定實例性實施例之執行淺溝槽隔離(STI)化學機械拋光(CMP)之程序步驟之後之矽晶圓之一示意性立視橫截面；且

圖8繪示根據本發明之一特定實例性實施例之執行移除氮化矽以曝露部分矽基板之程序步驟之後之矽晶圓之一示意性立視橫截面。

儘管本發明可接受各種修改及替代形式，但已經在圖式中展示且在本文中詳細描述其之特定實例性實施例。然而應瞭解，本文對特定實例性實施例之描述不意欲將本發明限制於本文揭示之特定形式，另一方面，本發明將涵蓋由隨附申請專利範圍界定之所有修改及等效物。

【實施方式】

根據本發明之實施例，要求使用無微影來執行反向主動層級圖案化。取而代之者係在淺溝槽隔離(STI)填充之後將一部分經平坦化之有機矽酸鹽(DUO)層旋塗於晶圓上。接著，使用特定經調整而以一特定選擇性蝕刻DUO及高密度電漿(HDP)氧化物之一專用程序來蝕刻該DUO層。晶圓表面構形之較高區域(主動Si區域)具有較薄DUO且隨著蝕刻程序之進行，其開始蝕刻穿透此等區域(主動Si區域)中之HDP氧化物。該蝕刻程序在到達一特定深度之後停止。此等區域(主動Si區域)係已由反向遮罩光微影打開且隨後經蝕刻(見圖1，步驟110)之相同區域。DUO之材料性質根據本發明之一特定實例性實施例允許上述程序之前段(FEOL)應用。可預期，在本發明之範疇內，若可達到對蝕刻選擇性之類似控制，則可使用其他材料取代DUO。

現在參考圖式，示意性地繪示一特定實例性實施例之細節。將由相同數字表示圖式中之相同元件，且可將具有一不同小寫字母後綴之相同數字來表示類似元件。

參考圖1，其繪示用於形成場氧化物且曝露一矽基板以用於進一

步處理摻雜於矽基板中之主動電晶體元件之先前技術程序製造步驟之一示意性流程圖。利用淺溝槽隔離(STI)場氧化物(FOX)井產生一矽晶圓且準備用於摻雜於矽基板中之主動電晶體元件之一先前技術前段(FEOL)程序製造可包括以下步驟。在步驟102中，在一矽晶圓320具有沈積於其上之一薄氧化物321層及一氮化矽322層之後，矽晶圓之表面經圖案化且經蝕刻以產生淺溝槽隔離(STI)井。在步驟104中，一矽晶圓之表面及STI井經氧化以產生其上之一襯料。在步驟106中，一高密度電漿(HDP)氧化物沈積於氧化襯料上。在步驟108中，執行一反向主動遮罩。在步驟110中，執行一反向主動蝕刻。在步驟112中，執行一反向主動灰化(O₂)。在步驟114中，執行矽晶圓上之一反向酸帶。在步驟116中，在矽晶圓之表面上執行一淺溝槽隔離(STI)化學機械拋光(CMP)。在步驟118中，執行一頂部氧化物蝕刻。在步驟120中，執行矽晶圓之一氮帶，使得場氧化物留在STI井中且矽晶圓之曝露之部分準備用於摻雜於矽晶圓基板中之主動電晶體元件之步驟。

參考圖2，其描繪根據一特定實例性實施例之用於形成場氧化物且曝露一矽基板以用於進一步處理摻雜於矽基板中之主動電晶體元件之程序製造步驟之一示意性流程圖。根據本發明之一特定實例性實施例，利用淺溝槽隔離(STI)場氧化物(FOX)井產生一矽晶圓且準備用於摻雜於矽基板中之主動電晶體元件之一新穎及非顯而易見之前段工序(FEOL)程序製造可包括以下步驟。步驟102、104及106實質上與以上圖1中所描述之係相同的。亦參考展示下文中所參考之元件數字之圖3至圖8。本發明之獨特之處係消除一反向遮罩之光微影步驟，反之，藉由塗佈沈積於高密度電漿(HDP)氧化物324上之一部分經平坦化之有機矽酸鹽(DUO) 426而執行步驟208。在步驟210中，可利用(例如，但不限制於)使用常用程序氣體(例如，CF₄、C₄F₆、C₅F₈、C₄F₈、O₂、N₂、Ar等)之一多重步驟乾電漿蝕刻來蝕刻DUO 426。第一子步驟

210a可為非選擇性氧化(CF_4 、 O_2 、Ar)且第二子步驟210b可為部分氧化(C_5F_8 、 O_2 、 N_2 、Ar)。接著，在步驟212及214中，DUO 426分別使用(例如，但不限制於)一氧化灰(O_2)及一HF帶將氮化矽從所有剩餘區域剝除。蝕刻及DUO移除之後之剩餘HDP 324之輪廓類似於習知反向遮罩程序。接著，晶圓經歷CMP、頂部氧化物蝕刻及氮帶，該等步驟就如半導體積體電路製造程序之其他現有技術中所做之步驟。

參考圖3，其描繪根據本發明之教示之具有沈積於其上之一薄氧化物321層及一氮化矽322層之一矽晶圓320之一示意性立視橫截面。參考圖3A，其描繪淺溝槽隔離(STI)蝕刻323之步驟之後之矽晶圓320之一示意性立視橫截面。

參考圖3B，其描繪執行圖3及圖3A中展示之淺溝槽隔離(STI)蝕刻、矽晶圓之襯料氧化及高密度電漿(HDP)沈積之程序步驟之後之一矽晶圓之一示意性立視橫截面。STI蝕刻323結束之後(圖3A)，一HDP氧化物324層可沈積於矽基板320及氮化矽322上。執行一襯料氧化，即，氧化由STI蝕刻323曝露之矽基板320之部分。積體電路製造中及瞭解本發明之優勢之一般技術者將知道可使用其他何種氧化材料。可使用且預期除了HDP氧化物之外之其他氧化物，只要該等氧化物具有優良填充特性。例如，甚至可使用自旋玻璃。STI蝕刻輪廓及HDP氧化物324沈積使得矽晶圓之頂部具有一不規則表面構形，例如所示之不規則物324a及324b。

參考圖4，其描繪根據本發明之一特定實例性實施例之執行圖3中展示之將一部分經平坦化之有機矽酸鹽(DUO)層旋塗於矽晶圓上之程序步驟之後之矽晶圓之一示意性立視橫截面。為了取代將一光微影遮罩印刷於晶圓上以曝露一反向主動開口，可將一DUO 426層旋塗於HDP氧化物324上，HDP氧化物324提供一某種程度上之平坦化效應。更重要的係，基於蝕刻程序氣體混合，DUO 426層對矽氧化物具選擇性或不具選擇性。一較佳特性係DUO蝕刻率可經調整以對正經蝕刻之

氧化物具選擇性或不具選擇性。此允許僅使用蝕刻(無遮罩)來平坦化氧化物堆疊之能力。

參考圖5，其描繪根據本發明之一特定實例性實施例之執行圖4中展示之將DUO蝕刻於矽晶圓上之程序步驟之後之矽晶圓之一示意性立視橫截面。可在一氧化物蝕刻器中蝕刻該矽晶圓，首先使用 CF_4 、 O_2 及Ar之一混合物進行非選擇性蝕刻DUO 426之一電漿蝕刻。接著，一第二步驟可使用諸如 C_4F_6 、 C_5F_8 、 C_4F_8 、 O_2 、 N_2 及/或Ar之氣體選擇性蝕刻DUO 426上之HDP氧化物324。當與氮化矽322接觸之前到達一特定深度時，該蝕刻程序停止。此第一步蝕刻幫助將DUO 426從主動區域(氮化矽上)清除且更穩定堆疊。該第二步蝕刻接著嘗試蝕刻主動區域上之HDP至最適宜用於CMP之一合適厚度。

圖6繪示根據本發明之一特定實例性實施例之執行圖5中展示之將DUO從矽晶圓上移除之程序步驟之後之矽晶圓之一示意性立視橫截面。可由一乾 O_2 灰及一HF清理來移除DUO 426。

參考圖7，其描繪根據本發明之一特定實例性實施例之執行淺溝槽隔離(STI)化學機械拋光(CMP)之程序步驟之後之矽晶圓之一示意性立視橫截面。該STI CMP係半導體積體電路製作中之一般技術者熟知之一標準半導體積體電路程序井。在此步驟中，HDP氧化物324實質上經平坦化且從氮化矽322層中移除。

參考圖8，其描繪根據本發明之一特定實例性實施例之執行移除氮化矽以曝露部分矽基板之程序步驟之後之矽晶圓之一示意性立視橫截面。可藉由使用一熱磷酸浴來移除氮化矽322，從而使得矽基板320曝露於場氧化物(FOX) 624之間，準備用於摻雜於矽基板中之主動電晶體元件之步驟。

可預期，在本發明之範疇內，上述積體電路製造程序可用於其他製造步驟中，諸如氧化物CMP。當此程序將在其他步驟中增加成本

時係不經濟的。襯料氧化不係氮化矽，其由熱生長二氧化矽製成。可使用任何氧化物沈積或填充，只要其符合給定STI程序之填充要求。DUO係相當獨特的，此係因為其經設計用於填充且具有改變不同電漿蝕刻程序之選擇性之能力。在一些處理中，底部抗反射塗佈BARC已用於取代DUO，且此做法在本文揭示之本程序應用中係可應用的。

儘管已經描繪、描述且藉由參考本發明之實例性實施例來界定本發明之實施例，但此等參考不應暗示為對本發明之一限制，且不應推斷出此限制。一般技術者將明白所揭示之具有本發明之優勢之發明標的能夠涵蓋形式及功能中之相當程度之修改、替代及等效物。本發明之所描繪及描述之實施例僅為實例，且不違背本發明之範疇。

【符號說明】

102 步驟

104 步驟

106 步驟

108 步驟

110 步驟

112 步驟

114 步驟

116 步驟

118 步驟

120 步驟

208 步驟

210 步驟

210a 第一子步驟

210b 第二子步驟

212 步驟

- 214 步驟
- 320 矽晶圓
- 321 氧化物
- 322 氮化矽
- 323 淺溝槽隔離(STI)蝕刻
- 324 高密度電漿(HDP)氧化物
- 426 部分經平坦化之有機矽酸鹽(DUO)
- 624 場氧化物(FOX)

申請專利範圍

1. 一種用於一半導體晶圓之無光微影自我對準反向主動蝕刻之方法，該方法包括以下步驟：
 - 將一墊氧層沈積於一半導體晶圓之一矽基板上；
 - 將一主動氮化矽沈積於該墊氧層上；
 - 在該矽基板中形成淺溝槽隔離(STI)井；
 - 在該等STI井中形成一氧化襯料，其中該氧化襯料僅形成於該矽基板曝露之處；
 - 將一氧化物沈積於該氮化矽及該等STI井上；
 - 將一部分經平坦化之有機矽酸鹽(DUO)層沈積於該氧化物上；
 - 執行一乾電漿蝕刻以將該DUO層從該氧化物中移除；
 - 執行一化學機械拋光(CMP)以移除所有覆蓋該主動氮化矽之該氧化物；且
 - 移除該主動氮化矽，其中該矽基板之部分曝露於該剩餘氧化物之間且準備用於摻雜於該矽基板中之主動電晶體元件之該步驟。
2. 如請求項1之方法，其中該墊氧層係氮化矽。
3. 如請求項1之方法，其中形成STI井之該步驟包括蝕刻該矽基板以形成該等STI井之該步驟。
4. 如請求項1之方法，其中該氧化襯料係矽氧化物。
5. 如請求項1之方法，其中將一氧化物沈積於該氧化襯料上之該步驟包括將一高密度電漿(HDP)氧化物沈積於該氧化襯料上之該步驟。
6. 如請求項1之方法，其中將該DUO層沈積於該氧化物上之該步驟包括將該DUO層旋塗於該氧化物上之該步驟。

7. 如請求項1之方法，其中將該DUO層從該氧化物移除之該步驟包括施行一經調整蝕刻以打開該DUO層及蝕刻至該DUO層之一短暫選擇性蝕刻之該等步驟，其中該半導體晶圓在一氧化物蝕刻器中經蝕刻。
8. 如請求項1之方法，其中將該DUO層從該氧化物移除之該步驟包括多重乾電漿蝕刻之該等步驟。
9. 如請求項8之方法，其中多重乾電漿蝕刻之該等步驟包括非選擇性蝕刻氧化物及蝕刻部分氧化物之該等步驟。
10. 如請求項9之方法，其中非選擇性蝕刻氧化物之該步驟使用係選自由 CF_4 、 O_2 及Ar組成之群之氣體。
11. 如請求項9之方法，其中蝕刻部分氧化物之該步驟使用係選自由 C_5F_8 、 O_2 、 N_2 及Ar組成之群之氣體。
12. 如請求項1之方法，其中執行將該DUO層從該氧化物移除之該步驟直至完成執行該乾電漿蝕刻之該步驟。
13. 一種用於製備一半導體積體電路之程序，該程序包括以下步驟：

將一墊氧層沈積於一半導體晶圓之一矽基板上；
 將一主動氮化矽沈積於該墊氧層上；
 在該矽基板中形成淺溝槽隔離(STI)井；
 在該等STI井中形成一氧化襯料，其中該氧化襯料僅形成於該矽基板曝露之處；
 將一氧化物沈積於該氮化矽及該等STI井上；
 將一部分經平坦化之有機矽酸鹽(DUO)層沈積於該氧化物上；
 執行一乾電漿蝕刻以將該DUO層從該氧化物移除；
 執行一化學機械拋光(CMP)以移除所有覆蓋該主動氮化矽之該氧化物；且

移除該主動氮化矽，其中該矽基板之部分曝露於該剩餘氧化物之間且準備用於摻雜於該矽基板中之主動電晶體元件之該步驟。

14. 如請求項13之程序，其中將一氧化物沈積於該氧化襯料上之該步驟包括將一高密度電漿(HDP)氧化物沈積於該氧化襯料上之該步驟。
15. 如請求項13之程序，其中將該DUO層從該氧化物移除之該步驟包括施行一經調整蝕刻以打開該DUO層及蝕刻至該DUO層之一短暫選擇性蝕刻之該等步驟，其中該半導體晶圓在一氧化物蝕刻器中經蝕刻。
16. 如請求項13之程序，其中將該DUO層從該氧化物移除之該步驟包括多重乾電漿蝕刻之該等步驟。
17. 如請求項16之程序，其中多重乾電漿蝕刻之該等步驟包括非選擇性蝕刻氧化物及蝕刻部分氧化物之該等步驟。
18. 如請求項17之程序，其中非選擇性蝕刻氧化物之該步驟使用係選自由 CF_4 、 O_2 及Ar組成之群之氣體。
19. 如請求項17之程序，其中蝕刻部分氧化物之該步驟使用係選自由 C_5F_8 、 O_2 、 N_2 及Ar組成之群之氣體。
20. 一種半導體晶圓，其具有根據請求項13之程序處理之一表面。

圖式

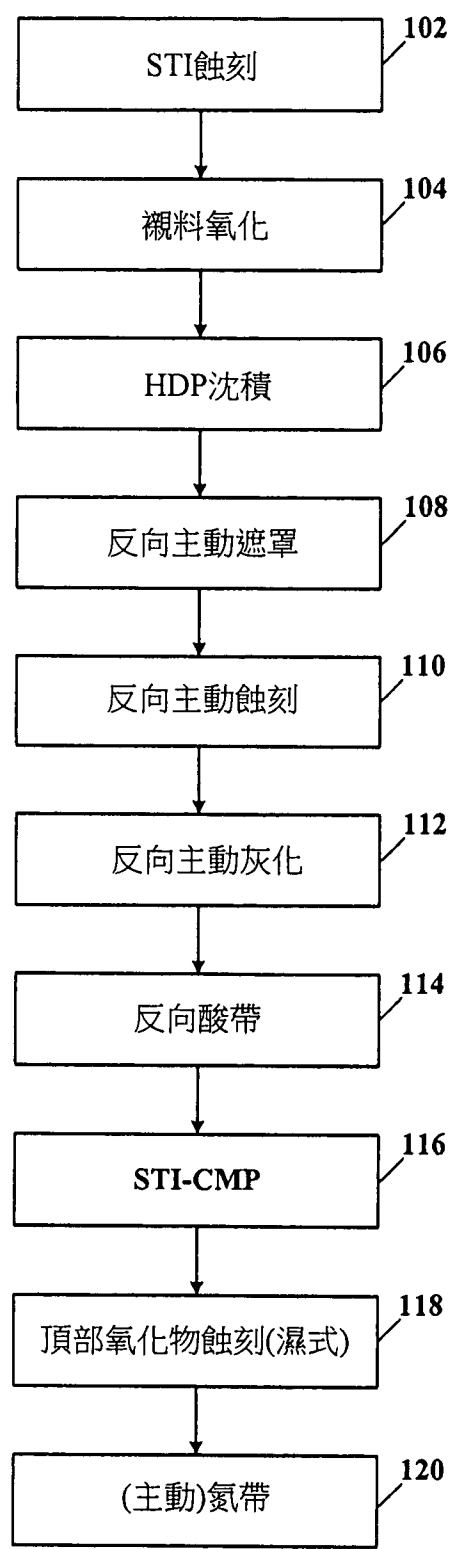


圖 1

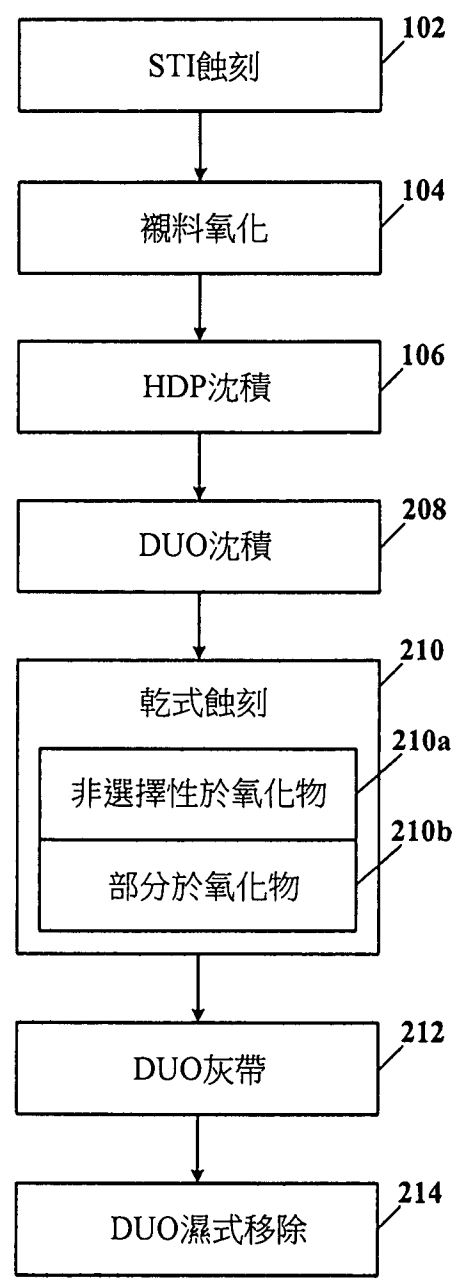


圖 2

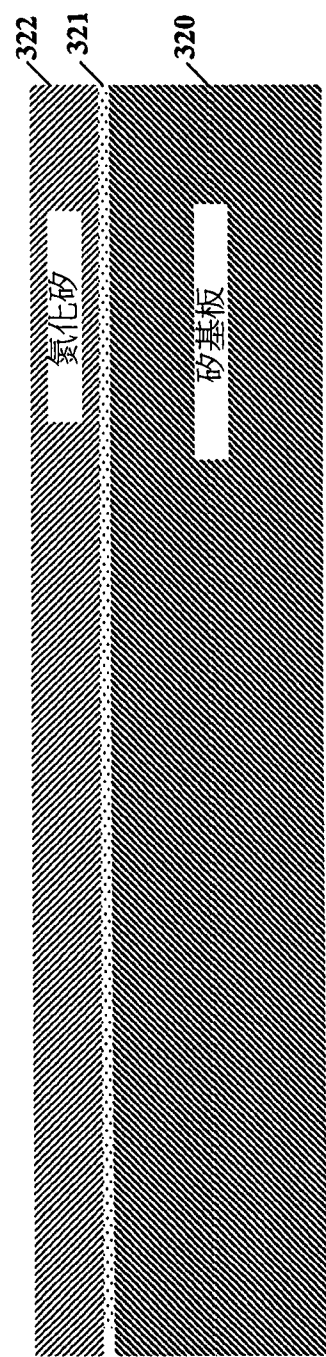


圖 3

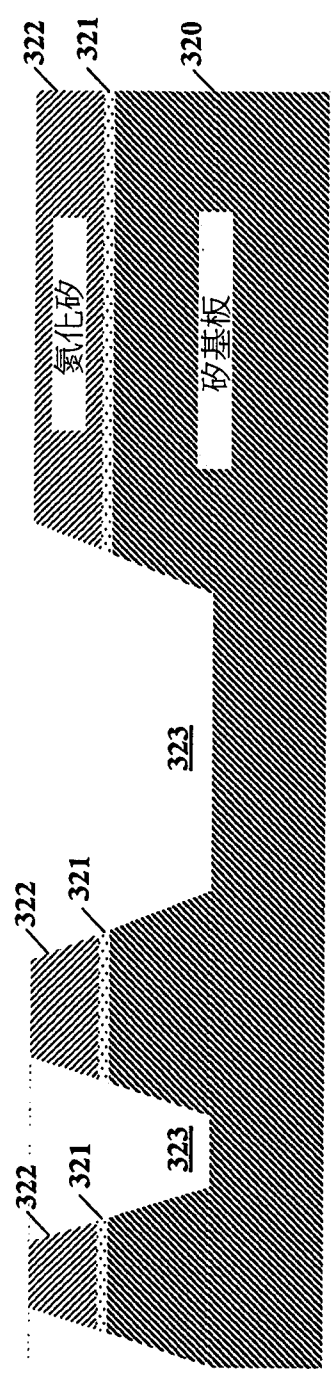


圖 3A

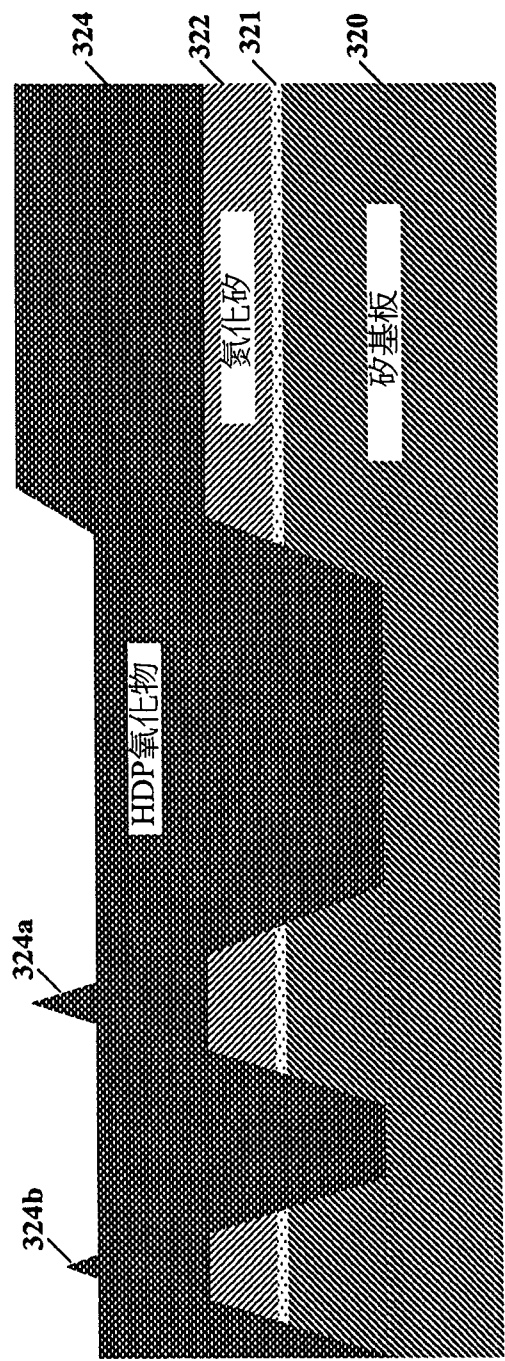


圖 3B

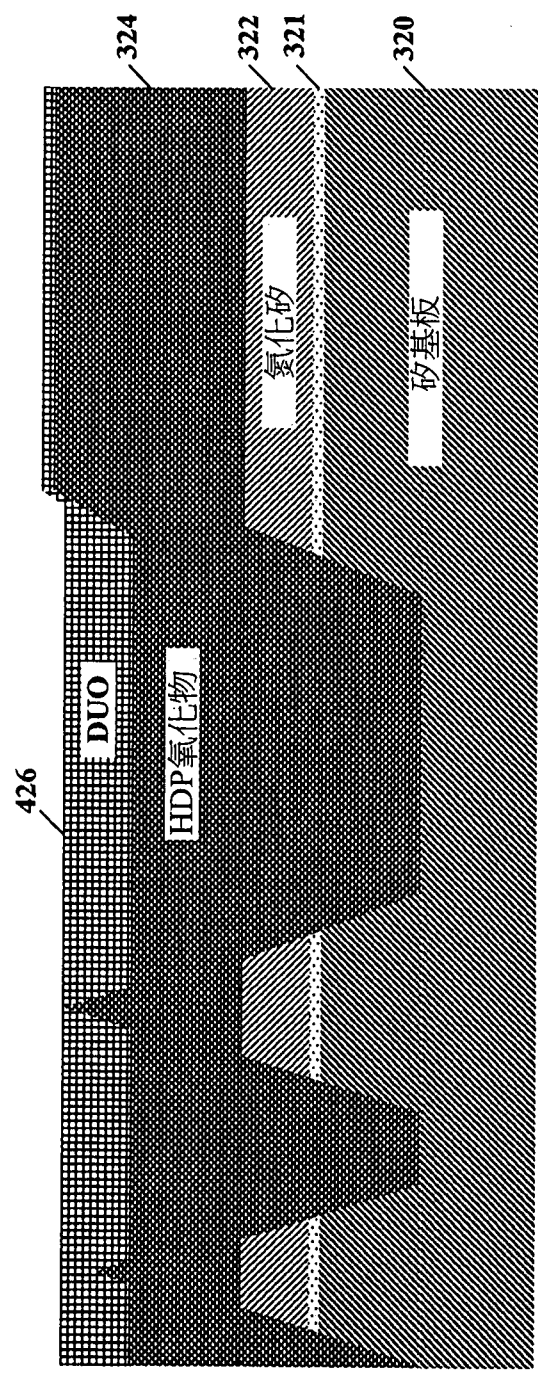


圖 4

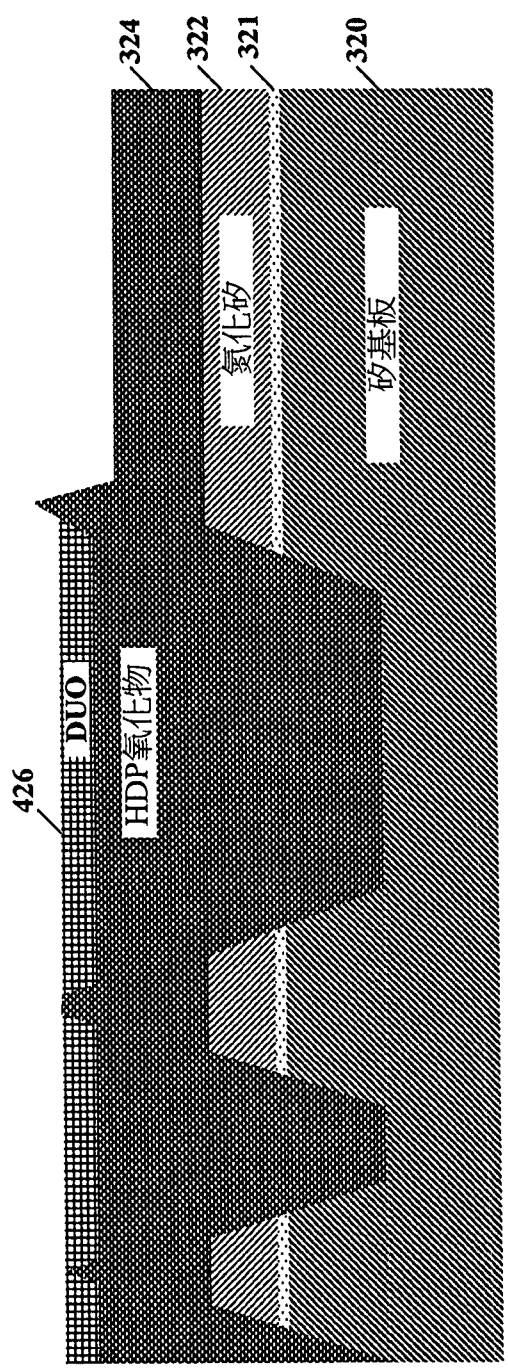


圖 5

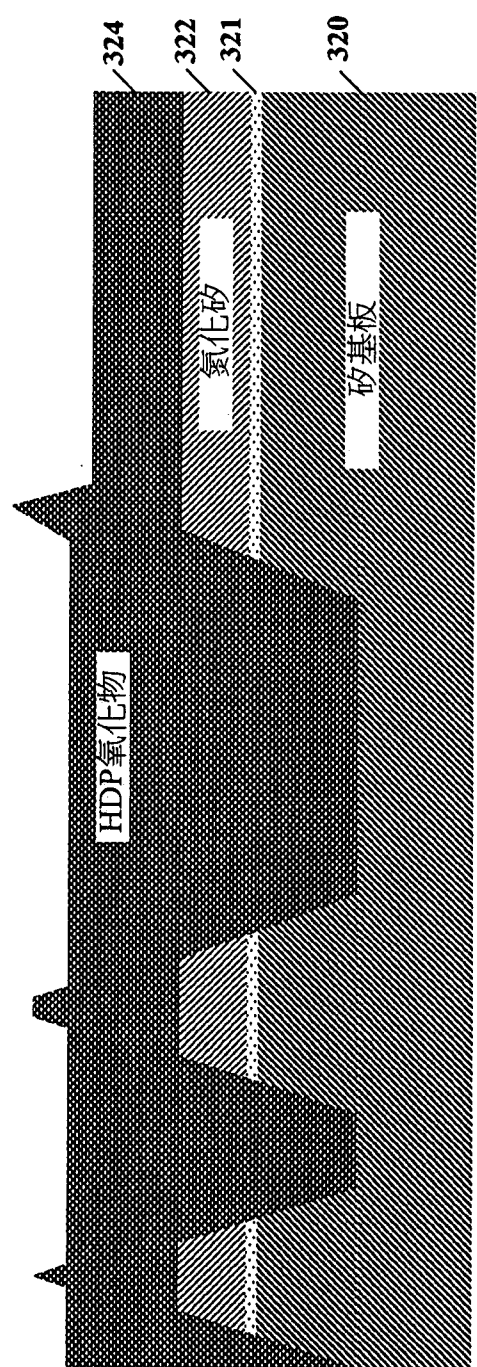


圖 6

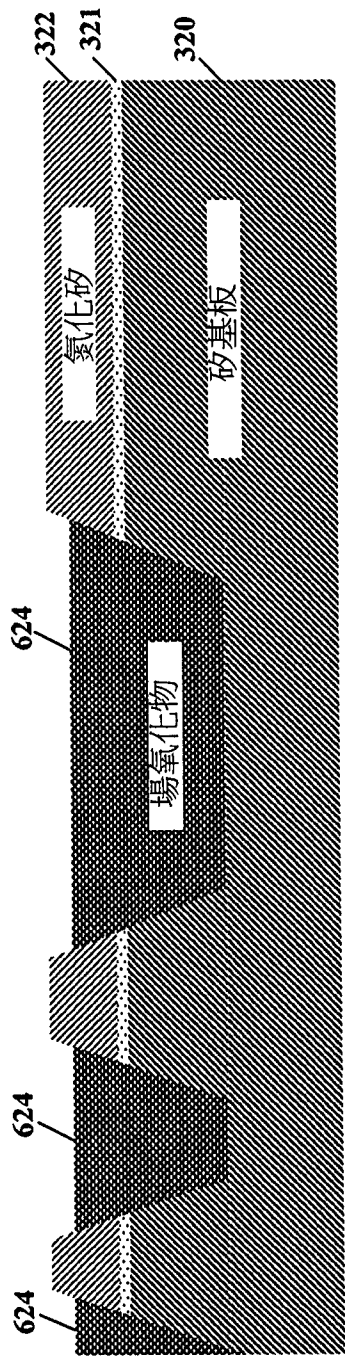


圖 7

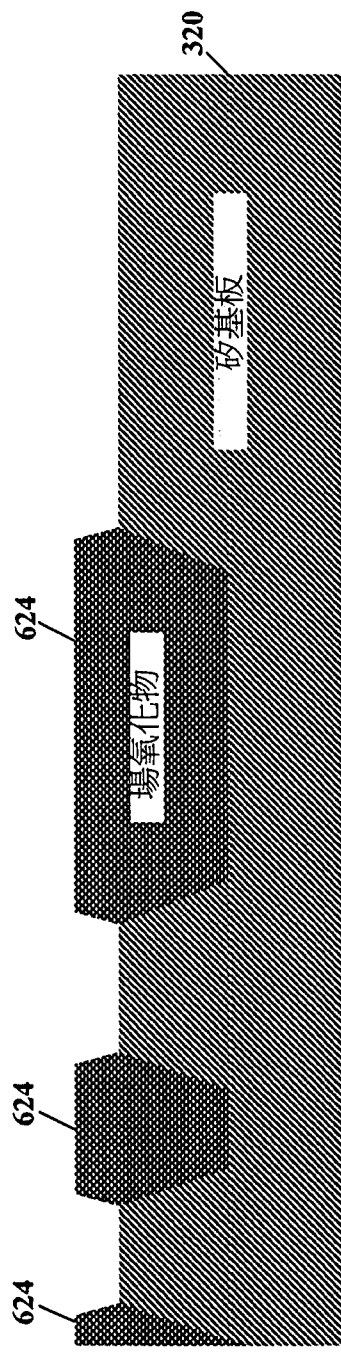


圖 8