

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5798442号
(P5798442)

(45) 発行日 平成27年10月21日(2015.10.21)

(24) 登録日 平成27年8月28日(2015.8.28)

(51) Int.Cl.

H03K 5/15 (2006.01)
G06F 1/04 (2006.01)

F 1

H03K 5/15
G06F 1/04P
302Z

請求項の数 7 (全 10 頁)

(21) 出願番号 特願2011-232120 (P2011-232120)
 (22) 出願日 平成23年10月21日 (2011.10.21)
 (65) 公開番号 特開2013-90290 (P2013-90290A)
 (43) 公開日 平成25年5月13日 (2013.5.13)
 審査請求日 平成26年10月14日 (2014.10.14)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100076428
 弁理士 大塚 康徳
 (74) 代理人 100112508
 弁理士 高柳 司郎
 (74) 代理人 100115071
 弁理士 大塚 康弘
 (74) 代理人 100116894
 弁理士 木村 秀二
 (74) 代理人 100130409
 弁理士 下山 治
 (74) 代理人 100134175
 弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】クロック分配回路及びクロック分配回路の形成方法

(57) 【特許請求の範囲】

【請求項 1】

クロックツリーの分岐点を通じて分配されるクロック信号で動作する論理回路を有する半導体集積回路におけるクロック分配回路であって、

クロック信号が分配されるクロックツリーと、

前記クロックツリーの異なる分岐点から出力される複数のフィードバッククロック信号を受信し、各フィードバッククロック信号の位相差を検知する位相比較回路と、

前記位相比較回路によって検知した位相差に基づいて、前記半導体集積回路内の信号遅延バラツキを補正するためのバラツキ補正済フィードバッククロック信号を生成するフィードバッククロック信号生成回路と、

前記フィードバッククロック信号生成回路によって生成された前記バラツキ補正済フィードバッククロック信号と基準クロック信号との位相差が小さくなるように前記クロック信号を出力する位相調整回路とを有し、

前記フィードバッククロック信号生成回路は、前記複数のフィードバッククロック信号の各フィードバッククロック信号と基準クロック信号との遅延差から、平均遅延値を算出し、その算出した平均遅延値に従って中心特性となるフィードバッククロック信号を前記バラツキ補正済フィードバッククロック信号として生成する

ことを特徴とするクロック分配回路。

【請求項 2】

前記位相比較回路は、前記複数のフィードバッククロック信号の各フィードバッククロ

10

20

ック信号の位相を比較して、位相差を検知することを特徴とする請求項 1 に記載のクロック分配回路。

【請求項 3】

前記フィードバッククロック信号生成回路は、前記複数のフィードバッククロック信号の位相差に基づいて、該複数のフィードバッククロック信号の内、中心特性に近いフィードバッククロック信号を選択して前記バラツキ補正済フィードバッククロック信号として生成する

ことを特徴とする請求項 1 または 2 に記載のクロック分配回路。

【請求項 4】

前記位相比較回路は、前記複数のフィードバッククロック信号の各フィードバッククロック信号と基準クロック信号との遅延差を比較することで、各フィードバッククロック信号の位相差を検知する

ことを特徴とする請求項 1 に記載のクロック分配回路。

【請求項 5】

前記フィードバッククロック信号生成回路は、前記複数のフィードバッククロック信号の各フィードバッククロック信号と基準クロック信号との遅延差の内、前記平均遅延値と一定値以上の差がある遅延差がある場合、その遅延差を除く、残りの遅延差で平均遅延値を再算出して、その再算出した平均遅延値に従って中心特性となるフィードバッククロック信号を前記バラツキ補正済フィードバッククロック信号として生成する

ことを特徴とする請求項 1 に記載のクロック分配回路。

10

【請求項 6】

前記複数のフィードバッククロック信号のフィードバックパスの配線経路は、前記クロックツリーの起点から前記フィードバックパスの分岐点までのクロックの配線経路の近傍に配置される

ことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載のクロック分配回路。

【請求項 7】

請求項 1 に記載のクロック分配回路の形成方法であって、

前記複数のフィードバッククロック信号のフィードバックパスの配線経路を、前記クロックツリーの起点から前記フィードバックパスの分岐点までのクロックの配線経路の近傍に配置する工程と、

30

前記複数のフィードバッククロック信号のフィードバックパスを前記位相比較回路に接続する工程と、

前記位相比較回路と前記位相調整回路との間に前記フィードバッククロック信号生成回路を配置する工程と

を有することを特徴とするクロック分配回路の形成方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、クロック分配回路及びクロック分配回路の形成方法に関するものである。

【背景技術】

【0002】

近年の半導体集積回路の微細化により、従来の半導体プロセスでは設計段階で考慮する必要が無かった新たな要因により生じる製造バラツキの問題が回路設計に大きな影響を及ぼすようになっている。あまり微細化が進んでいない世代のプロセスでは、一般に、ロットやウェハ、材料等のために生じる個体差の統計的分布をバラツキとして取り扱ってきた。

【0003】

90nm 世代以降の微細化が進んだプロセスでは、前述の個体差に加え電圧降下や加工精度によりチップ内のトランジスタや配線の電気特性に影響するケースもバラツキの要因として設計段階に考慮しなければならなくなつた。即ち、これらバラツキの要因はタイミ

40

50

ングの精度に影響するために、タイミングマージンを多く取るという設計制約を加えなければならないことになる。

【0004】

特に、電気特性の違いはクロックスキーの直接の悪化要因になり、クロックの分岐以降が長いブロック間のIFのような場所では経路差に対して与えるバラツキ対策のタイミングマージンがサイクルタイム中の多くタイミングを使ってしまう。

【0005】

このような状況に対し、クロックによる同期回路を設計する場合、PLLやDLL等の位相調整機構をチップ内に複数個利用して、クロックで駆動される末端の順序回路の位相を調整する方法として、例えば、特許文献1のような実装形態が取られる。

10

【0006】

ここで、PLLやDLL等の位相調整機構としては、一般にフィードバックループの遅延を用いるが、クロックが駆動する末端の順序回路への個別に設計したのでは、位相調整が不十分になる可能性がある。

【0007】

このため、特許文献1では、特定の順序回路へのクロック経路の一部をフィードバックループバスの共通の経路として利用している。

【0008】

これ以外にも、複数のクロックツリーから出力される複数のフィードバックバスと基準クロックとの位相比較をおこない、各々のクロックの遅延調整をする構成がある（特許文献2）。また、DLLフィードバックの位相制御量を外部クロックと加算器によって調整する構成がある（特許文献3）。

20

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2007-336003号公報

【特許文献2】特開2008-010607号公報

【特許文献3】特開2000-124795号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0010】

しかしながら、現在では更に微細化が進み、マスクパターンの露光や素子や配線を構成する薄膜の形成や研磨等の製造工程で起こるバラツキの問題を設計段階に考慮しなければならない状況が存在する。

【0011】

即ち、全く同一の構造の素子や配線により回路をレイアウトしたとしても、配置される位置や周辺の回路の影響で製造段階に形状や電気特性が変わってしまうバラツキが無視できなくなってきた。この製造工程で起こるバラツキの影響は、システムティックな要因とランダムな要因との両方の要因が関係するため設計段階に正確に予測することが難しい。

【0012】

40

ここで、従来のPLLやDLL等の位相調整機構のフィードバックループバスの形成方法では、単一のフィードバックループバスが製造工程のバラツキによりタイミングの問題を起こしてしまった場合、位相調整を行う構成がないために不良が発生し易くなる。

【0013】

本発明は上記の問題を解決するためになされたものであり、フィードバックバスにトランジションフォルトが発生した場合に、複数のフィードバックバスを使ってフィードバックバスの遅延を調整することを目的とする。

【課題を解決するための手段】

【0014】

上記の目的を達成するための本発明によるクロック分配回路は以下の構成を備える。即

50

ち、

クロックツリーの分岐点を通じて分配されるクロック信号で動作する論理回路を有する半導体集積回路におけるクロック分配回路であって、

クロック信号が分配されるクロックツリーと、

前記クロックツリーの異なる分岐点から出力される複数のフィードバッククロック信号を受信し、各フィードバッククロック信号の位相差を検知する位相比較回路と、

前記位相比較回路によって検知した位相差に基づいて、前記半導体集積回路内の信号遅延バラツキを補正するためのバラツキ補正済フィードバッククロック信号を生成するフィードバッククロック信号生成回路と、

前記フィードバッククロック信号生成回路によって生成された前記バラツキ補正済フィードバッククロック信号と基準クロック信号との位相差が小さくなるように前記クロック信号を出力する位相調整回路とを有し、10

前記フィードバッククロック信号生成回路は、前記複数のフィードバッククロック信号の各フィードバッククロック信号と基準クロック信号との遅延差から、平均遅延値を算出し、その算出した平均遅延値に従って中心特性となるフィードバッククロック信号を前記バラツキ補正済フィードバッククロック信号として生成することを特徴とする。

【発明の効果】

【0015】

本発明によれば、クロックツリー上に設けたフィードバックパスに高い確率でトランジションフォルトが発生しても、他のフィードバックパスを用いて遅延を調整することが可能となり、歩留まり低下を防ぐことができる。20

【図面の簡単な説明】

【0016】

【図1】実施形態1のクロック分配回路の概要構成図である。

【図2】実施形態1のフィードバッククロック信号生成回路の構成図である。

【図3】実施形態1のフィードバッククロック信号生成回路の動作を示す真理値表である。。

【図4】実施形態2のフィードバッククロック信号生成回路の構成図である。

【図5】実施形態2の動作を示すフローチャートである。

【図6】実施形態2のフィードバッククロック信号生成回路の動作を示すタイミングチャートである。30

【発明を実施するための形態】

【0017】

以下、本発明の実施の形態について図面を用いて詳細に説明する。

【0018】

<実施形態1>

以下に本発明に係るクロック分配回路、とりわけフィードバッククロック信号生成回路により複数のフィードバッククロック信号の位相差を検知し、中心特性に近いフィードバッククロック信号を選択する実施形態について説明する。ここで、この選択したフィードバッククロック信号は、半導体集積回路内の製造バラツキを補正したバラツキ補正済フィードバッククロック信号として生成することになる。40

【0019】

図1は実施形態1のクロック分配回路の構成図である。

【0020】

クロック分配回路101は、半導体集積回路内に設けられ、外部クロック信号の周波数及び位相を参照信号として生成されたクロック信号を、複数の順序回路103、104、105、106及び107へ分配する。クロック分配回路101は、クロック分配網102と、位相比較回路108と、フィードバッククロック信号生成回路109と、位相調整回路110とを具備する。図2に示すように、実施形態1の位相比較回路108は、2入力の位相比較回路201、202及び203で構成される。また、フィードバッククロック信号生成回路109は、複数の順序回路103、104、105、106及び107で構成される。50

ク信号生成回路 109 は、中心特性判定回路 204 とセレクタ 205 で構成される。

【0021】

図 3 は実施形態 1 のフィードバッククロック信号生成回路の動作を示す真理値表である。以下より図 1、図 2 及び図 3 を用いて本発明のフィードバッククロック信号生成回路の動作を説明する。

【0022】

以下、実施形態 1 のシステムの動作について説明する。

【0023】

位相調整回路 110 は、フィードバッククロック信号を基準クロック信号であるリファレンスクロック信号に同期するように位相を調整し、クロック信号としてクロック分配網 102 へ出力する。ここで、リファレンスクロック信号は、外部から位相調整回路 110 のリファレンスクロック端子に供給される外部クロック信号である。フィードバッククロック信号は、フィードバック用分岐点から位相調整回路 110 のフィードバッククロック端子 127 に供給されるクロック信号である。

10

【0024】

実施形態 1 では、フィードバック用分岐点として分岐点 111、112 及び 113 の例を示している。ここで、フィードバック用分岐点をブロック間インターフェースのある順序回路のクロック端子近傍に設けるようにしても良い。

【0025】

尚、順序回路 103、104、105、106 及び 107 は、フリップフロップ (FF) 20)、レジスタ以外にクロックによって同期して出力する回路であれば良い。また、フィードバックパスの配線経路はクロックツリーの起点からフィードバックパスの分岐点までのクロックの配線経路の近傍に配置されるように形成されるものとする。

【0026】

クロック分配網 102 は、位相調整回路 110 のクロック出力端子 128 から出力されたクロック信号を複数の順序回路 103、104、105、106 及び 107 に分配する。クロック分配網 102 は、クロックツリーを構成する配線と、その配線の途中に設けられた複数のクロックドライバ 114 ~ 123 を備える。

【0027】

図 1 の位相比較回路 108 は、図 2 に示すようにフィードバックパスに接続され、その本数に応じた個数の位相比較回路 201、202 及び 203 で構成される。実施形態 1 の場合、位相比較回路 201、202 及び 203 は、それぞれ 2 入力位相比較回路となっている。位相比較回路 201 はフィードバックパス 124 とフィードバックパス 125 から入力されるフィードバッククロック信号の位相を比較する。位相比較回路 202 はフィードバックパス 124 とフィードバックパス 126 から入力されるフィードバッククロック信号の位相を比較する。位相比較回路 203 はフィードバックパス 125 とフィードバックパス 126 から入力されるフィードバッククロック信号の位相を比較する。このようにして、位相比較回路 108 は、フィードバックパス 124、125 及び 126 から送信されたフィードバッククロック信号の位相の大小関係を得る。

30

【0028】

図 1 のフィードバッククロック信号生成回路 109 は位相比較回路 108 と位相調整回路 110 との間に配置され、図 2 に示すように中心特性判定回路 204 とセレクタ 205 により構成される。中心特性判定回路 204 は位相比較回路 108 から送信されたフィードバッククロック信号の位相比較結果に基づいて、セレクタ 205 により中心特性に近いフィードバッククロック信号を選択し、バラツキ補正済フィードバッククロック信号として生成する。その後、選択したフィードバッククロック信号を出力端子 206 より位相調整回路 110 へ送信する。中心特性判定回路 204 は、図 3 の真理値表で示される論理回路で構成することができる。図 3 の真理値表は一例であり、他の真理値表で示される論理回路で実現しても構わない。

【0029】

40

50

以上のような処理を行った後、位相調整回路 110 はフィードバッククロック信号生成回路 109 より送信されたフィードバッククロック信号を受信する。位相調整回路 110 は、フィードバッククロック信号を受信した後、クロック信号をリファレンスクロック信号に同期するように位相を調整し、クロック信号をクロック分配網 102 へ再出力する。換言すれば、位相調整回路 110 は、フィードバッククロック信号生成回路 109 によって生成されたフィードバッククロック信号とリファレンスクロック信号との位相差が小さくなるように、クロック信号を遅延する。

【0030】

以上説明したように、実施形態 1 によれば、クロック分配回路によってクロック信号をクロック分配網に供給することにより、中心特性に近いクロック信号を分配することができる。従って、フィードバックバスにトランジションフォルトが発生して特性にはらつきが発生した場合に歩留まりを低下させることなく、クロック遅延の調整ができる。

【0031】

<実施形態 2 >

実施形態 2 では、フィードバッククロック信号生成回路によって複数のフィードバッククロック信号の位相差を検知し、中心特性となるフィードバッククロック信号（バラツキ補正済フィードバッククロック信号）を生成する場合の構成について説明する。実施形態 1 と異なる点は、位相比較回路 108 とフィードバッククロック信号生成回路 109 の内部構成である。

【0032】

図 4 に示すように、実施形態 2 の位相比較回路 108 は遅延算出回路 401、402 及び 403 によって構成され、フィードバッククロック信号生成回路 109 は平均値算出回路 404 によって構成される。

【0033】

図 5 は実施形態 2 のフィードバッククロック信号生成回路の動作を示すフローチャートである。図 6 は実施形態 2 のフィードバッククロック信号生成回路の動作を示すタイミングチャートである。図 4、図 5 及び図 6 を用いて本発明のフィードバッククロック信号生成回路の動作を説明する。

【0034】

ステップ S501において、遅延算出回路 401 は、リファレンスクロック 405 とフィードバックバス 124 から入力されるフィードバッククロック信号の遅延差（位相差）を検出する。遅延差は各々の信号の立ち上がりエッジ、立ち下がりエッジ双方について検出する。遅延算出回路 401 の出力信号 406 及び 407 の波形はそれぞれ図 6 に示す 601 及び 605 のようになる。また、遅延算出回路 402 は、リファレンスクロック 405 とフィードバックバス 125 から入力されるフィードバッククロック信号の遅延差を検出する。遅延算出回路 402 の出力信号 408 及び 409 の波形はそれぞれ図 6 に示す 602 及び 606 のようになる。更に、遅延算出回路 403 は、リファレンスクロック 405 とフィードバックバス 126 から入力されるフィードバッククロック信号の遅延差を検出する。遅延算出回路 403 の出力信号 410 及び 411 の波形はそれぞれ図 6 に示す 603 及び 607 のようになる。

【0035】

ステップ S502において、平均値算出回路 404 は、遅延算出回路 401、402 及び 403 によって検出されたリファレンスクロック 405 と各フィードバッククロック信号との遅延差から、遅延差（位相差）の平均値を算出する。遅延差の平均値は、クロック信号の立ち上がりエッジ、立ち下がりエッジ双方について算出される。その後、算出した立ち上がりエッジの遅延差の平均値、立ち下がりエッジの遅延差の平均値に従って中心特性となる波形を有するフィードバッククロック信号をバラツキ補正済フィードバッククロック信号として生成する。

【0036】

平均値算出回路 404 の具体的な動作について、図 6 を用いて説明する。遅延算出回路

10

20

30

40

50

401の出力信号601、遅延算出回路402の出力信号602、遅延算出回路403の出力信号603より、立ち上がり遅延平均値604を得る。遅延算出回路401の出力信号605、遅延算出回路402の出力信号606、遅延算出回路403の出力信号607より、立ち下がり遅延平均値608を得る。その後、立ち上がり遅延平均値604を示す信号と立ち下がり遅延平均値608を示す信号の排他的論理和より出力信号609を得る。出力信号609はフィードバッククロック信号として、位相調整回路110に入力される。

【0037】

尚、ここで得られた遅延算出結果よりトランジションフォルトしたフィードバックパスを検出しても良い。即ち、ステップS503において、遅延差の標準偏差を算出して、平均遅延値と比較して大幅に遅延値に差（一定値以上の差）があるか否かを判定する（ステップS504）。特に、一定値以上の差がある場合（ステップS504でYES）、トランジションフォルトが発生したと判定する。この場合、遅延が大きいフィードバックパスを平均遅延値算出の対象外として、残りのフィードバックパスを選択して（ステップS505）、対応するフィードバッククロック信号についての平均遅延値を再算出する（ステップS506）。そして、その再算出した遅延差の平均値に従ってフィードバッククロック信号（バラツキ補正済フィードバッククロック信号）を生成する（ステップS507）。

10

【0038】

位相調整回路110は、フィードバッククロック信号を受信した後、クロック信号をリファレンスクロック信号に同期するように位相を調整し、クロック信号をクロック分配網102へ再出力する。換言すれば、位相調整回路110は、フィードバッククロック信号生成回路109によって生成されたフィードバッククロック信号とリファレンスクロック信号との位相差が小さくなるように、クロック信号を遅延する。

20

【0039】

以上説明したように、実施形態2によれば、クロック分配回路によれば、フィードバックパスにトランジションフォルトが発生した場合に歩留まりを低下させることなく、クロック遅延の調整ができる。

【0040】

<実施形態3>

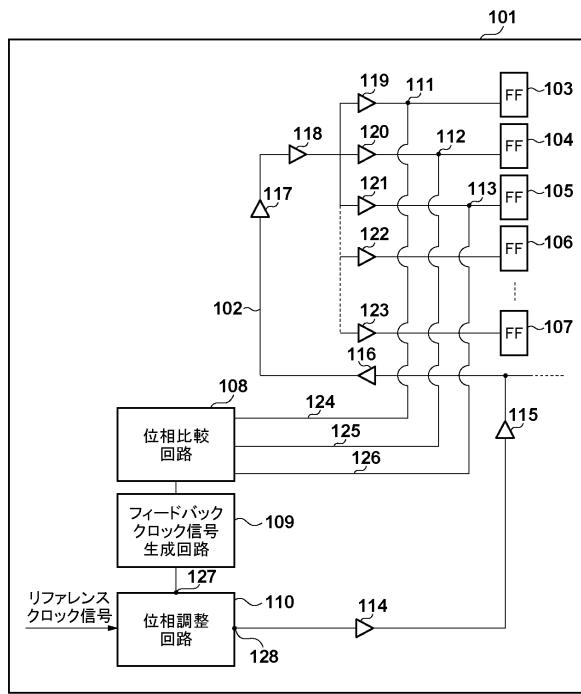
30

実施形態1あるいは実施形態2のクロック分配回路を形成する場合には、以下のような処理を実行することになる。

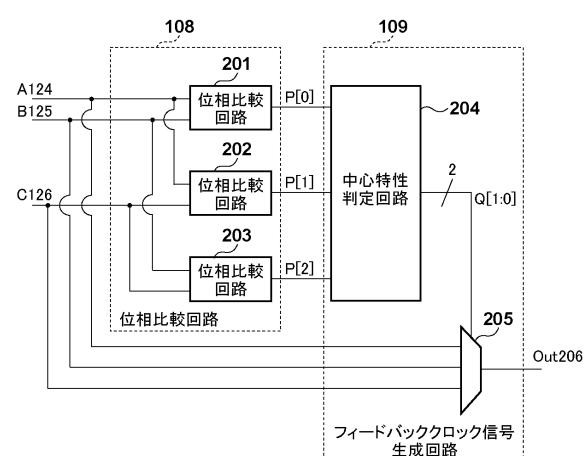
【0041】

複数のフィードバッククロック信号のフィードバックバスの配線経路を、クロックツリーの起点から前記フィードバックバスの分岐点までのクロックの配線経路の近傍に配置する。複数のフィードバッククロック信号のフィードバックバスを位相比較回路108に接続する。位相比較回路108と位相調整回路110との間にフィードバッククロック信号生成回路109を配置する。

【図1】



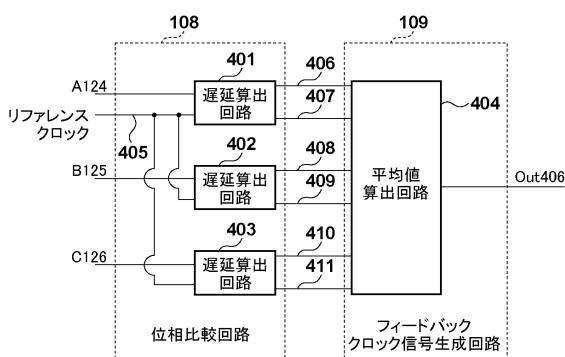
【図2】



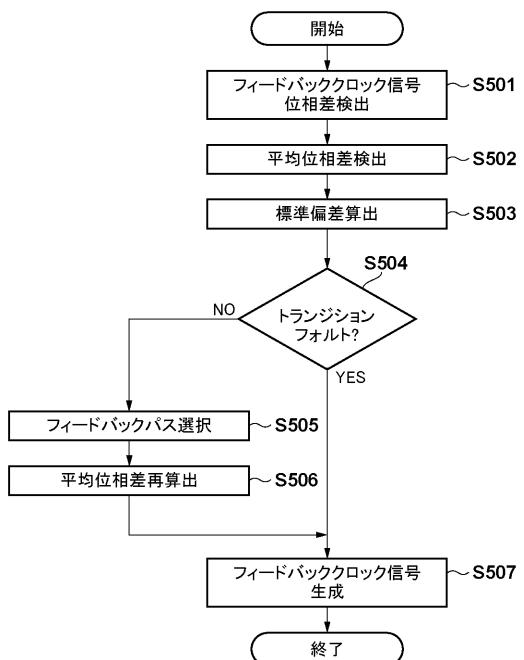
【図3】

位相比較	P[2:0]	Q[1:0]	Out
A>B>C	111	01	B
A>C>B	110	10	C
B>A>C	011	00	A
B>C>A	001	10	C
C>A>B	100	00	A

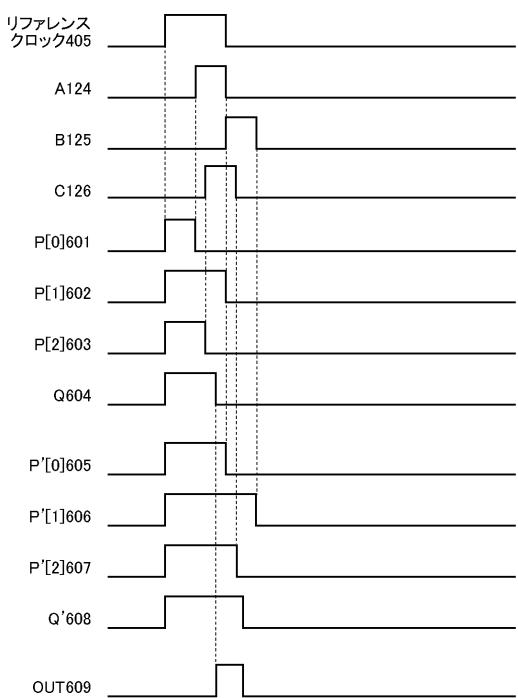
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 河岡 茂雄

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 柳下 勝幸

(56)参考文献 特開2010-273286 (JP, A)

特開平06-273478 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 03 K 5 / 15

G 06 F 1 / 04