



(12) 发明专利

(10) 授权公告号 CN 1943027 B

(45) 授权公告日 2010.09.29

(21) 申请号 200580002708.X

(22) 申请日 2005.02.22

(30) 优先权数据

10/786,901 2004.02.25 US

(85) PCT申请进入国家阶段日

2006.07.18

(86) PCT申请的申请数据

PCT/US2005/005565 2005.02.22

(87) PCT申请的公布数据

W02005/083780 EN 2005.09.09

(73) 专利权人 国际商业机器公司

地址 美国纽约

(72) 发明人 里基·S·艾莫斯

黛安·C·博伊德

小西里尔·卡布拉尔

理查德·D·卡普兰

贾库伯·T·克德泽尔斯基 顾伯聪

李宇莹 李瑛 安达·C·莫库塔

维嘉·纳拉亚纳 安·L·斯蒂根

玛赫斯瓦仁·苏仁德拉

(74) 专利代理机构 中国国际贸易促进委员会专
利商标事务所 11038

代理人 屠长存

(51) Int. Cl.

H01L 21/8238(2006.01)

审查员 潘军

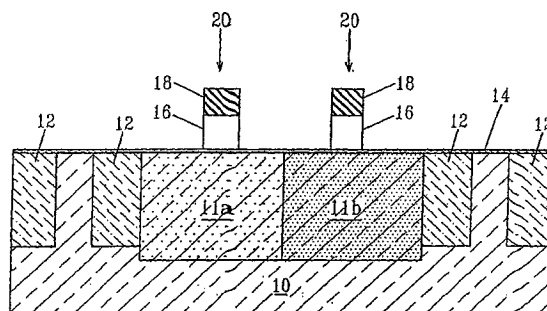
权利要求书 2 页 说明书 11 页 附图 10 页

(54) 发明名称

CMOS 硅化物金属栅集成

(57) 摘要

本发明提供了一种互补金属氧化物半导体集成工艺,用于在栅电介质之上制造多个硅化金属栅。使用本发明的集成方案形成的每个硅化金属栅具有相同的硅化物金属相以及基本相同的高度,而不管硅化物金属栅的尺寸如何。本发明还提供了形成具有硅化触点的 CMOS 结构的多种方法,其中多晶硅栅高度在半导体衬底的整个表面上基本相同。



1. 一种用于制造互补金属氧化物半导体 CMOS 结构的方法,包括:

提供多个覆在半导体衬底上的多晶硅栅,每个多晶硅栅包括位于其上表面上的电介质盖层,所述电介质盖层包括第一电介质材料;

在所述半导体衬底中形成硅化源漏区;

在所述半导体衬底上形成电介质叠层,其中所述电介质叠层包括第一下部电介质层和第二上部电介质层,其中第一下部电介质层包括所述第一电介质材料,所述第二上部电介质层包括与第一电介质材料不同的第二电介质材料;

对所述电介质叠层进行平坦化以去除所述第二上部电介质层的上部;

执行蚀刻工艺,以相对于第二上部电介质层,选择性地去除所述第一下部电介质层和所述电介质盖层,从而仅露出每个多晶硅栅的上表面,其中每个多晶硅栅的暴露的上表面在所述第二上部电介质层的上表面之下;以及

执行将每个多晶硅栅转换为金属硅化物栅的自对准硅化物工艺,其中每个金属硅化物栅具有基本相同的高度,由相同的硅化物相组成,并且对于相同的多晶硅离子注入条件具有基本相同的功函数。

2. 如权利要求 1 所述的方法,其中,所述多个多晶硅栅被形成在栅电介质之上。

3. 如权利要求 1 所述的方法,其中,所述多个多晶硅栅是通过沉积、光刻和蚀刻形成的。

4. 如权利要求 1 所述的方法,其中,所述电介质盖层由氮化物构成。

5. 如权利要求 1 所述的方法,其中,提供多个多晶硅栅的步骤包括在所述多晶硅栅的每个露出的侧壁上形成至少一个间隔层。

6. 如权利要求 5 所述的方法,其中,所述至少一个间隔层包括第一间隔层和第二间隔层,其中,所述第一间隔层的厚度比第二间隔层窄。

7. 如权利要求 1 所述的方法,其中,在源漏区上形成硅化触点的步骤包括在所述半导体衬底上沉积金属,并执行自对准硅化物工艺。

8. 如权利要求 7 所述的方法,其中,所述金属包括 Ti、Ta、W、Co、Ni、Pt、Pd 或它们的合金。

9. 如权利要求 8 述的方法,其中,所述金属是 Co、Ni 或 Pt。

10. 如权利要求 7 所述的方法,其中,所述自对准硅化物工艺包括第一退火、选择性蚀刻步骤和可选的第二退火。

11. 如权利要求 7 所述的方法,还包括在金属沉积之前,在所述半导体衬底之上形成一层硅。

12. 如权利要求 1 所述的方法,其中,所述蚀刻工艺包括反应离子蚀刻步骤。

13. 如权利要求 1 所述的方法,其中,所述自对准硅化物工艺包括:在每个多晶硅栅的至少露出的上表面之上沉积平铺硅化物金属层,进行第一退火以全部或部分耗用所述多晶硅栅,选择性地蚀刻未反应的硅化物金属,以及可选地执行第二退火。

14. 如权利要求 13 所述的方法,其中,所述硅化物金属包括 Ti、Ta、W、Co、Ni、Pt、Pd 或它们的合金。

15. 如权利要求 14 所述的方法,其中,所述硅化物金属是 Co、Ni 或 Pt。

16. 如权利要求 13 所述的方法,所述第一退火是在从 350°C 到 550°C 范围内的温度下进

行的。

17. 如权利要求 13 所述的方法,其中,所述可选的第二退火是在从 600℃到 800℃范围内的温度下进行的。

18. 如权利要求 1 所述的方法,其中所述第一电介质材料是氮化物,所述第二电介质材料是氧化物。

19. 如权利要求 1 所述的方法,其中对所述电介质叠层进行平坦化的步骤包括化学机械抛光。

20. 一种 CMOS 结构,包括:

半导体衬底中形成的硅化源漏区;

所述半导体衬底上的栅电介质;

位于所述栅电介质的表面之上的多个硅化金属栅,所述硅化金属栅中的每一个都由相同的硅化物相组成,具有基本相同的高度,并且对于相同的多晶硅离子注入条件具有基本相同的功函数,而不管所述硅化金属栅的尺寸如何;

所述硅化金属栅的侧壁上形成的至少一个间隔层;

所述半导体衬底上所述至少一个间隔层外侧的电介质叠层,其中所述电介质叠层包括第一下部电介质层和第二上部电介质层,其中第一下部电介质层包括所述第一电介质材料,所述第二上部电介质层包括与第一电介质材料不同的第二电介质材料,

其中,所述第二上部电介质层的上部通过平坦化而被去除,

其中,所述第一下部电介质层被通过执行蚀刻工艺而相对于第二上部电介质层选择性地去除,从而仅露出每个硅化金属栅的上表面,其中每个硅化金属栅的暴露的上表面在所述第二上部电介质层的上表面之下。

21. 如权利要求 20 所述的 CMOS 结构,其中,所述硅化金属栅包括从由 Ti、Ta、W、Co、Ni、Pt、Pd 和它们的合金组成的组中选出的金属。

22. 如权利要求 21 所述的 CMOS 结构,其中,所述金属是 Co、Ni 或 Pt。

23. 如权利要求 20 所述的 CMOS 结构,还包括位于每个硅化金属栅和半导体衬底之间的栅电介质。

24. 如权利要求 23 所述的 CMOS 结构,其中,所述栅电介质包括 SiO_2 、 SiO_xN_y 、 HfO_2 、 ZrO_2 、 Al_2O_3 、 TiO_2 、 La_2O_3 、 Y_2O_3 、 SrTiO_3 、 LaAlO_3 、硅酸盐或者它们的组合。

25. 如权利要求 20 所述的 CMOS 结构,其中,所述硅化源漏区分别与各个硅化金属栅邻接。

26. 如权利要求 20 所述的 CMOS 结构,其中,每个硅化金属栅包括 CoSi_2 、 PtSi 或 NiSi 。

27. 如权利要求 20 所述的 CMOS 结构,其中,所述至少一个间隔层包括第一较窄间隔层和第二较宽间隔层。

28. 如权利要求 20 所述的 CMOS 结构,其中硅化金属栅包括从由 As、P、B、Sb、Bi、In、Al、Ga、Tl 和它们的混合物组成的组中选出的掺杂剂,该掺杂剂改变所述硅化金属栅的功函数。

CMOS 硅化物金属栅集成

技术领域

[0001] 本发明涉及在半导体衬底上的电路器件的制造,更具体地说,涉及用于形成基本具有相同高度的硅化物金属栅的互补金属氧化物半导体 (CMOS) 晶体管制造方法。本发明还涉及在不影响多晶硅栅导体的的高度的情况下形成硅化源漏区的方法。

背景技术

[0002] 在整个现有技术中,金属栅集成已被证明在 CMOS 晶体管的常规工艺流程中很难实现。在源漏 (S/D) 结激活退火所需的高温处理过程中,大多数金属栅材料与栅电介质交互作用。为了使金属栅叠层不经受高温退火,已开发出了“栅最后 (gate last)”和“替换栅 (replacement gate)”的工艺,其中栅叠层被最后制造并且在后面的处理期间保持低于 500°C。虽然现有技术的替换栅工艺增加了金属栅的材料选择的数量,但是工艺复杂度和成本提高了。

[0003] 2002 年 11 月 20 日递交的、共同转让的美国申请 No. 10/300,165 描述了一种用于在不使用“替换栅”工艺的常规 CMOS 晶体管处理流程中形成金属栅硅化物的方法。在这种替换方法中,增加的处理步骤的数量已被最小化,因而使复杂度变为最低,并使成本下降。

[0004] 免除“替换栅”工艺是一个很大的优点。在'165 申请中描述的方法的第二个优点是能够利用标准物理气相沉积来沉积硅化物金属。由于在'165 申请中金属不直接沉积在栅电介质上,所以不需要化学气相沉积 (CVD) 或原子层沉积 (ALD),这通过取消等离子体的使用而将栅电介质损害减到最小。另一个优点是在硅化物金属栅形成后栅电介质易于钝化。氢很容易扩散穿过硅化物,从而实现常规的炉退火工艺中的钝化。

[0005] 增加几个步骤就可以完成在常规的 CMOS 工艺流程中形成金属栅硅化物的操作。下面是对这样的工艺流程的说明:在源漏区的硅化 (silicidation) 过程中,在栅多晶硅 (即 polySi) 的上面一般需要氮化物或氧化物盖层。氧化物或氮化物盖层在源漏硅化期间防止栅多晶硅区的硅化。除了包含多晶硅盖层以外,在源漏区上形成硅化物触点的过程中的所有其他处理步骤都是已有的。

[0006] 在硅化物源漏触点形成后,一般在 CMOS 结构上沉积氮化物/氧化物双层并将其平坦化,以便覆盖源漏硅化物和沟槽隔离区。平坦化操作一般使用化学机械抛光 (CMP) 工艺来完成。执行 CMP,使得多晶硅栅叠层上的盖层被去除,并且多晶硅与平坦化的表面接触。

[0007] 此时,常规的自对准硅化物 (即 salicide,自对准多晶硅化物) 工艺可被用来形成硅化物金属栅。此后,遵照常规的 CMOS 集成流程来形成多个后端互连层级。

[0008] 上述硅化物金属栅工艺的不利之处在于:在 CMP 之后,多晶硅栅高度 (厚度) 根据栅极的长度而变。发生这种变化的起因在于:(1) 在栅极 CMP 期间在芯片 (die) 内、在晶片 (wafer) 内、晶片与晶片间以及批次与批次间的不一致性,和 (2) 在浅沟槽隔离 (STI) CMP 和后面的清洁期间产生的 STI 和硅表面 (有源区) 之间的引入形态 (incoming topography)。

[0009] 虽然已对 STI CMP 进行优化以使 STI 到 Si 的梯级高度最小化,但是这样的梯级高度仍然存在并且依赖器件的图案密度而变。这种梯级高度的任何变化随后会在栅极 CMP 期

间被转换成栅极高度变化。栅极 CMP 本身向具有不同图案密度的结构特征中加入了更多的不均一性以及栅极高度的变化。两者加在一起可能在给定的晶片内产生高达 $400 \text{ \AA}$ 的栅极高度变化。由于这样的变化,当硅化物金属沉积时,可能形成硅化物的不同相,这是因为在不同的栅极中,存在不同量的可在硅化物形成过程中耗用的多晶硅。这些不同的相可能导致不同的功函数(从而不同的晶体管导通电压)以及电阻变化(器件性能)。

[0010] 考虑到以上缺点,需要提供一种新的、改进的 CMOS 硅化物金属栅集成方案,该方案不管栅极尺寸如何,允许在基本具有相同高度的多晶硅区上形成硅化物金属栅。

发明内容

[0011] 在本发明的第一实施方案中,提供了一种 CMOS 硅化物金属栅集成方法,它不存在多晶硅栅叠层高度变化的缺点,而这种多晶硅栅叠层高度变化导致硅化物金属栅相的变化。本发明的集成方法将处理复杂度保持为最小,从而不增加 CMOS 晶体管的生产成本。

[0012] 在本发明的第一实施方案中,通过多晶硅栅之上使用厚的电介质盖层(厚度大约为 20nm 或 20nm 以上,更加优选地是 50nm 或 50nm 以上)来实现以上目的。在层间电介质沉积并平坦化之后,利用反应离子蚀刻(RIE),对于层间电介质和多晶硅栅有选择地去除电介质盖层。由于多晶硅栅未被蚀刻,所以无论栅极尺寸(长度)如何,它都会在整个晶片上具有基本相同的厚度(即,作为沉积厚度)。在消耗多晶硅形成金属栅硅化物后,由于本发明的集成方案所提供的初始均一的多晶硅的缘故,在整个晶片上的硅化物高度和硅化物相将基本相同。横截面成像可被用来确定由本发明的第一实施方案的集成方案形成的金属栅硅化物的高度。

[0013] 本发明的集成方案相对于现有技术的集成方案的一个主要优点就是:无论栅极尺寸如何,发生用于硅化物形成的金属多晶硅反应都将耗用相同量的多晶硅,这防止不均一或不完整相的形成。举个例子,利用现有技术的集成方案,由于尺寸的不同,某些栅极具有的多晶硅可能是其他栅极的两倍之多。在这种情况下,如果 CoSi_2 应被形成在具有较多多晶硅的较厚的栅极上,但是 CoSi_2 将形成在具有较少多晶硅的较薄的栅极上,那么 CoSi 相将形成。 CoSi 相与 CoSi_2 相比具有高 5 到 6 倍的电阻率。

[0014] 广义地说,本发明的第一实施方案包括以下步骤:

[0015] 提供多个覆在半导体衬底上的多晶硅栅,每个多晶硅栅包括设在其上表面上的电介质盖层;

[0016] 在半导体衬底中形成硅化源漏区;

[0017] 在半导体衬底上形成平坦化的电介质叠层;

[0018] 执行蚀刻工艺,以露出每个多晶硅栅的上表面;以及

[0019] 执行自对准硅化物工艺,该工艺将每个多晶硅栅转换成金属硅化物栅,其中每个金属硅化物栅具有基本相同的高度,由相同的硅化物相组成,并且对于相同的多晶硅离子注入条件具有基本相同的功函数。

[0020] 本发明的另一个方面涉及使用上述本发明的集成方案生产的 CMOS 结构。广义地说,本发明的 CMOS 结构包括:

[0021] 设在栅电介质的表面顶上的多个硅化金属栅,每个硅化金属栅由相同的硅化物相组成,具有基本相同的高度,并且对于相同的多晶硅离子注入条件具有基本相同的功函数,

而不管硅化金属栅的尺寸如何。

[0022] 本发明的第二实施方案涉及形成具有硅化源漏区（即，触点）的 CMOS 结构，从而在半导体结构的整个表面上多晶硅栅的高度基本相同的方法。本发明的第二实施方案包括以下步骤：

[0023] 提供一种结构，该结构包括覆在半导体衬底上的多个多晶硅栅；

[0024] 在包括多晶硅栅和半导体衬底的所述结构的顶上沉积金属，该金属将用可选的盖层来硅化；

[0025] 通过在每个多晶硅栅之间进行软熔（reflow，回流），形成凹进的（recessed）材料；

[0026] 从每个多晶硅栅的顶部去除硅化物金属和可选的盖层；

[0027] 去除通过软熔形成的凹进的材料；以及

[0028] 对所述结构进行退火处理，以便在每个多晶硅栅之间形成硅化物触点（源漏）区。

[0029] 本发明的第三实施方案涉及一种形成具有硅化源漏区的 CMOS 结构，从而在半导体结构的整个表面上多晶硅栅的高度也基本相同的方法。

[0030] 提供一种结构，该结构包括覆在半导体衬底上的多个多晶硅栅；

[0031] 在包括多晶硅栅和半导体衬底的所述结构的顶上形成双膜层，该双膜层包括含金属层和盖层；

[0032] 在半导体衬底上形成平坦化电介质；

[0033] 在每个多晶硅栅的顶上露出含金属层；

[0034] 从每个多晶硅栅的顶部去除含金属层；以及

[0035] 对所述结构进行退火处理，以便在每个多晶硅栅之间形成硅化物触点区。

[0036] 在上述第二或第三实施方案中，可以形成在相同的多晶硅预掺杂条件下具有基本相同的高度、相和功函数的金属硅化物栅。

[0037] 本发明的第二和第三实施方案提供了本发明的另一种 CMOS 结构，其包括：

[0038] 设在栅电介质的表面顶上的多个多晶硅栅，不管这些多晶硅栅的尺寸如何，每个多晶硅栅都具有基本相同的高度；和设在每个多晶硅栅之间的硅化物触点。

[0039] 在本发明中，硅化物触点（或硅化物源漏区）自对准到位于每个多晶硅或硅化物金属栅的垂直侧壁上的隔离层的边缘。

附图说明

[0040] 图 1 是示出在本发明的第一实施方案中使用的初始的覆有盖层的多晶硅栅结构的图形表示（横截面图）。

[0041] 图 2 是示出在图 1 中图解的每个覆有盖层的多晶硅栅的侧壁上已经形成双隔离层后的结构的图形表示（横截面图）。

[0042] 图 3 是示出在图 2 中图解的结构上已完成源漏硅化的结构的图形表示（横截面图）。

[0043] 图 4 是示出在图 3 中图解的结构上沉积了氮化物 / 氧化物电介质叠层后的结构的图形表示（横截面图）。

[0044] 图 5 是示出在对图 4 中图解的结构进行平坦化处理后的结构的图形表示（横截面

图)。

[0045] 图 6 是示出在深蚀刻氧化物和氮化物(包括盖层材料),露出每个多晶硅栅的上表面后的结构的图形表示(横截面图)。

[0046] 图 7 是示出在硅化物金属沉积后的结构的图形表示(横截面图)。

[0047] 图 8 是示出在第一次自对准硅化物退火后的结构的图形表示(横截面图)。

[0048] 图 9 是示出在完成硅化物选择性蚀刻后的结构的图形表示(横截面图)。

[0049] 图 10 是示出在完成可选的第二次自对准硅化物退火后的结构的图形表示(横截面图)。

[0050] 图 11A-11E 是图解说明本发明的第二实施方案的基本工艺流程的图形表示(横截面图)。

[0051] 图 12A-12F 是图解说明本发明的第三实施方案的基本工艺流程的图形表示(横截面图)。

具体实施方式

[0052] 本发明在一个实施方案中提供了一种 CMOS 硅化物金属栅集成工艺,它能够形成由相同的硅化物相组成,并且不管每个栅尺寸如何都具有基本相同的功函数和高度的硅化物金属栅,下面将参考本申请的附图来更详细地描述本发明。在并非按比例绘制的附图中,用相近的标号来表示相同和/或相应的元件。

[0053] 参考图 1-10,它们是在本发明的第一实施方案的各个阶段中的 CMOS 结构的横截面图。虽然附图中示出存在两个多晶硅栅(即,具有 pFET 和 nFET 晶体管的 CMOS 晶体管结构),但是本发明不限于这一数量的多晶硅栅。相反,本集成工艺适用于任何数量的多晶硅栅。因此,在单个半导体结构上可以存在多个多晶硅栅。

[0054] 图 1 示出了在本发明的第一实施方案中采用的初始结构。具体地说,图 1 中示出的初始结构包括其中形成有隔离区 12 的半导体衬底 10。该初始结构还包括设在半导体衬底 10 以及隔离区 12 的顶上的栅电介质 14。这是沉积电介质的情况(对高 k 材料而言),而不是生长出电介质的情况(SiO_2 或 SiO_xN_y 一般是生长的)。在本发明中,每个多晶硅栅 16 都具有电介质盖层 18,并且两者都位于栅电介质 14 的选定部分之上。每个多晶硅栅 16 及其对应的电介质盖层 18 在这里都被称为栅叠层 20。

[0055] 图 1 中所示的初始结构的半导体衬底 10 由任意半导体材料构成,包括但不限于: Si、Ge、SiGe、SiC、SiGeC、Ga、GaAs、InAs、InP 以及所有其他的 III/V 族化合物半导体。半导体衬底 10 还可以由层叠的半导体构成,例如 Si/SiGe、绝缘体上硅(SOI)或绝缘体上 SiGe(SGOI)。在本发明的一些实施方案中,优选的是半导体衬底 10 由含硅半导体材料组成。半导体衬底 10 可以被掺杂,不被掺杂,或者包含掺杂和非掺杂区。

[0056] 在图 1 中,标号 11a 代表第一掺杂(n 或 p)区,标号 11b 代表第二掺杂(n 或 p)区。第一掺杂区和第二掺杂区可以是相同的,或者它们可以具有不同的导电性。这些掺杂区被称为“井(well)”。

[0057] 隔离区 12 被形成在半导体衬底 10 中。隔离区 12 可以是如图所示的沟槽隔离区,或者是场氧化物隔离区。沟槽隔离区是利用本领域技术人员公知的常规沟槽隔离工艺形成的。例如,在形成沟槽隔离区时,可以使用光刻、蚀刻,并利用沟槽电介质填充沟槽。可选地,

在沟槽填充之前可以在沟槽中形成衬层,在沟槽填充后可以执行致密化 (densification) 步骤,并且在沟槽填充后还可以进行平坦化工艺。场氧化物区可以利用所谓的局部硅氧化工艺来形成。

[0058] 在半导体衬底 10 内形成隔离区 12 后,如果栅电介质 14 是沉积的电介质,则在包括半导体衬底 10 的结构的整个表面上以及在隔离区 12 的顶上形成栅电介质 14。可以通过热生长工艺,例如氧化、氮化或氮氧化来形成栅电介质 14。或者,可以利用沉积工艺,例如化学气相沉积 (CVD)、等离子体辅助 CVD、原子层沉积 (ALD)、蒸发、反应溅射、化学溶液沉积以及其他类似的沉积工艺,来形成栅电介质 14。还可以采用以上工艺的组合来形成栅电介质 14。

[0059] 栅电介质 14 由绝缘材料构成,包括但不限于:氧化物、氮化物、氮氧化物和 / 或硅酸盐。在一个实施方案中,优选的是栅电介质 14 由氧化物构成,例如 SiO_2 、 HfO_2 、 ZrO_2 、 Al_2O_3 、 TiO_2 、 La_2O_3 、 SrTiO_3 、 LaAlO_3 及它们的混合物。

[0060] 栅电介质 14 的物理厚度可以改变,但典型地,栅电介质 14 的厚度约为 0.5 到 10nm,其中从 0.5 到 3nm 的厚度更加典型。

[0061] 在形成栅电介质 14 后,采用已知的沉积工艺,例如物理气相沉积、CVD 或蒸发,在栅电介质 14 上形成多晶硅 (即 polySi) 的平铺层。该多晶硅平铺层可以被掺杂或不被掺杂。如果被掺杂,现场掺杂沉积工艺可被用于形成该平铺层。可替换地,可以通过沉积、离子注入和退火来形成掺杂多晶硅层。对多晶硅层的掺杂将使所形成的硅化物栅的功函数移动。掺杂剂离子的例子包括 As、P、B、Sb、Bi、In、Al、Ga、Tl 或它们的混合物。在本发明的此刻沉积的多晶硅层的厚度 (即高度) 可能根据所采用的沉积工艺而变。一般地,多晶硅层的垂直厚度约为 20 到 180nm,其中从大约 40 到 150nm 的厚度更加典型。

[0062] 在沉积了多晶硅平铺层后,采用沉积工艺,例如物理气相沉积或化学气相沉积,在多晶硅的平铺层上形成电介质盖层。电介质盖层可以是氧化物、氮化物、氮氧化物或者它们的组合。在一个实施方案中,氮化物例如 Si_3N_4 被用作电介质盖层。电介质盖层的厚度,也就是高度,大约从 20nm 到 180nm,大约从 30 到 140nm 的厚度更加典型。

[0063] 在一个实施方案中,多晶硅平铺层和电介质盖层的总高度在 70 到 180nm 之间。在另外的实施方案中,多晶硅平铺层和电介质盖层的高度大约是 120nm;典型的是 70nm 的多晶硅和 50nm 的电介质盖层。

[0064] 然后通过光刻和蚀刻来使多晶硅平铺层和电介质盖层图案化,以便提供图案化的栅叠层 20。图案化的栅叠层 20 可以具有相同的尺寸,即相同的长度,或者它们可以具有可变的尺寸以改进器件性能。如图 1 所示,每个图案化的栅叠层 20 都包括多晶硅栅 16 和电介质盖层 18。光刻步骤包括向电介质盖层的上表面涂敷光致抗蚀剂,将光致抗蚀剂在具有所需图案的辐射下曝光,并且利用常规的抗蚀剂显影剂来显影曝光后的光致抗蚀剂。然后,利用一个或多个干蚀刻步骤将光致抗蚀剂中的图案转移到电介质盖层和多晶硅平铺层。在一些实施方案中,在图案已被转移到电介质盖层中后,可以去除图案化的光致抗蚀剂。在其他实施方案中,在已完成蚀刻后去除图案化的光致抗蚀剂。

[0065] 在本发明中可用于形成图案化栅叠层 20 的适当的干蚀刻工艺包括但不限于:反应离子蚀刻、离子束蚀刻、等离子体蚀刻或激光烧蚀。所采用的干蚀刻工艺一般对于下层的栅电介质 14 是有选择性的,因此该蚀刻步骤一般不会除去栅电介质。但是在一些实施方案

中,该蚀刻步骤可被用来除去栅电介质 14 中不被栅叠层 20 保护的部分。

[0066] 接着,在每个图案化栅叠层 20 的暴露的侧壁上形成至少一个隔离层。该至少一个隔离层由绝缘体构成,例如氧化物、氮化物、氮氧化物和 / 或它们的任意组合。该至少一个隔离层通过沉积和蚀刻来形成。图 2 示出了在栅叠层 20 的每个暴露的侧壁上形成两个隔离层的本发明的实施方案。具体地说,图 2 示出了包括具有第一宽度的第一隔离层 22 和具有第二宽度的第二隔离层 24 的结构,其中第一宽度比第二宽度窄。在另一个实施方案中,用单隔离层来替换双隔离层的方案,其中,单隔离层是一个宽的隔离层,它的宽度基本上等于图 2 中所示的第一和第二宽度之和。

[0067] 当使用第一和第二隔离层时,第一和第二隔离层由不同的绝缘体组成。例如,第一隔离层 22 可以由 SiO_2 构成,第二隔离层 24 可以由 Si_3N_4 构成。

[0068] 隔离层的宽度必须足够宽,足以使得源漏硅化物触点(将在后面形成)不会侵入到栅叠层的边缘之下。一般,当隔离层的宽度在下部测量时大约有 20 到 80nm 时,源漏硅化物不会侵入到栅叠层的边缘之下。

[0069] 在隔离层形成后,源漏扩散区(未具体示出)被形成到衬底中。利用离子注入和退火步骤来形成源漏扩散区。退火步骤用于激活通过前面的注入步骤注入的掺杂剂。离子注入和退火的条件对于本领域的技术人员而言是公知的。

[0070] 接着,如果前面没有被去除,那么采用有选择地去除栅电介质 14 的化学蚀刻工艺来去除栅电介质 14 的暴露部分。该蚀刻步骤止于半导体衬底 10 的上表面以及隔离区 12 的上表面。虽然所有的化学蚀刻剂都可以用于除去栅电介质 14 的暴露部分,但是在一个实施方案中使用的是稀氢氟酸(DHF)。

[0071] 然后使用自对准硅化物工艺来形成源漏硅化物触点 26,所述自对准硅化物工艺包括以下步骤:在包括源漏扩散区的衬底 10 的暴露表面上沉积金属,执行第一退火步骤以形成硅化物,选择性地蚀刻任何未反应的金属,如果使用了盖层的话也包括该层,并且视需要执行第二退火步骤。例如在图 3 中示出了包括源漏硅化物触点 26 的所得到的结构。

[0072] 当半导体衬底不包括硅时,可以在半导体衬底 10 的暴露表面之上生长一层硅(未图示),并且这层硅可被用于形成源漏硅化物触点。

[0073] 在形成源漏硅化物触点时使用的金属包括能够与硅发生反应而形成金属硅化物的任何金属。这样的金属的例子包括但不限于:Ti、Ta、W、Co、Ni、Pt、Pd 及它们的合金。在一个实施方案中,Co 是优选的金属。在这样的实施方案中,第二退火步骤是必需的。在另一个实施方案中,Ni 或 Pt 是优选的。在该实施方案中,一般不执行第二退火步骤。

[0074] 可以使用常规的沉积工艺,例如包括溅射、化学气相沉积、蒸发、化学溶液沉积、电镀等来使金属沉积。

[0075] 第一退火一般在比第二退火步骤低的温度下进行。典型地,使用连续加热方式或者各种不同的升温保温(ramp and soak)加热循环,在从大约 300°C 到大约 600°C 的温度上进行第一退火步骤,该步骤可能形成也可能不形成高阻硅化物相材料。更优选地,在从大约 350°C 到大约 550°C 的温度上执行第一退火步骤。第二退火步骤使用连续加热方式或者各种不同的升温保温加热循环,在从大约 600°C 到大约 800°C 的温度上进行。更优选地,在从大约 650°C 到大约 750°C 的温度上执行第二退火步骤。第二退火一般将高阻硅化物转换为较低阻的硅化物相。

[0076] 自对准硅化物退火是在气体氛围（例如 He、Ar、N₂ 或合成气体）中进行的。源漏硅化物触点退火步骤可以使用不同的气氛，或者这些退火步骤可以在相同的气氛下完成。例如，He 可以被用在两个退火步骤中，或者 He 可以被用在第一退火步骤中，而在第二退火步骤中使用合成气体。

[0077] 在形成了图 3 所示的结构后，形成了包括第一电介质层 30 和第二电介质层 32 的电介质叠层 28，这就是图 4 所示的结构。第一电介质层 30 用作蚀刻停止层，而第二电介质层 32 用作层间电介质。电介质叠层 28 的第一和第二电介质层是由不同的绝缘材料，例如包括氧化物、氮化物和氮氧化物构成的。

[0078] 根据本发明，第一电介质层 30 由和电介质盖层 18 相同的电介质构成。在本发明的一个实施方案中，电介质叠层 28 的第一电介质层 30 是由 Si₃N₄ 构成的，而第二电介质层是由 SiO₂ 构成的。如图所示，电介质叠层 28 覆盖了隔离区 12、源漏硅化物触点 26 以及栅叠层 20。

[0079] 第一电介质层 30 和第二电介质层 32 是使用相同或不同的沉积工艺来形成的。可被用于形成电介质叠层 28 的层 30 和 32 的合适的沉积工艺的例子包括但不限于：化学气相沉积、原子层沉积、物理气相沉积、化学溶液沉积、蒸发和其他类似的沉积工艺。电介质叠层 28 的厚度可以变化，但是它的厚度必须大于栅叠层 20 的高度。

[0080] 在电介质叠层 28 形成后，第二电介质层 32 被平坦化处理，以产生包括平坦化的电介质叠层 28' 的结构。这样的结构例如被显示在图 5 中。可以使用常规的平坦化工艺，例如包括化学机械抛光和 / 或研磨 (grinding) 来形成平坦化的电介质叠层 28'。

[0081] 接下来，如图 6 所示，执行反应离子深蚀刻工艺，使得第一电介质层 30 和电介质盖层 18 相对于第二电介质层 32 被有选择地去除。例如，当第一电介质层和电介质盖层由 Si₃N₄ 构成，而第二电介质层由 SiO₂ 构成时，氮化物相对于氧化物被有选择地去除。这种反应离子深蚀刻步骤使每个栅叠层 20 的多晶硅栅 16 暴露出来。反应离子深蚀刻步骤后的结构例如被显示在图 6 中。注意，反应离子深蚀刻步骤不蚀刻多晶硅栅 16。由于多晶硅栅 16 未被蚀刻，所以无论尺寸（即长度）如何，它们的厚度（即高度）都将基本相同。

[0082] 然后进行第二自对准硅化物工艺，以耗用多晶硅栅 16，形成金属硅化物栅。后面的附图图解说明了需要两个退火步骤的实施方案。在一些实施方案中，自对准硅化物工艺在选择性蚀刻步骤后结束。这样，由于第一退火形成了低阻相金属硅化物栅，所以在这样的实施方案中就不需要第二退火了。

[0083] 第二自对准硅化物工艺的第一步骤包括在图 6 中所示的结构之上沉积平铺硅化物金属 34。例如在图 7 中示出了所得到的包括平铺硅化物金属 34 的结构。在形成用于源漏硅化物触点形成的金属时，可以使用上述沉积工艺之一来沉积硅化物金属 34。

[0084] 硅化物金属 34 可以由 Ti、Ta、W、Co、Ni、Pt、Pd 及它们的合金构成。在一个实施方案中，硅化物金属 34 是 Co；使用两步退火工艺来形成 CoSi₂。在本发明的另一个实施方案中，硅化物金属 34 是 Ni 或 Pt；使用单个退火步骤来形成 NiSi 和 PtSi。对硅化物金属厚度进行选择，以便对于特定的 CMOS 器件，形成具有适当功函数的硅化物相。例如，NiSi 具有 4.65eV 的功函数，如果初始多晶硅高度是 50nm，那么所需要的 Ni 的量大约为 27nm。CoSi₂ 具有 4.45eV 的功函数，如果初始多晶硅高度是 50nm，那么所需要的 Co 的量大约为 14nm。虽然给出的硅化物金属厚度是刚好用完多晶硅所需的量，但优选的是让厚度大约超出 10%，

以确保全部消耗完。

[0085] 在一些实施方案（未示出）中，在硅化物金属的顶上形成氧扩散壁垒，例如 TiN 或 W。

[0086] 在沉积了硅化物金属 34 后，利用第一退火在结构中形成第一硅化物相 36；第一硅化物相可以代表也可以不代表金属硅化物的最低电阻率相。参见图 8。在形成源漏硅化物触点 26 时，利用上述环境和温度来执行第一退火。接着，如图 9 所示，利用选择性湿蚀刻步骤从结构中去掉未反应的硅化物金属。

[0087] 对于某些金属硅化物而言，由于多晶硅被用尽，并且第一硅化物相 36 的电阻率接近该相的最小值，所以此时可以停止自对准硅化物工艺。对于 Ni 和 Pt 就是如此。该实施方案未被示出。在其他情况下，例如当 Co 或 Ti 被用作硅化物金属时，为了用尽剩余的多晶硅，并形成第二硅化物相材料 38，就需要第二更高温度的退火（如上所述），参见图 10。在该实施方案中，第一硅化物相是高电阻率相硅化物金属，而第二硅化物相材料 38 是较低电阻率相硅化物材料。

[0088] 在上述本发明的金属硅化物栅处理结束之后，可以用常规的方法来建立晶体管到晶体管以及晶体管到外部触点的多层互连结构。

[0089] 如上所述，本发明的第一实施方案的处理步骤能够制造出每个金属硅化物栅无论尺寸如何都具有基本相同的高度并具有相同相的 CMOS 结构。使用上述集成处理方案形成的 CMOS 结构的另一项显著特征是具有相同的多晶硅离子注入条件的每个金属硅化物栅都将具有基本相同的功函数。

[0090] 下面参考图 11A-11E，它们是在本发明的第二实施方案的不同阶段内的 CMOS 结构的横截面图。虽然这些附图示出存在两个多晶硅栅（即，具有 pFET 和 nFET 晶体管的 CMOS 晶体管结构），但是本发明不限于这一数量的多晶硅栅。相反，本集成工艺适用于任意数量的多晶硅栅。因此，在单个半导体结构上可以存在多个多晶硅栅。

[0091] 图 11A 示出了可以在本发明的第二实施方案中使用的初始结构。如图所示，初始结构包括半导体衬底 10、位于半导体衬底 10 的表面上的图案化栅电介质 14、位于图案化栅电介质 14 的表面部分之上的图案化多晶硅栅 16 以及形成在每个图案化多晶硅栅 16 的暴露的垂直侧壁上的间隔层 23。图 11A 中示出的结构包括与第一实施方案中相同的材料，并且在形成该结构时使用了与形成图 2 所示结构时类似的工艺流程。在该实施方案中未示出掺杂区和隔离区，但它们可被包含在半导体衬底 10 内。注意，在该实施方案中，在图案化多晶硅栅 16 的每个暴露的垂直侧壁上示出了单个间隔层 23。虽然只示出了单个间隔层，但是第二实施方案也适用于有双间隔层 22 和 24（见图 2）的情况。单个间隔层 23 可以由氧化物、氮化物、氮氧化物或它们的组合构成。

[0092] 在形成图 11A 中所示的初始结构后，在该初始结构的所有暴露的（垂直的和水平的）表面之上形成硅化物金属 50，从而产生图 11B 中举例示出的结构。在本发明的第二实施方案中使用的硅化物金属 50 包括 Ti、Ta、W、Co、Ni、Pt、Pd 及它们的合金。硅化物金属 50 是用保形沉积工艺，例如物理气相沉积（溅射）、化学气相沉积、原子层沉积或电镀形成的。硅化物金属 50 根据沉积的金属的类型以及形成过程中使用的技术，可以具有可变的厚度。然而，一般情况下，硅化物金属 50 在沉积后的厚度大约为 0.5 到 25nm。

[0093] 在半导体衬底 10 不是由含硅材料构成的实施方案中，可以在形成硅化物金属 50

之前,在不含硅衬底的暴露表面之上形成含硅材料。

[0094] 然后,在图 11B 所示的结构之上利用常规的沉积技术形成能够回流(软熔)的材料(此后称为软熔材料)。软熔材料包括抗反射涂层(ARC)或者旋涂(spin-on)电介质材料。已沉积的软熔材料的厚度可以不同,但是一般情况下,沉积的软熔材料的厚度小于多晶硅栅 16 的高度。具体地说,已沉积的软熔材料的厚度大约从 20 到 180nm。

[0095] 在沉积后,软熔材料是凹进的,产生了在图 11C 中举例示出的结构。在图 11C 中,标号 52 代表凹进的软熔材料。蚀刻步骤可被用来使软熔材料进一步凹进。如图所示,凹进的软熔材料 52 的上表面低于多晶硅栅 16 的高度。结果,在本发明的第二实施方案的该时刻上,凹进的软熔材料 52 仅位于多晶硅栅 16 之间。

[0096] 在形成凹进的软熔材料 52 后,去除每个多晶硅栅 16 顶上的硅化物金属 50,从而暴露出每个多晶硅栅 16 的上表面。例如在图 11D 中示出了在从多晶硅栅 16 的顶上去除硅化物金属 50 后所得到的结构。利用相对于电介质或多晶硅有选择地去除金属的蚀刻工艺来完成从多晶硅栅 16 的顶上去除硅化物金属 50 的操作。具体地说,在本发明的该步骤中可以采用湿蚀刻工艺,该工艺使用硫酸/过氧化氢溶液。

[0097] 在本发明的第二实施方案的此刻,利用有选择地去除 ARC 或旋涂材料的剥离工艺,从结构中去掉凹进的软熔材料 52,此后进行退火工艺。

[0098] 退火工艺可以包括第一退火和可选的第二退火。未反应的金属可以在第一退火之后或者在可选的第二退火之后被去除。第一退火一般在比第二退火步骤低的温度下进行。典型地,使用连续加热方式或者各种不同的升温保温加热循环,在从大约 300°C 到大约 600°C 的温度上进行第一退火步骤,该步骤可能形成也可能不形成高阻硅化物相材料。更优选地,在从大约 350°C 到大约 550°C 的温度上进行第一退火步骤。第二退火步骤使用连续加热方式或者各种不同的升温保温加热循环,在从大约 600°C 到大约 800°C 的温度上进行。更优选地,在从大约 650°C 到大约 750°C 的温度上执行第二退火步骤。第二退火一般将高阻硅化物转换为较低阻的硅化物相。

[0099] 硅化物退火是在气体氛围(例如 He、Ar、N₂ 或合成气体)下完成的。源漏硅化物触点退火步骤可以使用不同的气氛,或者这些退火步骤可以在相同的气氛下完成。例如,He 可以被用在两个退火步骤中,或者 He 可以被用在第一退火步骤中,而在第二退火步骤中使用合成气体。利用有选择地去除金属的蚀刻工艺来去除未反应的金属。例子包括使用硫酸/过氧化氢溶液的湿蚀刻。

[0100] 图 11E 示出了在退火并形成硅化物触点 54 后所得到的结构。注意,本发明的方法提供了一种无论多晶硅栅 16 的尺寸如何,每个多晶硅栅 16 都具有相同高度的结构。

[0101] 在本发明的第二实施方案的此刻,多晶硅栅 16 可被转换为在相同的多晶硅预掺杂条件下具有基本相同的功函数、高度和相的硅化物金属栅。硅化物金属栅可以采用在本发明的第一实施方案中提到的自对准硅化物工艺来形成。具体地说,可以通过首先在结构上提供电介质盖层(例如 Si₃N₄、SiO₂、Si₃N₄ 上 SiO₂ 等),使得只有多晶硅栅 16 和电介质盖层与随后沉积的硅化物金属接触,藉此来形成硅化物金属栅。本发明的该步骤利用电介质层为源漏区加上盖层,使得在栅形成中使用的硅化物金属不与源漏区接触。用于盖层的一种可能的方法是沉积平铺 Si₃N₄ 层,接着沉积高密度等离子(HDP) SiO₂ 层(厚度大于栅高度)。化学机械抛光可被用来对 HDP SiO₂ 进行平坦化处理,止于 Si₃N₄ 层上或者略微进入 Si₃N₄ 层

中。如果剩下了一些 SiO_2 , 那么可以使用湿蚀刻工艺来去除 SiO_2 。选择性 RIE 工艺被用于去除栅极上的 Si_3N_4 , 然后硅化物金属被沉积并进行上述自对准硅化物工艺。

[0102] 现在参考图 12A-12F, 它们是在本发明的第三实施方案的不同阶段的 CMOS 结构的横截面图。虽然这些附图示出了存在两个多晶硅栅 (即, 具有 pFET 和 nFET 晶体管的 CMOS 晶体管结构), 但是本发明不限于这一数量的多晶硅栅。相反, 本集成工艺适用于任何数量的多晶硅栅。因此, 在单个半导体结构上可以存在多个多晶硅栅。

[0103] 图 12A 示出了可以在本发明的第二实施方案中使用的初始 CMOS 结构。如图所示, 初始结构包括其中形成有第一掺杂区 11a、第二掺杂区 11b 和隔离区 12 的半导体衬底 10、位于半导体衬底 10 的表面上的图案化栅电介质 14、位于图案化栅电介质 14 的表面部分之上的图案化多晶硅栅 16 以及在每个图案化多晶硅栅 16 的暴露的垂直侧壁上形成的隔离层 22 和 24。在本发明的第三实施方案中采用的初始结构的以上组成部分类似于图 2 中所示的部分, 只是在多晶硅栅 16 之上不存在电介质盖层 18。

[0104] 图 12A 的结构还包括双层叠层 70, 它包括含金属层 72 和盖层 74。如图所示, 首先形成含金属层 70, 此后形成盖层 74。

[0105] 双层叠层 70 的含金属层 72 由能够与硅发生反应而形成金属硅化物的任何金属构成。这样的金属的例子包括但不限于: Ti、Ta、W、Co、Ni、Pt、Pd 及它们的合金。这些金属的叠层也可以被用作含金属层 70。在这些不同的金属中, 优选的是采用 Co 或 Ni。双层叠层 70 的含金属层 72 的厚度一般从约 0.5 到约 25nm, 该层的厚度大约从 0.5 到 15nm 是更加典型的。

[0106] 双层叠层 70 的含金属层 72 是用任意一种常规的沉积工艺形成的, 例如包括物理气相沉积 (溅射或蒸发)、化学气相沉积、原子层沉积、化学溶液沉积、电镀等。

[0107] 双层叠层 70 的盖层 74 被形成在含金属层 72 之上, 它包括可以阻止氧与用于形成硅化物的下层金属结合的任何材料。这样的盖层的示意性例子包括 TiN、W 或 Ti。盖层 72 的厚度一般从约 5nm 到约 50nm, 厚度从约 10nm 到约 25nm 是更加典型的。盖层 72 是用常规的沉积工艺形成的, 例如物理气相沉积或化学气相沉积。

[0108] 接着, 在图 12A 所示的结构之上形成平坦化电介质 75, 产生图 12B 所示的结构。平坦化电介质 75 可以包括光致抗蚀剂、低温氧化物 (LTO) 或者能够用作平坦化层的其他类似电介质。平坦化电介质 75 在平坦化处理前的初始厚度可以不同, 但是它的厚度必须大于多晶硅栅 16 的高度。

[0109] 然后, 用常规的平坦化工艺对平坦化电介质 75 进行平坦化处理, 例如包括化学机械抛光和 / 或研磨, 以产生例如在图 12C 中所示的结构。在平坦化过程中, 位于每个多晶硅栅 16 上的平坦化电介质 75 被除去, 以露出下面的双层叠层 70 的盖层 74。在本发明的该实施方案中, 在多晶硅栅 16 顶上的盖层 74 用作 CMP 蚀刻停止层。

[0110] 接着, 除去露出的盖层 74, 以露出下面的含金属层 72。利用选择性湿蚀刻工艺去除露出的盖层 74。

[0111] 然后去除在每个多晶硅栅 16 之上露出的含金属层 72, 以便露出多晶硅栅 16 的上表面, 参见图 12D。利用有选择地去除金属的蚀刻工艺来去除露出的含金属层 72。例子包括使用硫酸 / 过氧化氢溶液的湿蚀刻。

[0112] 在从每个多晶硅栅 16 的顶上有选择地去除露出的含金属层 72 后, 利用有选择地

去除光致抗蚀剂或低温氧化物的蚀刻工艺来去除邻接的平坦化材料 75。例如在图 12E 中示出了在以上工艺步骤后所得到的结构。

[0113] 接下来进行退火工艺,以便形成硅化物触点 54,参见图 12F。退火工艺可以包括第一退火和可选的第二退火。未反应的和作为盖层的金属可以在第一退火之后或者在可选的第二退火之后被去除。第一退火一般在比第二退火步骤低的温度下进行。典型地,使用连续加热方式或者各种不同的升温保温加热循环,在从大约 300℃到大约 600℃的温度上进行第一退火步骤,该步骤可能形成也可能不形成高阻硅化物相材料。更优选地,在从大约 350℃到大约 550℃的温度上进行第一退火步骤。第二退火步骤使用连续加热方式或者各种不同的升温保温加热循环,在从大约 600℃到大约 800℃的温度上进行。更优选地,在从大约 650℃到大约 750℃的温度上执行第二退火步骤。第二退火一般将高阻硅化物转换为较低阻的硅化物相。

[0114] 硅化物退火是在气体氛围(例如 He、Ar、N₂ 或合成气体)下完成的。源漏硅化物触点退火步骤可以使用不同的气氛,或者这些退火步骤可以在相同的气氛下完成。例如,He 可以被用在两个退火步骤中,或者 He 可以被用在第一退火步骤中,而在第二退火步骤中使用合成气体。在对电介质盖层 74 进行退火处理后,利用有选择地去除这些材料的蚀刻工艺来去除未反应的金属(即,含金属层 72)。

[0115] 图 12F 示出了在退火并形成硅化物触点 54 后所得到的结构。注意,本发明的方法提供了一种无论多晶硅栅 16 的尺寸如何,每个多晶硅栅 16 都具有相同高度的结构。

[0116] 在第三实施方案中,可以象在本发明的第二实施方案中一样来形成硅化物金属栅。

[0117] 在本发明的上述不同实施方案中,形成硅化物时所用的金属可以包括可以促进金属硅化物的形成的合金添加剂。可以在本发明中使用的合金添加剂的例子包括:C、Al、Ti、V、Cr、Mn、Fe、Co、Ni、Cu、Ge、Zr、Nb、Mo、Ru、Rh、Pd、Ag、In、Sn、Hf、Ta、W、Re、Ir、Pt 或它们的混合物,但合金添加剂不能与形成硅化物时使用的金属相同。在被使用时,合金添加剂的量大约从 0.1 到 50 原子百分比。

[0118] 虽然已参考本发明的优选实施方案具体示出并描述了本发明,但是本领域的技术人员将会理解:可以在形式和细节上作出以上和其他改变,而不会偏离本发明的精神和范围。因此本发明不想被限制为被描述并图解说明,但仍落入所附权利要求范围内的具体形式和细节。

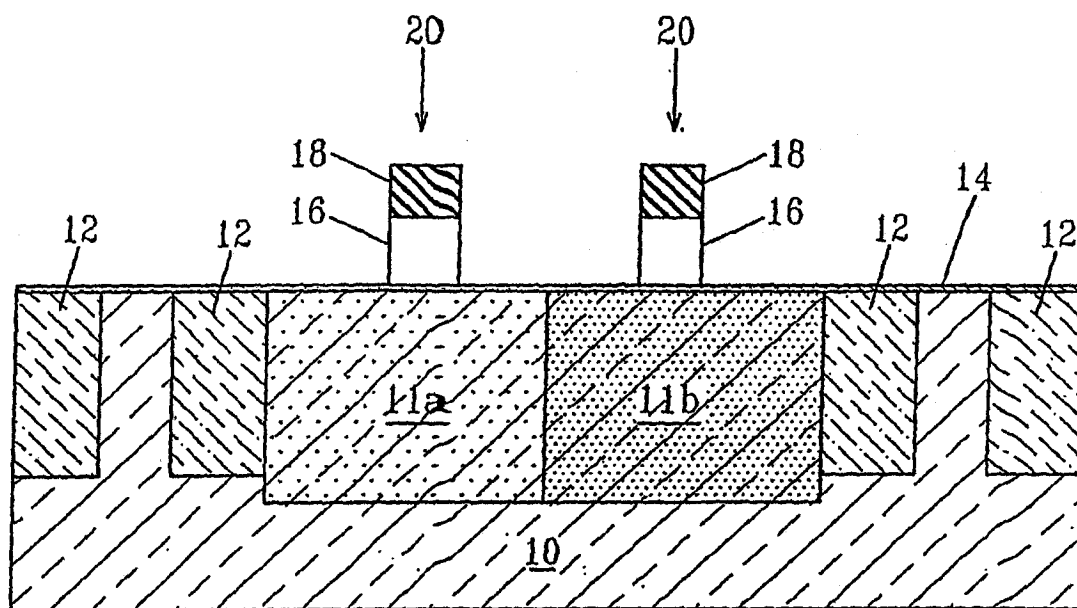


图 1

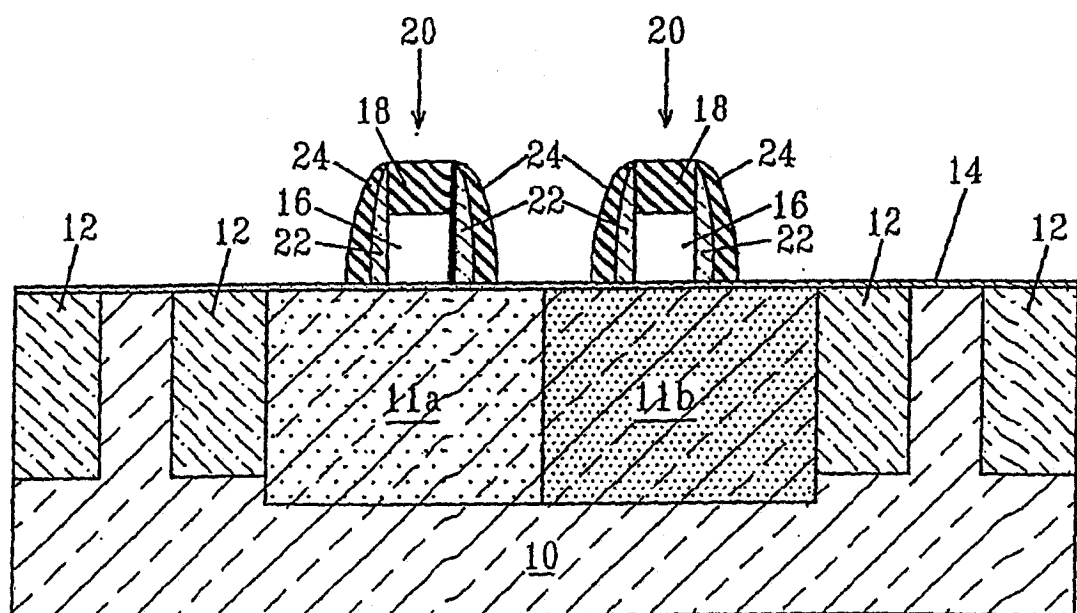


图 2

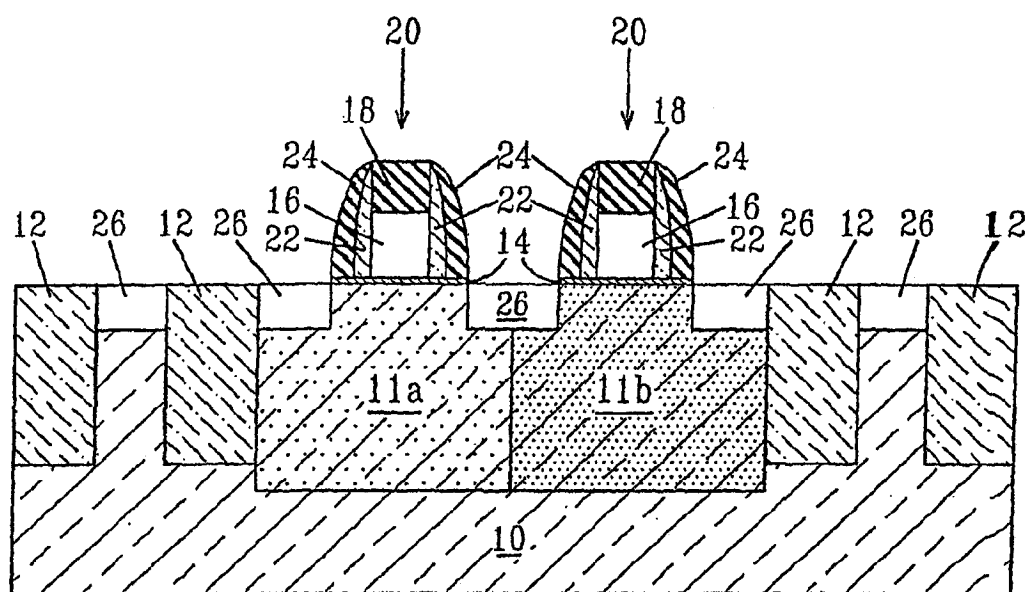


图 3

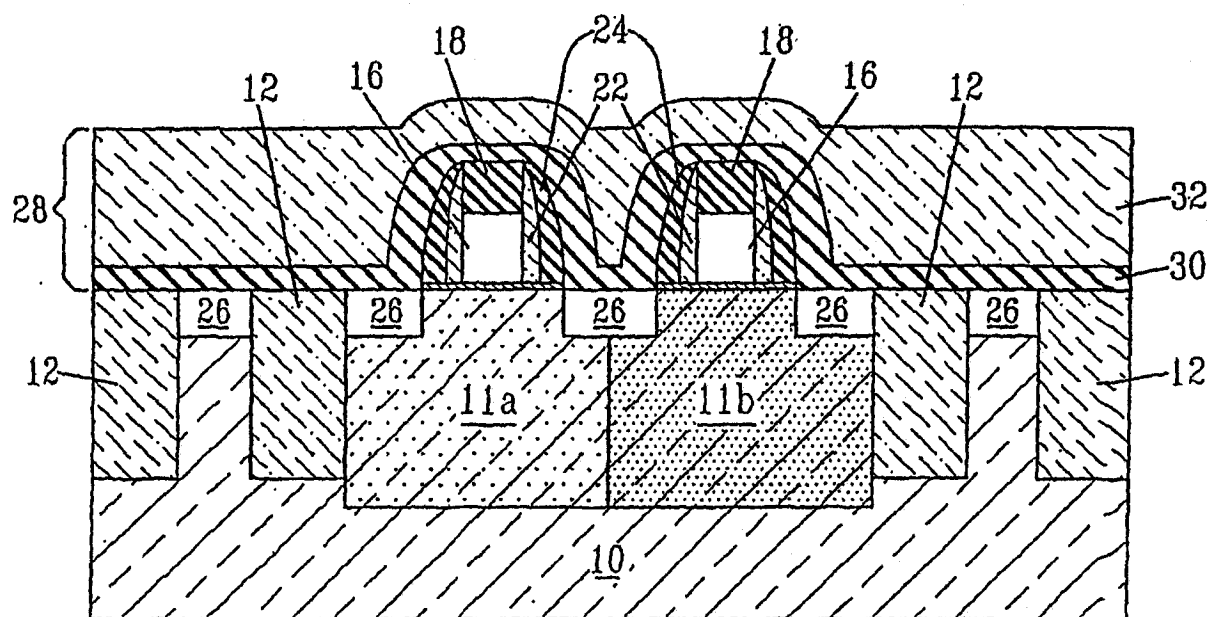


图 4

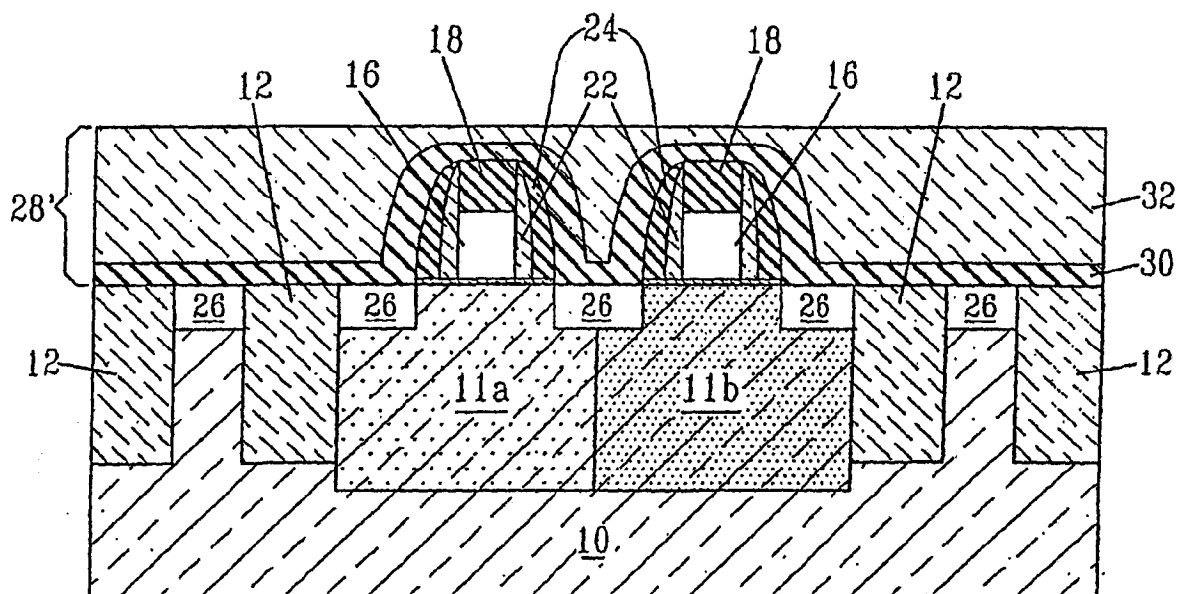


图 5

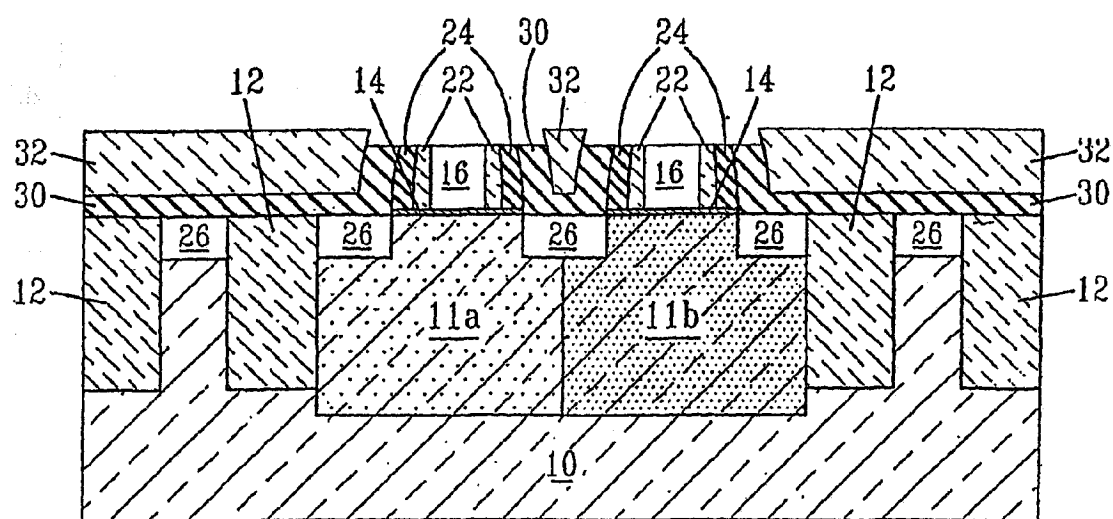


图 6

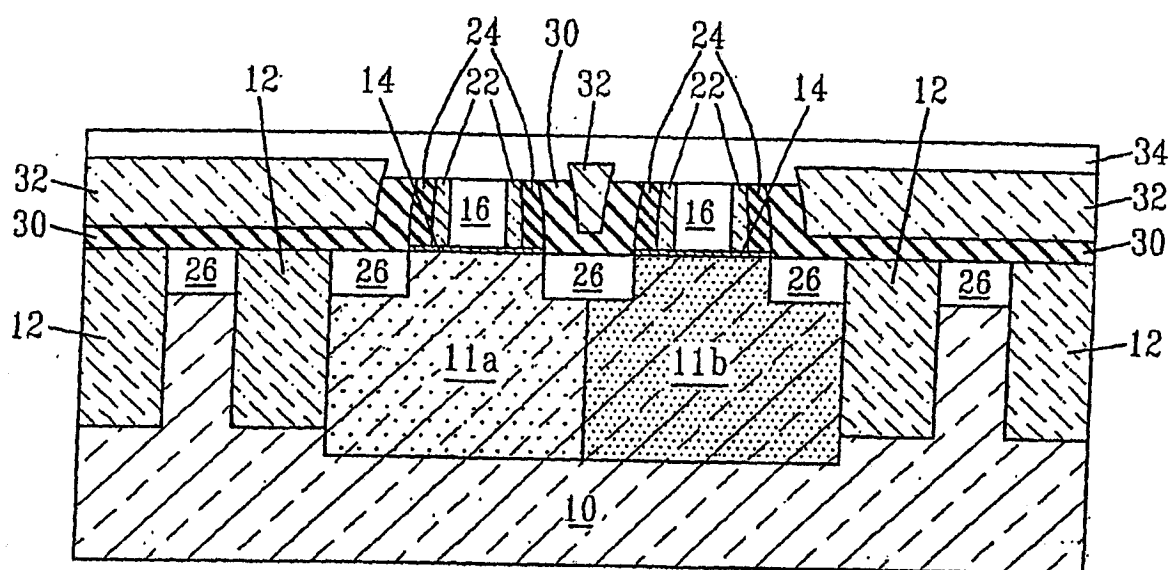


图 7

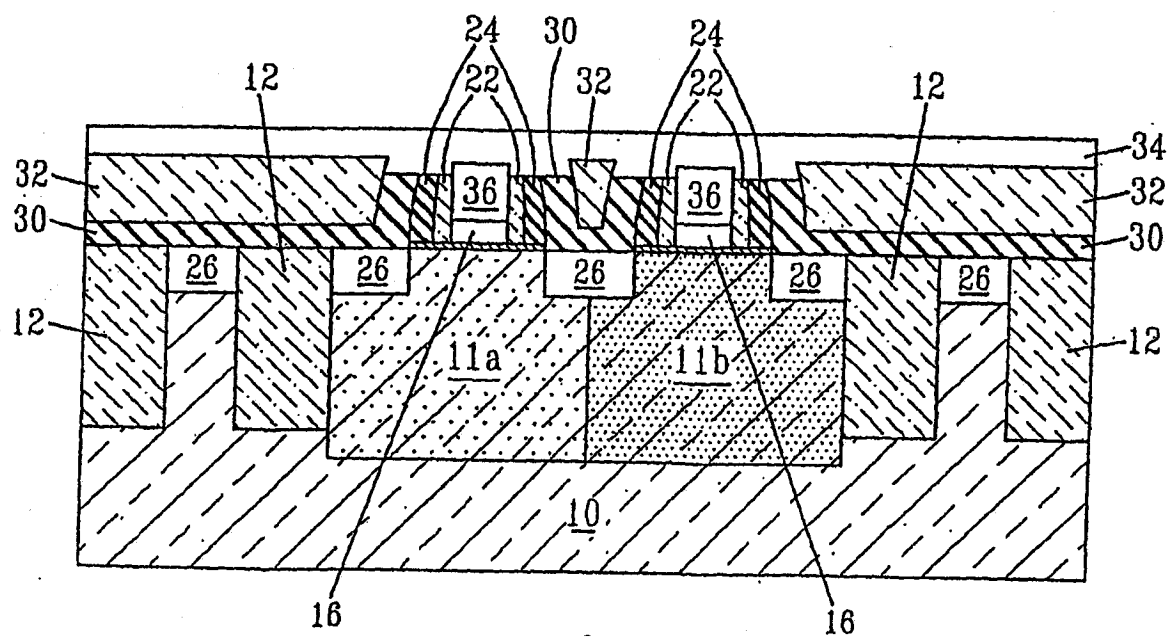


图 8

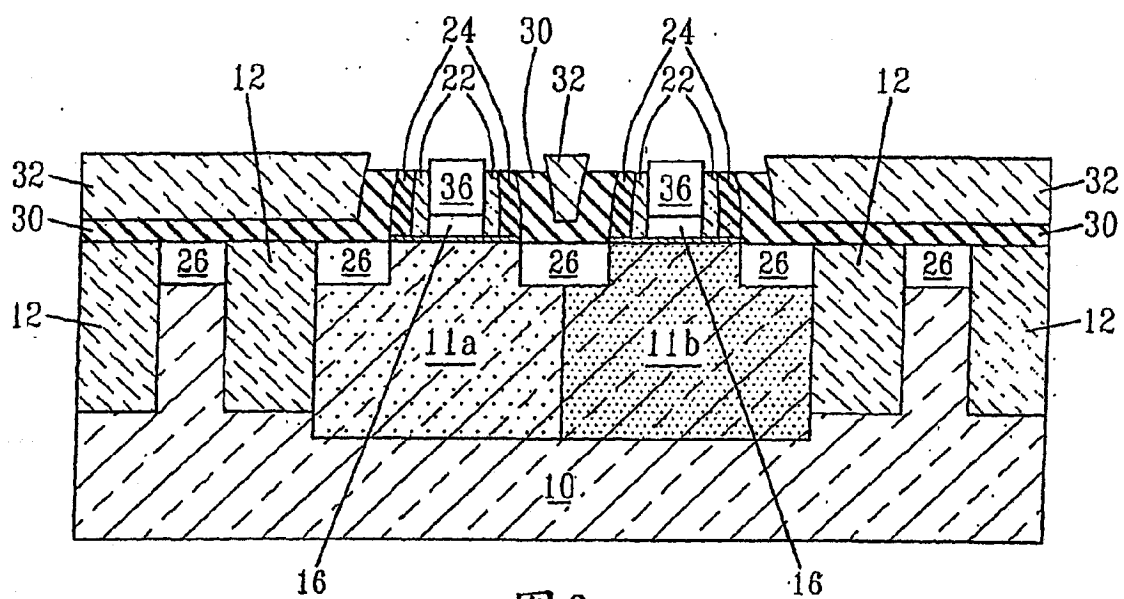


图 9

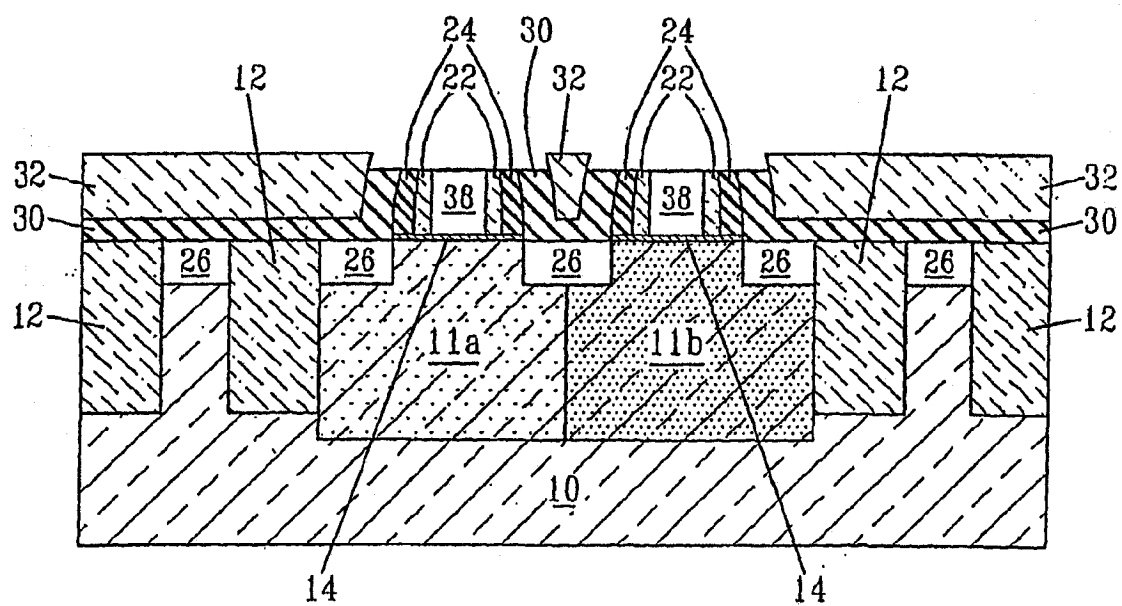


图 10

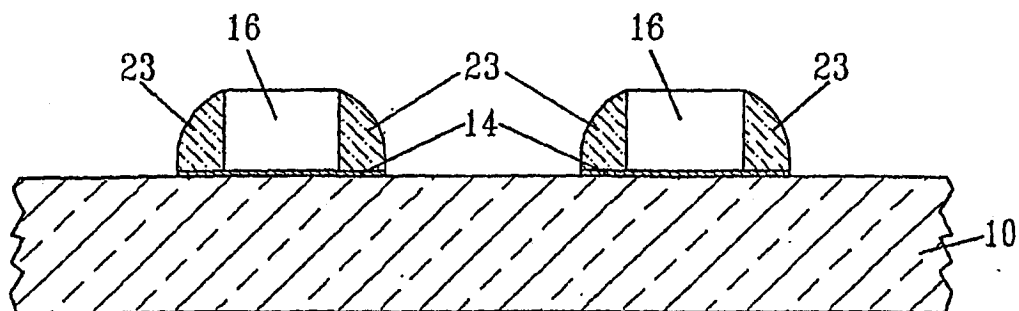


图 11A

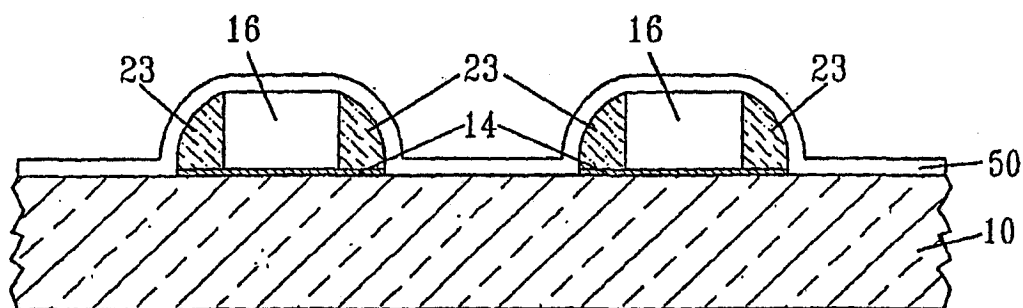


图 11B

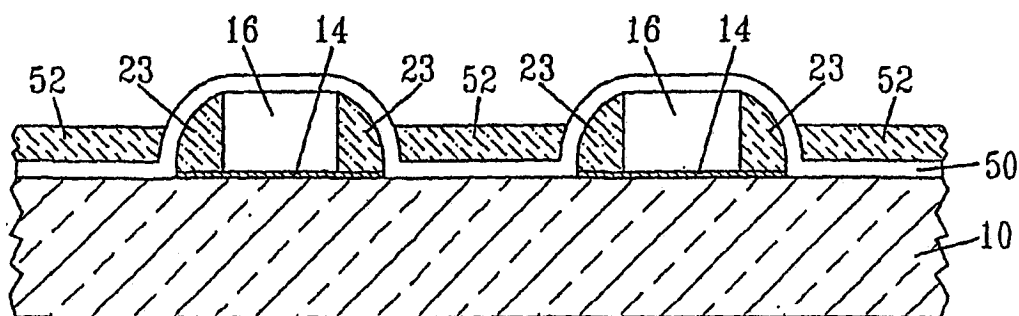


图 11C

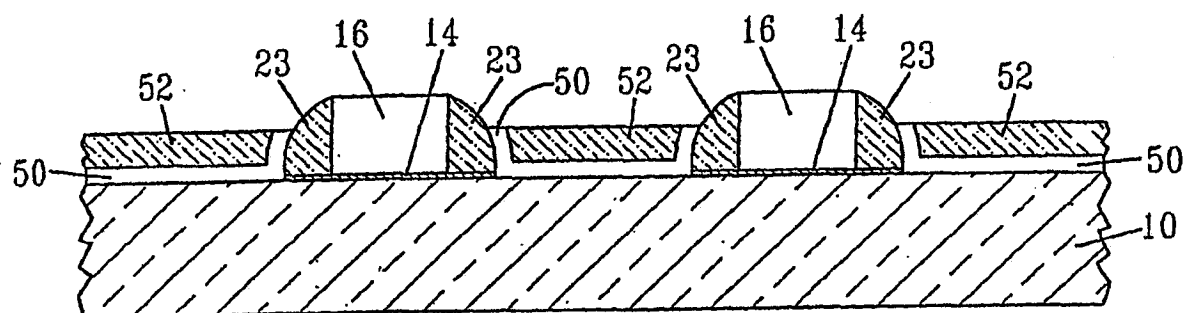


图 11D

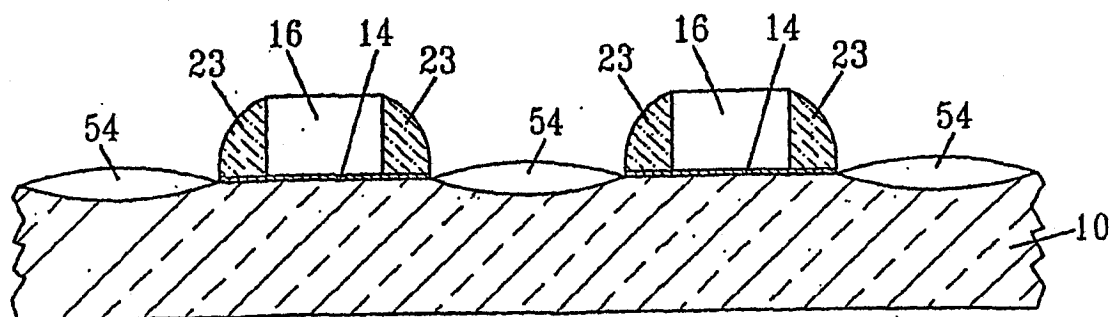


图 11E

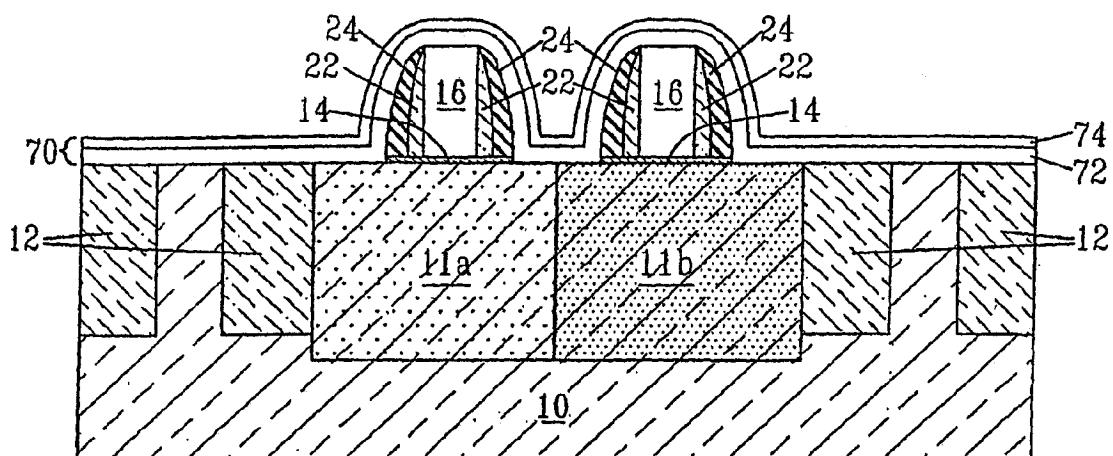


图 12A

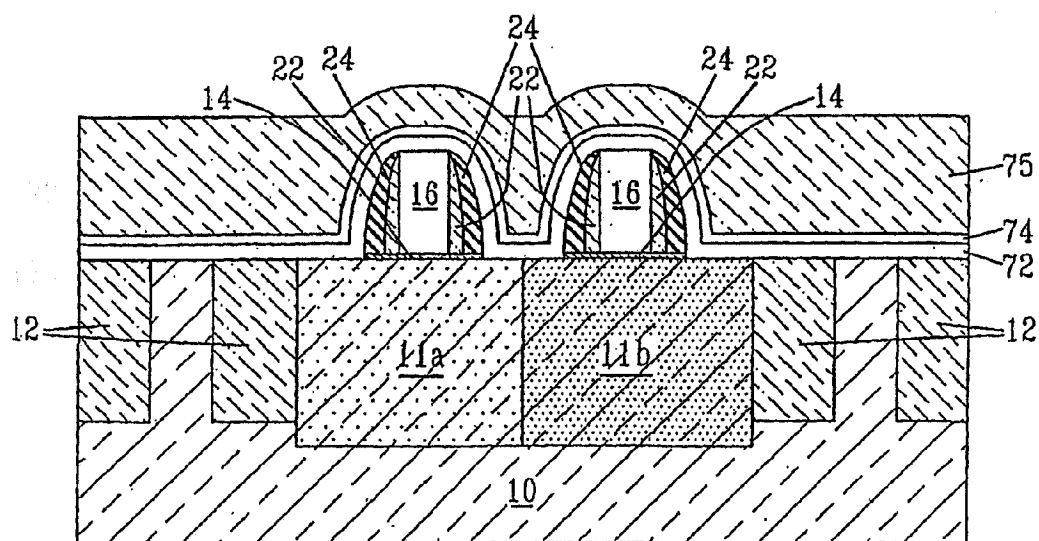


图 12B

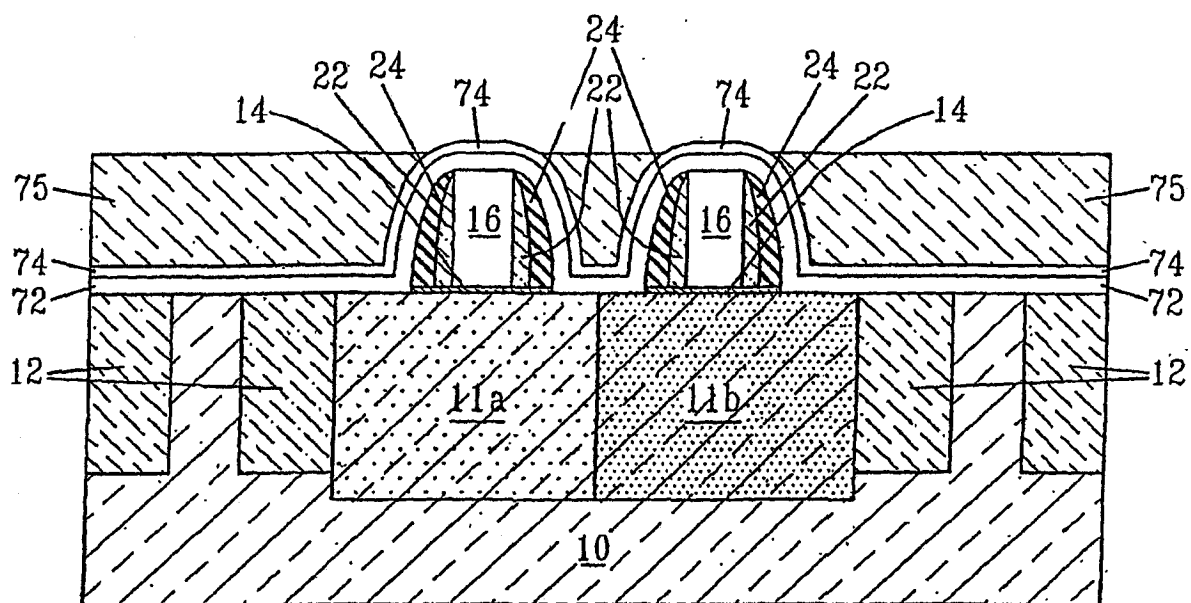


图 12C

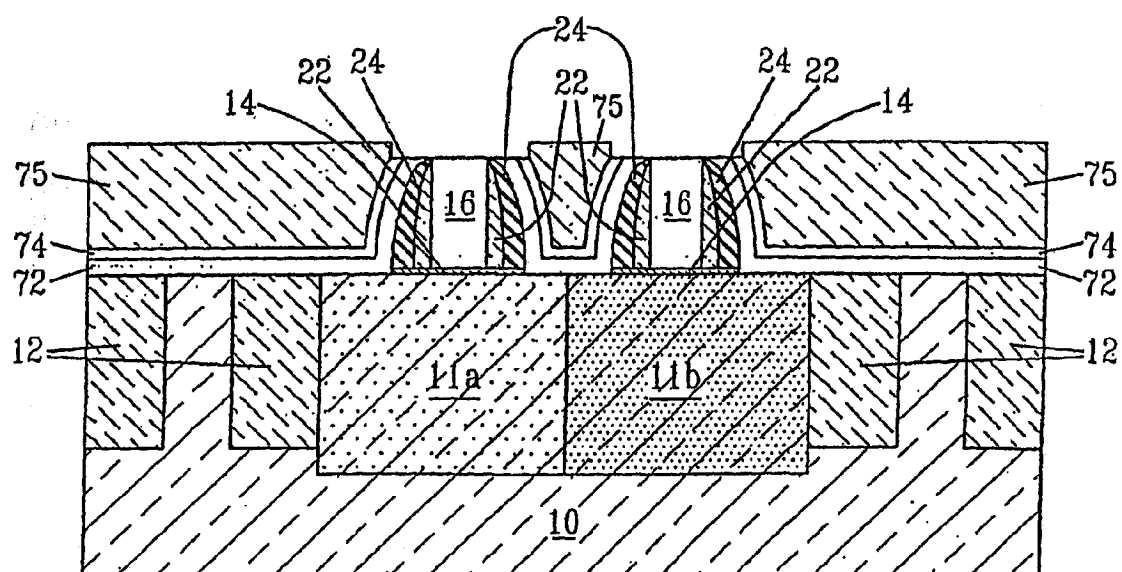


图 12D

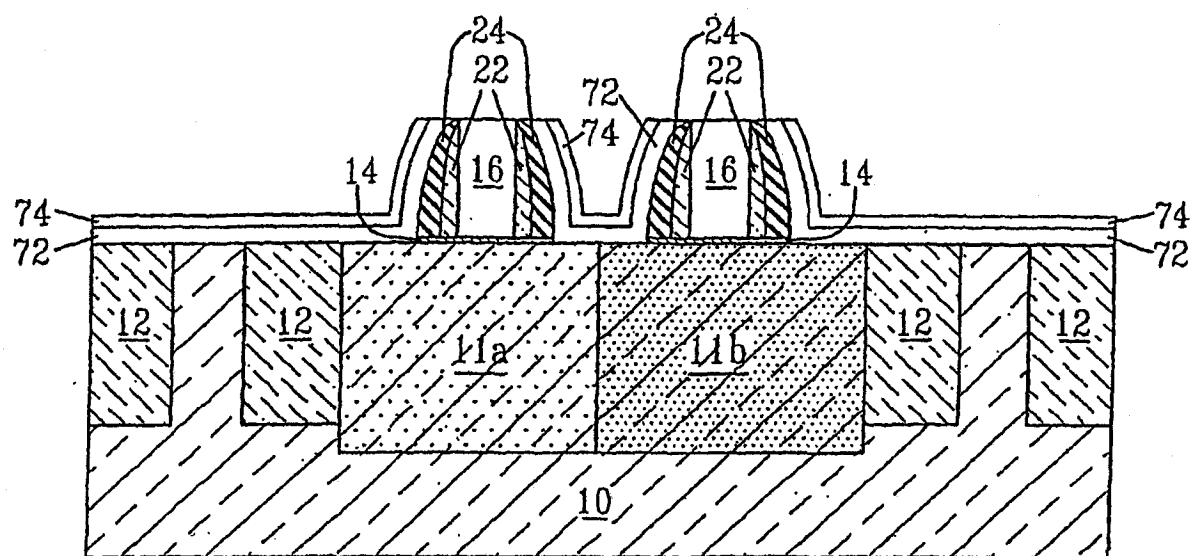


图 12E

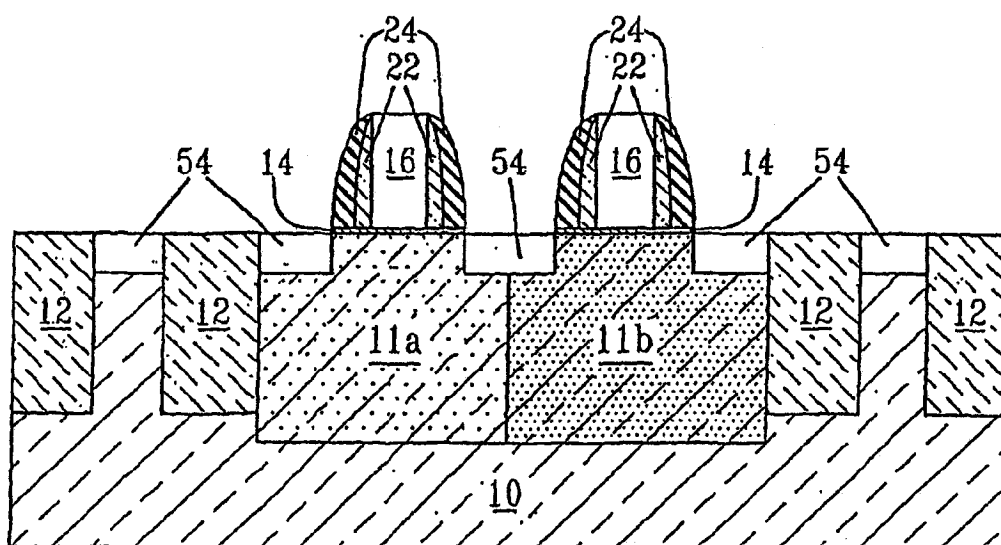


图 12F