(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2011-205283
(P2011-205283A)
(43)公開日　平成23年10月13日(2011.10.13)

(51)Int.Cl.		F I		テーマコード（参考）
H03G 3/02	(2006.01)	H03G 3/02	Z	5J100

審査請求 未請求　請求項の数 5　ＯＬ　（全 12 頁）

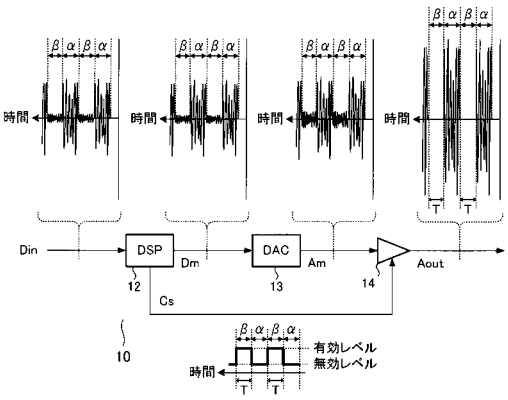
(21)出願番号　特願2010-69316(P2010-69316)
(22)出願日　平成22年3月25日(2010.3.25)

(71)出願人　000004075
ヤマハ株式会社
静岡県浜松市中区中沢町１０番１号
(74)代理人　100125689
弁理士　大林　章
(74)代理人　100125335
弁理士　矢代　仁
(74)代理人　100121108
弁理士　高橋　太朗
(72)発明者　大聖寺　健
静岡県浜松市中区中沢町１０番１号　ヤマハ株式会社内

Ｆターム(参考)　5J100 AA15　BA01　BC01　EA02

(54)【発明の名称】信号処理装置

(57)【要約】
【課題】ノイズゲートによって十分に高い精度でノイズを低減する。
【解決手段】信号処理装置１０を提供する。信号処理装置１０は、デジタル入力信号Ｄinにデジタル処理を施してデジタル信号Ｄmを生成するＤＳＰ１２と、デジタル信号ＤmをＤＡ変換してアナログ信号Ａmを生成するＤＡＣ１３と、アナログ信号Ａmの振幅を調整してアナログ出力信号Ａoutを生成する可変ゲインアンプ１４とを備える。ＤＳＰ１２は、アナログ出力信号Ａoutの振幅を減少させる特定期間Ｔを指定する制御信号Ｃsを生成し、可変ゲインアンプ１４は、制御信号Ｃsが指定する特定期間Ｔにおいて、アナログ出力信号Ａoutの振幅を減少させる。
【選択図】図３



【特許請求の範囲】
【請求項１】
デジタル入力信号が供給され、当該デジタル入力信号にデジタル処理を施してデジタル信号を生成するとともに、アナログ出力信号の振幅を減少させる特定期間を指定する制御信号を生成するデジタル処理手段と、
前記デジタル信号をＤＡ変換してアナログ信号を生成するＤＡ変換手段と、
前記アナログ信号の振幅を調整して前記アナログ出力信号を生成するとともに、前記制御信号が指定する前記特定期間において、前記アナログ出力信号の振幅を減少させる可変利得手段とを、
備える信号処理装置。
【請求項２】
前記デジタル処理手段は、前記デジタル入力信号の振幅が所定レベル以下になったことを検知して、前記制御信号を有効にすることを特徴とする請求項１に記載の信号処理装置。
【請求項３】
前記デジタル処理手段は、前記デジタル入力信号の振幅が所定レベル以下になったことが所定時間を超えて継続した場合に、前記制御信号を有効にすることを特徴とする請求項２に記載の信号処理装置。
【請求項４】
前記特定期間は、前記アナログ出力信号の振幅をゼロにする期間であり、
前記可変利得手段は、前記制御信号が指定する前記特定期間において、前記アナログ出力信号の振幅をゼロにする、
ことを特徴とする請求項１乃至３のうちいずれか１項に記載の信号処理装置。
【請求項５】
前記デジタル処理手段は、前記特定期間の開始から前記アナログ出力信号の振幅を段階的に減少させることを指示し、前記特定期間の終了から前記アナログ出力信号の振幅を段階的に増加させることを指示する前記制御信号を生成し、
前記可変利得手段は、前記制御信号に従って、前記特定期間の開始から前記アナログ出力信号の振幅を段階的に減少させ、前記特定期間の終了から前記アナログ出力信号の振幅を段階的に増加させる、
ことを特徴とする請求項１乃至３のうちいずれか１項に記載の信号処理装置。

【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、入力信号に信号処理を施して出力信号を生成する信号処理装置に係り、特に、ノイズを低減する技術に関する。
【背景技術】
【０００２】
ノイズを低減する手法の一つに、ノイズ成分のみを含む期間にわたって信号を減衰させるノイズゲートがある。ノイズゲートには、デジタル信号を入出力するデジタル部において信号を減衰させるデジタルノイズゲートと、アナログ信号を入出力するアナログ部において信号を減衰させるアナログノイズゲートとがある。
【０００３】
アナログノイズゲートとしては、特許文献１に記載の技術が挙げられる。特許文献１には、音声信号を増幅するヘッドアンプ（１１）と、増幅された音声信号を振幅値が閾値以下の期間にわたって遮断するノイズゲート（１２）と、ヘッドアンプ（１１）のゲイン（増幅度）に応じた閾値をノイズゲート（１２）に設定するパラメータ変換手段（１４）とを備えたノイズゲート装置が記載されている。
【先行技術文献】

【特許文献】
【０００４】
【特許文献１】特開２００３－５２０９６号公報（図１）
【発明の概要】
【発明が解決しようとする課題】
【０００５】
携帯電話機などの消費電力に厳しい制約のある機器では、音声信号の振幅を、アンプまではなるべく小さくしておき、アンプにおいて大幅に大きくする構成を採るのが好ましい。この構成を採る場合、デジタルノイズゲートでは、デジタル部の後段のＤＡＣ（Digital to Analog Converter）やアンプにおいて混入したノイズ成分を低減することができない。アナログノイズゲートでは、このようなノイズ成分を低減することができるが、このようなノイズ成分が混入した信号に基づいて、ノイズ成分のみを含む期間を高い精度で特定することは困難であるから、十分に高い精度でノイズを低減することができない。
【０００６】
本発明は、このような事情に鑑みてなされたものであり、ノイズゲートによって十分に高い精度でノイズを低減することを解決課題とする。
【課題を解決するための手段】
【０００７】
上記課題を解決するため、本発明に係る信号処理装置は、デジタル入力信号が供給され、当該デジタル入力信号にデジタル処理を施してデジタル信号を生成するとともに、アナログ出力信号の振幅を減少させる特定期間を指定する制御信号を生成するデジタル処理手段と、前記デジタル信号をＤＡ変換してアナログ信号を生成するＤＡ変換手段と、前記アナログ信号の振幅を調整して前記アナログ出力信号を生成するとともに、前記制御信号が指定する前記特定期間において、前記アナログ出力信号の振幅を減少させる可変利得手段とを備える。
【０００８】
この発明では、デジタル入力信号からデジタル処理手段がデジタル信号を生成し、このデジタル信号からＤＡ変換手段がアナログ信号を生成し、このアナログ信号から可変利得手段がアナログ出力信号を生成する一方、デジタル処理手段が、アナログ出力信号の振幅を減少させる特定期間を指定し、この特定期間において、可変利得手段がアナログ出力信号の振幅を減少させる。つまり、可変利得手段が、特定期間において信号を減衰させるノイズゲートとして機能する。デジタル処理手段には、ＤＡ変換手段や可変利得手段において発生するノイズが混入する前のデジタル入力信号が供給されるから、デジタル処理手段は、ノイズ期間を十分に高い精度で特定し、特定した期間を特定期間として指定することができる。よって、この発明によれば、ノイズゲートによって十分に高い精度でノイズを低減することができる。
【０００９】
上述した信号処理装置において、前記デジタル処理手段は、前記デジタル入力信号の振幅が所定レベル以下になったことを検知して、前記制御信号を有効にするようにしてもよいし、さらに、前記デジタル入力信号の振幅が所定レベル以下になったことが所定時間を超えて継続した場合に、前記制御信号を有効にするようにしてもよい。後者の場合、例えば、息継ぎや言葉の選択のために音声が途切れても、この時間が所定時間以下でならば制御信号が有効にならないから、可変利得手段の利得の変化の時間間隔が平均的に長くなる。したがって、可変利得手段の利得の頻繁な変化に起因したノイズの発生が抑制される。
【００１０】
上述した各信号処理装置において、前記特定期間は、前記アナログ出力信号の振幅をゼロにする期間であり、前記可変利得手段は、前記制御信号が指定する前記特定期間において、前記アナログ出力信号の振幅をゼロにする、ようにしてもよい。この場合、特定期間においてノイズ成分を除去することができる。
【００１１】

また、前記デジタル処理手段は、前記特定期間の開始から前記アナログ出力信号の振幅を段階的に減少させることを指示し、前記特定期間の終了から前記アナログ出力信号の振幅を段階的に増加させることを指示する前記制御信号を生成し、前記可変利得手段は、前記制御信号に従って、前記特定期間の開始から前記アナログ出力信号の振幅を段階的に減少させ、前記特定期間の終了から前記アナログ出力信号の振幅を段階的に増加させる、ようにしてもよい。この場合、可変利得手段の利得の急激な変化に起因したノイズの発生が抑制される。

【図面の簡単な説明】

【００１２】

【図１】本発明の第１～第４実施形態に係る信号処理装置１０、２０、３０及び４０の構成を示すブロック図である。

【図２】信号処理装置１０のＤＳＰ１２のデジタル処理を示すフローチャートである。

【図３】信号処理装置１０の動作を説明するための図である。

【図４】信号処理装置２０のＤＳＰ２２のデジタル処理を示すフローチャートである。

【図５】信号処理装置２０の動作を説明するための図である。

【図６】信号処理装置３０のＤＳＰ３２のデジタル処理を示すフローチャートである。

【図７】ＤＳＰ３２が生成する制御信号Ｃsのレベル遷移例を示すグラフである。

【図８】信号処理装置３０の動作を説明するための図である。

【図９】信号処理装置４０の動作を説明するための図である。

【発明を実施するための形態】

【００１３】

本発明の実施の形態について図面を参照して説明する。図１は、本発明の第１～第４実施形態に係る信号処理装置１０，２０，３０及び４０の構成を示すブロック図である。図１に示すように、信号処理装置１０，２０，３０及び４０は、デジタル入力信号Ｄinを入力してアナログ出力信号Aoutを出力する。デジタル入力信号Ｄinは、アナログ信号ＳaをＡＤＣ（Analog to Digital Converter）１１がＡＤ変換して生成された信号、又はデジタル信号を生成する信号源からのデジタル信号Ｓdである。

【００１４】

信号処理装置１０，２０，３０及び４０は、デジタル入力信号Ｄinにデジタル処理を施してデジタル信号Ｄmを生成するＤＳＰ（Digital Signal Processor）と、デジタル信号ＤmをＤＡ変換してアナログ信号Ａmを生成するＤＡＣ１３と、アナログ信号Ａmの振幅を調整してアナログ出力信号Aoutを生成する可変ゲインアンプ（Variable Gain Amplifier）１４とを備える。

【００１５】

ＤＳＰは、閾値などの設定値を保持するレジスタＲを備え、レジスタＲに保持されている設定値とデジタル入力信号Ｄinとに基づいて、上記のデジタル処理を行う。具体的には、アナログ出力信号Aoutの振幅を減少させる特定期間Ｔを指定する制御信号Ｃsを生成する。より具体的には、デジタル入力信号Ｄinの振幅値（振幅の大きさ）を繰り返し検出する一方、レジスタＲに保持されている閾値（所定レベル）以下の振幅値が検出されたことを検知して制御信号Ｃsを有効にする。

【００１６】

また、ＤＳＰには、設定値を示す設定信号Ｓsが供給される。ＤＳＰは、設定信号Ｓsが供給されると、設定信号Ｓsで示される設置値をレジスタＲに書き込む。また、ＤＳＰは、前回検出された振幅値を保持することができる。また、ＤＳＰは、デジタル入力信号Ｄinをそのままデジタル信号Ｄmとして出力する。したがって、デジタル信号Ｄmの波形は、デジタル入力信号Ｄinの波形と同一である。

【００１７】

可変ゲインアンプ１４は、アナログアンプであり、そのゲイン（利得）を定めるボリューム回路を備え、定められたゲインが得られるように、増幅や減幅などの振幅調整を行う。ゲインの最大値は２４ｄＢであり、最小値は０ｄＢであるが、これに限るものではない

。ゲインは、制御信号Ｃsで指定される特定期間Ｔの一部または全部においては小さく、他の期間においては大きく定められる。

【００１８】

以上の説明から明らかなように、前述の閾値を適切に定めることにより、可変ゲインアンプ１４をノイズゲートとして用いることができる。そこで、各実施形態では、可変ゲインアンプ１４がノイズゲートとして機能するように閾値を定めている。具体的には、デジタル入力信号Ｄinに含まれ得る信号成分（非ノイズ成分）の振幅値の最小値よりも小さく、デジタル入力信号Ｄinに含まれ得るノイズ成分（非信号成分）の振幅値の最大値以上の値を閾値としている。

【００１９】

ＤＳＰが行うデジタル処理の詳細は、実施形態毎に相違する。このため、信号処理装置１０，２０，３０及び４０は、互いに異なるＤＳＰを備える。具体的には、信号処理装置１０はＤＳＰ１２を、信号処理装置２０はＤＳＰ２２を、信号処理装置３０はＤＳＰ３２を、信号処理装置４０はＤＳＰ４２を備える。以降、各実施形態について順次説明する。

【００２０】

＜第１実施形態＞

図２は、第１実施形態に係る信号処理装置１０が備えるＤＳＰ１２のデジタル処理を示すフローチャートである。この図に示すように、ＤＳＰ１２は、まず、振幅値が新たに検出されたか否かを判定する（Ｓ１０）。この判定の結果が否定の場合、処理はステップＳ１０に戻る。ステップＳ１０の判定の結果が肯定の場合、ＤＳＰ１２は、今回検出された振幅値が閾値より大きいか否かを判定する（Ｓ１１）。

【００２１】

ステップＳ１１の判定の結果が否定の場合、ＤＳＰ１２は、前回検出された振幅値が閾値より大きいか否かを判定する（Ｓ１２）。この判定の結果が否定の場合、処理はステップＳ１０に戻る。ステップＳ１２の判定の結果が肯定の場合、ＤＳＰ１２は、ゲインの最小化を行う（Ｓ１３）。具体的には、制御信号Ｃsを有効化することにより、可変ゲインアンプ１４のゲインを最小値（０ｄＢ）とする。以降、処理はステップＳ１０に戻る。

【００２２】

ステップＳ１１の判定の結果が肯定の場合、ＤＳＰ１２は、前回検出された振幅値が閾値より大きいか否かを判定する（Ｓ１４）。この判定の結果が肯定の場合、処理はステップＳ１０に戻る。ステップＳ１４の判定の結果が否定の場合、ＤＳＰ１２は、ゲインの最大化を行う（Ｓ１５）。具体的には、制御信号Ｃsを無効化することにより、可変ゲインアンプ１４のゲインを最大値（２４ｄＢ）とする。以降、処理はステップＳ１０に戻る。

【００２３】

つまり、ＤＳＰ１２は、制御信号Ｃsのレベルを、閾値よりも大きい振幅値が検出された直後に閾値以下の振幅値が検出されると、可変ゲインアンプ１４のゲインを最小値とする有効レベルとし、閾値よりも大きい振幅値が検出されるまで維持し、閾値よりも大きい振幅値が検出されると、可変ゲインアンプ１４のゲインを最大値とする無効レベルとする。また、本実施形態における特定期間Ｔは、制御信号Ｃsが有効レベルの期間、すなわち可変ゲインアンプ１４のゲインを最小値とする期間である。

【００２４】

図３は、信号処理装置１０の動作を説明するための図である。図中の波形は、図１のアナログ信号ＳaをＡＤＣ１１が変換して生成された信号をデジタル入力信号Ｄinとしたときのものである。図３に示すように、デジタル入力信号Ｄinは、信号期間αにわたって信号成分を含む一方、非信号期間βでは信号成分を含まない。また、図３の例では、デジタル入力信号Ｄinは、全期間にわたってノイズ成分を含む。なお、デジタル信号の波形は、実際には階段状であり、アナログ出力信号Ａoutの振幅は、実際には、特定期間Ｔ以外の期間において図示の振幅よりも大きくなる。

【００２５】

前述のように、デジタル信号Ｄmの波形はデジタル入力信号Ｄinの波形と同一である。

したがって、デジタル信号Dmは、非信号期間βにおいてノイズ成分を含む。このデジタル信号DmがＤＡＣ１３でＤＡ変換されてアナログ信号Amが生成されるが、ＤＡＣ１３において新たなノイズが発生する虞がある。このため、図３の例では、非信号期間βにおける、アナログ信号Amの振幅がデジタル信号Dmの振幅よりも大きくなっている。

【００２６】

一方、ＤＳＰ１２は、デジタル入力信号Dinの振幅値と閾値とに基づいて、特定期間Ｔを指定する制御信号Csを生成する。前述のように、閾値は、デジタル入力信号Dinに含まれ得るノイズ成分の振幅値の最大値以上の値であり、デジタル入力信号Dinに含まれ得る信号成分の振幅値の最小値よりも小さいから、制御信号Csは、非信号期間βの開始とともに有効化され、この非信号期間βの終了とともに無効化される。つまり、非信号期間βが特定期間Ｔとなる。

【００２７】

よって、可変ゲインアンプ１４のゲインは、非信号期間βにおいては最小値に、他の期間においては最大値に維持される。したがって、可変ゲインアンプ１４は、アナログ信号Amを、非信号期間βにおいては最小値のゲインで減幅し、他の期間においては最大値のゲインで増幅して、アナログ出力信号Aoutを生成する。この結果、アナログ出力信号Aoutの振幅は、非信号期間βにおいてはゼロとなり、他の期間においては十分に大きくなる。これは、デジタル信号Ｓｄをデジタル入力信号Dinとしたときにも同様である。

【００２８】

ところで、信号処理装置１０では、非信号期間βが特定期間Ｔとなるから、可変ゲインアンプ１４のゲインの変化の時間間隔が著しく短くなる虞がある。例えば、信号成分が音声の場合、息継ぎや言葉の選択のために音声が途切れただけの短い非信号期間βが頻繁に現れる虞があり、このような非信号期間βをも特定期間Ｔとすると、可変ゲインアンプ１４のゲインの変化の時間間隔が著しく短くなる。この場合、可変ゲインアンプ１４のゲインの頻繁な変化に起因したノイズが発生する虞がある。この問題を解決するための実施形態が第２実施形態である。

【００２９】

また、信号処理装置１０では、可変ゲインアンプ１４のゲインが、特定期間Ｔにおいては一様に最小値（０ｄＢ）となり、その他の期間においては一様に最大値（２４ｄＢ）となる。つまり、特定期間Ｔとその他の期間との境界において、可変ゲインアンプ１４のゲインが急激に変化し、この変化に起因したノイズが発生する虞がある。この問題を解決するための実施形態が第３実施形態である。

【００３０】

＜第２実施形態＞

図４は、第２実施形態に係る信号処理装置２０が備えるＤＳＰ２２のデジタル処理を示すフローチャートである。この図に示すように、ＤＳＰ２２は、ＤＳＰ１２と同様に、振幅値が新たに検出されたか否かを判定し（Ｓ１０）、この判定の結果が肯定の場合、今回検出された振幅値が閾値より大きいか否かを判定し（Ｓ１１）、この判定の結果が否定の場合、前回検出された振幅値が閾値より大きいか否かを判定する（Ｓ１２）。

【００３１】

ステップＳ１２の判定の結果が肯定の場合、ＤＳＰ２２は、経過時間を計時するタイマーをスタートさせ（Ｓ２１）、可変ゲインアンプ１４のゲインを最小化させる最小化タイミングであるか否かを判定する（Ｓ２２）。一方、ステップＳ１２の判定の結果が否定の場合、ＤＳＰ２２は、経過時間を計時するタイマーをスタートさせることなく、最小化タイミングであるか否かを判定する（Ｓ２２）。

【００３２】

最小化タイミングであるか否かの判定は、タイマーに計時された経過時間と、第１時間γとを比較することで行われ、その結果は、経過時間が第１時間γを初めて超過した場合に肯定となり、他の場合に否定となる。第１時間γは、予め定められた設定値であり、ＤＳＰ２２のレジスタＲに保持されている。ステップＳ２２の判定の結果が否定の場合、処

理はステップＳ１０に戻る。一方、ステップＳ２２の判定の結果が肯定の場合、ＤＳＰ２２は、ゲインの最小化を行う（Ｓ１３）。以降、処理はステップＳ１０に戻る。

【００３３】

一方、ステップＳ１１の判定の結果が肯定の場合、ＤＳＰ２２は、経過時間を計時中であるか否かを判定する（Ｓ２３）。この判定の結果が肯定の場合、ＤＳＰ２２は、経過時間を計時するタイマーをストップさせ（Ｓ２４）、可変ゲインアンプ１４のゲインが最小値であるか否かを判定する（Ｓ２５）。一方、ステップＳ２３の判定の結果が否定の場合、ＤＳＰ２２は、経過時間を計時するタイマーをストップさせることなく、可変ゲインアンプ１４のゲインが最小値であるか否かを判定する（Ｓ２５）。

【００３４】

可変ゲインアンプ１４のゲインが最小値であるか否かの判定の結果は、制御信号Ｃsが有効レベルの場合に肯定となり、制御信号Ｃsが無効レベルの場合に否定となる。この判定の結果が否定の場合、処理はステップＳ１０に戻る。一方、ステップＳ２５の判定の結果が肯定の場合、ＤＳＰ２２は、ゲインの最大化を行う（Ｓ１５）。以降、処理はステップＳ１０に戻る。

【００３５】

つまり、ＤＳＰ２２は、制御信号Ｃsのレベルを、第１時間γにわたって閾値以下の振幅値が検出され続けると、可変ゲインアンプ１４のゲインを最小値とする有効レベルとし、閾値よりも大きい振幅値が検出されるまで維持し、閾値よりも大きい振幅値が検出されると、可変ゲインアンプ１４のゲインを最大値とする無効レベルとする。また、本実施形態における特定期間Ｔは、制御信号Ｃsが有効レベルの期間、すなわち可変ゲインアンプ１４のゲインを最小値とする期間である。

【００３６】

図５は、信号処理装置２０の動作を説明するための図である。この図に示すように、ＤＳＰ２２は、ＤＳＰ１２と同様に、デジタル入力信号Ｄinの振幅値と閾値とに基づいて、特定期間Ｔを指定する制御信号Ｃsを生成する。ただし、制御信号Ｃsは、非信号期間βの開始から第１時間γが経過すると有効化され、当該非信号期間βの終了とともに無効化される。

【００３７】

つまり、信号処理装置２０では、第１時間γよりも長い非信号期間βの末尾期間（β－γ）が特定期間Ｔとなる。裏を返せば、第１時間γ以下の非信号期間βについて、可変ゲインアンプ１４のゲインが変化することはない。したがって、可変ゲインアンプ１４のゲインの変化の時間間隔が平均的に長くなる。よって、ゲインの頻繁な変化に起因したノイズの発生が抑制される。

【００３８】

＜第３実施形態＞

図６は、第３実施形態に係る信号処理装置３０が備えるＤＳＰ３２のデジタル処理を示すフローチャートである。この図に示すように、ＤＳＰ３２は、ＤＳＰ１２と同様に、振幅値が新たに検出されたか否かを判定し（Ｓ１０）、この判定の結果が肯定の場合、今回検出された振幅値が閾値より大きいか否かを判定し（Ｓ１１）、この判定の結果が否定の場合、前回検出された振幅値が閾値より大きいか否かを判定する（Ｓ１２）。

【００３９】

ステップＳ１２の判定の結果が肯定の場合、ＤＳＰ３２は、経過時間を計時するタイマーをスタートさせ（Ｓ３１）、可変ゲインアンプ１４のゲインを小さくする第１タイミングであるか否かを判定する（Ｓ３２）。ステップＳ３１のタイマーをスタートさせる処理では、既にタイマーがスタートしている可能性がある。この場合、ＤＳＰ３２は、経過時間を示すタイマー値をリセットすることにより、タイマーを再スタートさせる。一方、ステップＳ１２の判定の結果が否定の場合、ＤＳＰ３２は、経過時間を計時するタイマーをスタートさせることなく、第１タイミングであるか否かを判定する（Ｓ３２）。

【００４０】

第１タイミングであるか否かの判定は、タイマーに計時された経過時間と、予め定められた第２時間δとに基づいて行われ、その結果は、経過時間が第２時間δの自然数倍の時間を初めて超過した場合に肯定となり、他の場合に否定となる。第２時間δは、予め定められた設定値であり、ＤＳＰ２２のレジスタＲに保持されている。ステップＳ３２の判定の結果が否定の場合、処理はステップＳ１０に戻る。一方、ステップＳ３２の判定の結果が肯定の場合、ＤＳＰ３２は、可変ゲインアンプ１４のゲインが最小値であるか否かを判定する（Ｓ３３）。

【００４１】

可変ゲインアンプ１４のゲインが最小値であるか否かの判定の結果は、制御信号Ｃsの現在のレベルが最高レベルの場合に肯定となり、他の場合に否定となる。この判定の結果が肯定の場合、処理はステップＳ１０に戻る。この判定の結果が否定の場合、ＤＳＰ３２は、可変ゲインアンプ１４のゲインを小さくするゲインダウン処理を行う（Ｓ３４）。ゲインダウン処理の詳細は、次に述べる通りである。

【００４２】

本実施形態では、可変ゲインアンプ１４のゲインとして０ｄＢ，１ｄＢ，…，２４ｄＢの２４段階を想定しており、制御信号Ｃsのレベルとして、これらの段階にそれぞれ対応する２４段階のレベル（Ｖ0，Ｖ1，…，Ｖ24）が用意されている。Ｖ0＞Ｖ1＞…＞Ｖ24であり、制御信号Ｃsのレベルを１段階上がると（例えばＶ1→Ｖ0）、可変ゲインアンプ１４のゲインが１段階小さくなる（例えば１ｄＢ→０ｄＢ）。ＤＳＰ３２は、制御信号Ｃsのレベルを１段階上げることにより、ゲインダウン処理を実行する。以降、処理はステップＳ１０に戻る。

【００４３】

一方、ステップＳ１１の判定の結果が肯定の場合、ＤＳＰ３２は、前回検出された振幅値が閾値より大きいか否かを判定する（Ｓ３５）。この判定の結果が肯定の場合、ＤＳＰ３２は、ステップＳ３１と同様に、経過時間を計時するタイマーをスタートさせ（Ｓ３６）、可変ゲインアンプ１４のゲインを大きくする第２タイミングであるか否かを判定する（Ｓ３７）。一方、ステップＳ３５の判定の結果が否定の場合、ＤＳＰ３２は、経過時間を計時するタイマーをスタートさせることなく、第２タイミングであるか否かを判定する（Ｓ３７）。

【００４４】

第２タイミングであるか否かの判定は、タイマーに計時された経過時間と、予め定められた第３時間υとに基づいて行われ、その結果は、経過時間が第３時間υの自然数倍の時間を初めて超過した場合に肯定となり、他の場合に否定となる。第３時間υは、予め定められた設定値であり、ＤＳＰ２２のレジスタＲに保持されている。なお、υ＝δであっても、υ≠δであってもよい。

【００４５】

ステップＳ３７の判定の結果が否定の場合、処理はステップＳ１０に戻る。一方、ステップＳ３７の判定の結果が肯定の場合、ＤＳＰ３２は、可変ゲインアンプ１４のゲインが最大値であるか否かを判定する（Ｓ３８）。可変ゲインアンプ１４のゲインが最大値であるか否かの判定の結果は、制御信号Ｃsの現在のレベルが最低レベルの場合に肯定となり、他の場合に否定となる。

【００４６】

ステップＳ３８の判定の結果が肯定の場合、処理はステップＳ１０に戻る。一方、ステップＳ３８の判定の結果が否定の場合、ＤＳＰ３２は、可変ゲインアンプ１４のゲインを大きくするゲインアップ処理を行う（Ｓ３９）。具体的には、制御信号Ｃsのレベルを１段階下げる。以降、処理はステップＳ１０に戻る。

【００４７】

図７は、ＤＳＰ３２が生成する制御信号Ｃsのレベル遷移例を示すグラフである。この図からも明らかなように、ＤＳＰ３２は、制御信号Ｃsのレベルを、閾値よりも大きい振幅値が検出された直後に閾値以下の振幅値が検出されると、最高レベル（Ｖ0）を上限と

して段階的に上げ、閾値よりも大きい振幅値が検出されると、最低レベル（Ｖ24）を下限として段階的に下げる。

【００４８】

また、本実施形態における特定期間Ｔは、図７に示すように、制御信号Ｃｓのレベルを段階的に上げる処理の開始時に開始し、制御信号Ｃｓのレベルを段階的に下げる処理の開始時に終了する。すなわち、閾値よりも大きい振幅値が検出された直後に閾値以下の振幅値が検出されてから、閾値よりも大きい振幅値が検出されるまでの期間が、特定期間Ｔとなる。

【００４９】

図８は、信号処理装置３０の動作を説明するための図である。この図に示すように、ＤＳＰ３２は、ＤＳＰ１２と同様に、デジタル入力信号Ｄinの振幅値と閾値とに基づいて、特定期間Ｔを指定する制御信号Ｃｓを生成する。非信号期間βが特定期間Ｔとなる点も信号処理装置１０と同様である。ただし、図７から明らかなように、ＤＳＰ３２が生成する制御信号Ｃｓは、特定期間Ｔの開始時点から可変ゲインアンプ１４のゲインを段階的に減少させることを指示し、特定期間Ｔの終了時点から可変ゲインアンプ１４のゲインを段階的に増加させることを指示する信号である。したがって、可変ゲインアンプ１４のゲインは、最小値を下限として非信号期間βの開始時点から段階的に減少し、最大値を上限として非信号期間βの終了時点から段階的に増加する。

【００５０】

以上説明したように、信号処理装置３０では、可変ゲインアンプ１４のゲインの変化が緩やかとなる。よって、可変ゲインアンプ１４のゲインの急激な変化に起因したノイズの発生が抑制される。

【００５１】

＜第４実施形態＞

図９は、第４実施形態に係る信号処理装置４０の動作を説明するための図である。第４実施形態は、第２実施形態と第３実施形態とを組み合わせた実施形態であり、信号処理装置４０のＤＳＰ４２は、第１時間γにわたって閾値以下の振幅値が検出され続けると、最高レベル（Ｖ0）を上限として制御信号Ｃｓのレベルを段階的に上げ、閾値よりも大きい振幅値が検出されると、最低レベル（Ｖ24）を下限として制御信号Ｃｓのレベルを段階的に下げる。

【００５２】

また、本実施形態における特定期間Ｔは、第３実施形態における特定期間Ｔと同様に、制御信号Ｃｓのレベルを段階的に上げる処理の開始時に開始し、制御信号Ｃｓのレベルを段階的に下げる処理の開始時に終了する。ただし、第３実施形態における特定期間Ｔが、非信号期間βの開始時に開始するのに対し、本実施形態における特定期間Ｔは、第１時間γにわたって閾値以下の振幅値が検出され続けると開始する。つまり、第２実施形態と同様に、第１時間γよりも長い非信号期間βの末尾期間（β－γ）が特定期間Ｔとなる。

【００５３】

以上より明らかなように、信号処理装置４０では、特定期間Ｔとなる期間が第１時間γよりも長い非信号期間βの末尾期間に限られるとともに、可変ゲインアンプ１４のゲインの変化が緩やかとなる。したがって、ゲインの頻繁な変化に起因したノイズや、ゲインの急激な変化に起因したノイズの発生が抑制される。

【００５４】

＜変形例＞

本発明は、上述した第１～第４実施形態のみならず、各実施形態を変形して得られる各種の形態や、これらの形態のうち任意の二以上を適宜に組み合わせた形態をも範囲に含み得る。各実施形態に加える変形としては、例えば、次に列記するものが挙げられる。

第３又は第４実施形態では、特定期間Ｔにおいて、制御信号Ｃｓのレベルを段階的に変化させる時間間隔を一定としたが、これに限るものではない。例えば、時間間隔が徐々に短くなるようにしてもよいし、制御信号Ｃｓのレベルを段階的に上げる場合には時間間隔

が徐々に短くなり、制御信号Ｃｓのレベルを下げる場合には時間間隔が徐々に長くなるようにしてもよい。

第３又は第４実施形態において、ゲインの段階的な増加とゲインの段階的な減少とのうち、どちらか一方を行わないようにしてもよい。なお、信号成分が音声の場合には、信号期間αの冒頭部分（アタック部分）の振幅が小さいと、聴き取り難い音声となるから、音声を聴き取り易くする観点では、ゲインの段階的な増加を行う形態よりも、ゲインの段階的な増加を行わない形態の方が好ましい。

各実施形態において、可変ゲインアンプ１４のみならず、ＤＳＰもノイズゲートとして機能するようにしてもよい。この場合、デジタル信号Ｄｍの波形は、デジタル入力信号Ｄｉｎの波形と異なる。

各実施形態において、各種の設定値を、レジスタＲとは異なる記憶部に記憶させるようにしてもよい。この記憶部は、信号処理装置の内部または外部に配置される。

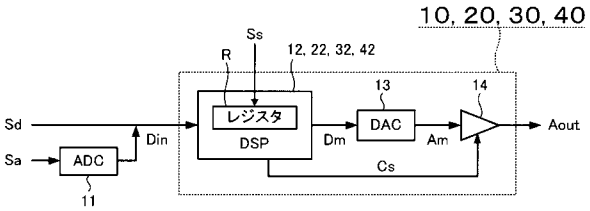
各実施形態において、制御信号Ｃｓのレベルを遷移させるタイミングを、ＤＡＣ１３における処理遅延を考慮して定めるようにしてもよい。

【符号の説明】

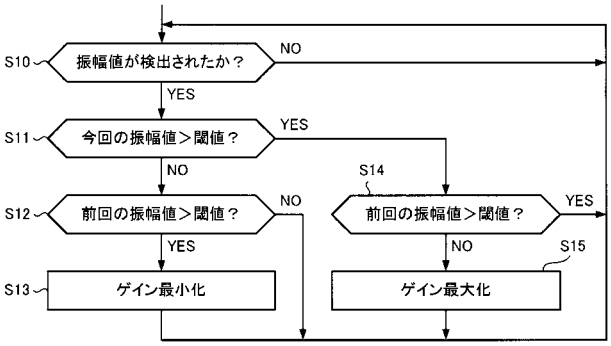
【００５５】

１０，２０，３０，４０…信号処理装置、１２，２２，３２，４２…ＤＳＰ、１３…ＤＡＣ、１４…可変ゲインアンプ、Ｄｉｎ…デジタル入力信号、Ｄｍ…デジタル信号、Ａｍ…アナログ信号、Ａｏｕｔ…アナログ出力信号、Ｃｓ…制御信号。

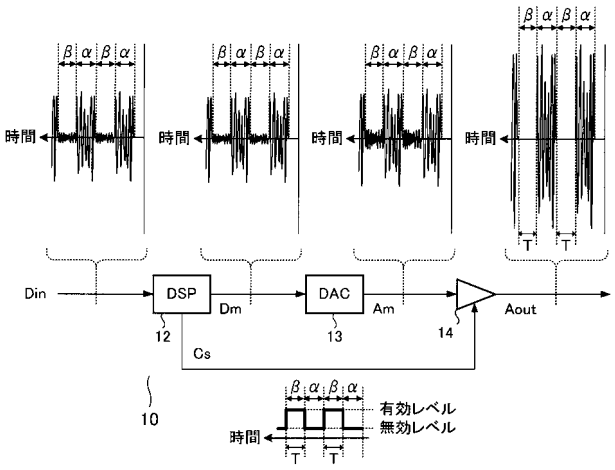
【図１】



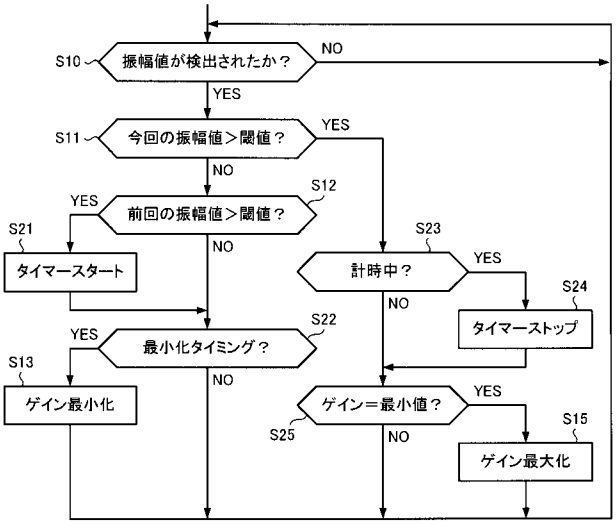
【図２】



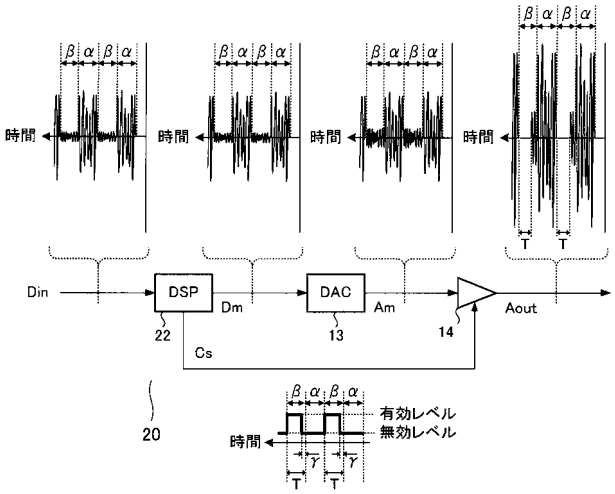
【図３】



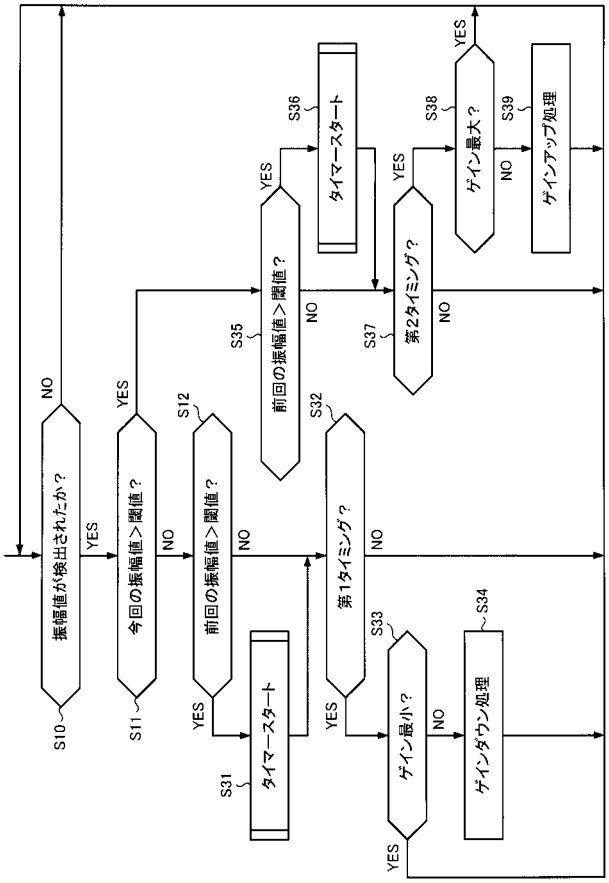
【図４】


S10
振幅値が検出されたか？
NO
YES
S11
今回の振幅値＞閾値？
YES
NO
S12
前回の振幅値＞閾値？
YES
NO
S21
タイマースタート
S23
計時中？
YES
NO
S24
タイマーストップ
S22
最小化タイミング？
YES
NO
S13
ゲイン最小化
ゲイン＝最小値？
YES
NO
S25
S15
ゲイン最大化

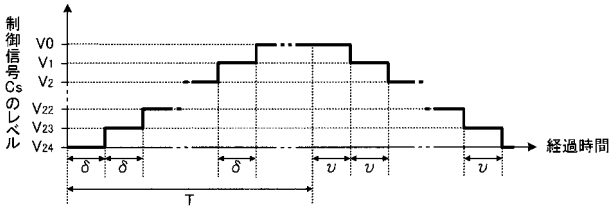
【図５】


β α β α
時間
T T
Din
DSP
22
Dm
DAC
13
Am
14
Aout
Cs
20
有効レベル
無効レベル
γ γ

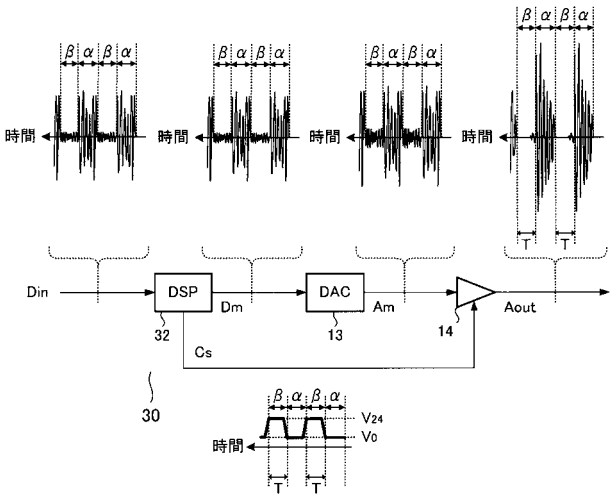
【図６】


振幅値が検出されたか？
S10
NO
YES
今回の振幅値＞閾値？
S11
YES
NO
前回の振幅値＞閾値？
S12
YES
NO
タイマースタート
S31
第1タイミング？
S32
YES
NO
ゲイン最小？
S33
YES
NO
ゲインダウン処理
S34
前回の振幅値＞閾値？
S35
YES
NO
タイマースタート
S36
第2タイミング？
S37
YES
NO
ゲイン最大？
S38
YES
NO
ゲインアップ処理
S39

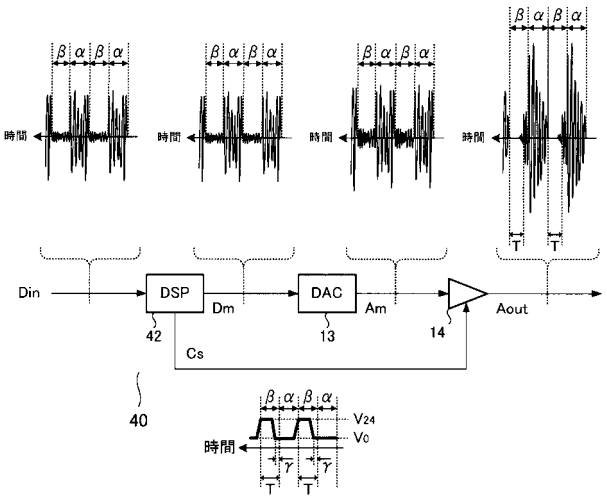
【図７】


制御信号Cs
V0
V1
V2
V22
V23
V24
経過時間
δ δ δ υ υ υ
T

【図８】


β α β α
時間
T
Din
DSP
Dm
DAC
Am
Aout
32
13
14
Cs
30
V24
V0

【図９】


β α β α
時間
T
γ
Din
DSP
Dm
DAC
Am
Aout
42
13
14
Cs
40
V24
V0