

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95117862

※申請日期：95.5.19

※IPC 分類：H03K 17/22 (2006.01)

一、發明名稱：(中文/英文)

數位加電重定電路及進行加電重定的方法

Digital Power-on Reset Controller

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美國博通公司/Broadcom Corporation

代表人：(中文/英文) 狄·韓德森/Dee Henderson

住居所或營業所地址：(中文/英文)

美國加州爾灣市奧爾頓公園路 16215 號,92618-7013

16215 Alton Parkway, Irvine, California USA, 92618-7013

國籍：(中文/英文) 美國/U.S.A.

三、發明人：(共 2 人)

姓名：(中文/英文)

1. 吉昂-明·朱/Jiunn-Ming Ju

2. 侯成亮/Cheng-Liang Hou

國籍：(中文/英文)

1. 2. : 台灣/TAIWAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國 2005 年 05 月 19 日 11/132,280

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明涉及一種用於電子設備的數位加電重定電路，包括至少一個重定寄存器和比較器電路。所述加電重定電路整合在所述電子設備中，並且比較器電路設置為在確定了加電重定模式時，將所述至少一個重定寄存器中的值與至少一個預定值進行比較，當所述至少一個重定寄存器的值與所述至少一個預設值不匹配時，產生重定信號。

六、英文發明摘要：

A digital power-on reset circuit for an electronic device includes at least one reset register and a comparator circuit. The power-on reset circuit is incorporated into the electronic device and the comparator circuit is configured to compare values in the at least one reset register with at least one predetermined value when a power-on reset state is determined and generate a reset signal when the values do not match the at least one predetermined value.

七、指定代表圖：

(一)本案指定代表圖為：第 (6) 圖。

(二)本代表圖之元件符號簡單說明：

圖 6 為流程圖，無元件符號

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明涉及加電重定，用於當電源接通的時候將存儲設備、寄存器或者記憶體恢復為預設狀態。更具體地，本發明涉及簡化設備操作的數位加電重定。

【先前技術】

加電重定用於當電源接通時將存儲設備、寄存器或者記憶體恢復到預設狀態。對於大多數系統來說，加電重定電路都是必要電路。系統產生加電重定信號以重新重定所有子系統並確保整個系統正確初始化。包括晶片在內的所有子系統，需要一個外加的重定信號來對晶片進行重定。在現有技術中，系統採用一個專用類比電路來產生重定信號。

加電重定電路檢測加電狀態，輸出重定信號對其他電路進行重定。重定電路應該產生足夠的重定時間。輸出重定信號可以持續足夠長的時間以確保所有元件正確重定。

圖 1 所示為晶片加電後的動作。當系統加電時(步驟 101)，晶片檢測重定信號(步驟 102)。如果重定信號持續，則晶片將一直處於重定模式(步驟 103)。當重定信號停止，晶片開始初始化(步驟 104)，初始化完成後(步驟 105)將進入正常工作狀態。一旦系統加電後，加電重定事件應當只發生一次。

圖 2 所示為重定電路 201 和晶片 202 之間的傳統連線方式。對於重定電路 201，當加電以後，重定電路 201 將檢測出

這一狀態，並對所有晶片 202 產生一個重定周期。重定信號的質量是很重要的，它必須非常接近方波。任何的不穩定因素都會導致系統鎖死。這類不穩定因素，如短時脈衝波形干擾 (glitch)，將導致晶片不能正確重定。

圖 3 所示為一個簡單的加電重定電路。該加電重定電路是類比電路，依靠電容器 C 檢測加電狀態。電源接通後，電容器 C 未充電，其電壓為零。電源 VCC 通過電阻 R 給電容器 C 充電。電容器 C 充滿電之前，電路有足夠的時間對其他元件 301 進行重定。重定時間的長短依賴於電阻器 R 的電阻值和電容器 C 的電容值，也就是 RC 對的值。當電容器 C 充滿電時，重定周期也結束了。這樣確保了加電重定只執行一次。這種電路和類似這樣的電路廣泛地應用於完成加電重定功能，並且這樣的電路成本也不高。由於 RC 對的輸出並不是理想的方波，因此該電路上還整合有一個濾波器，比如施密特觸發器。

加電重定的基本流程如圖 4 所示。在步驟 401，發生加電事件，在步驟 402，產生重定信號。之後，在步驟 403，重定完成，整個流程結束。

然而，這個方案中還存在一些不足。加電重定電路為類比電路，無法設置在數位晶片中。它只能安裝在需要重定的晶片的外部。需重定的晶片需要一個專用輸入引腳來獲得重定模式。重定信號的質量也值得注意，因為系統不允許有短時脈衝波形干擾和任何不穩定的電壓。在現有技術中，是使用濾波器

來改善電壓的質量。因而，有必要對加電重定電路進行改進，以至少部分地克服上述不足之處。

【發明內容】

根據本發明的一個方面，提供一種用於電子設備的數位加電重定電路，包括：

至少一個重定寄存器；和

比較器電路；

其中，所述加電重定電路整合在所述電子設備中，所述比較器電路設置為在確定了加電重定模式時，將所述至少一個重定寄存器中的值與至少一個預定值進行比較，當所述至少一個重定寄存器的值與所述至少一個預設值不匹配時，產生重定信號；其中，

所述比較器還包括一個計數器；所述比較器設置為直到計數器達到預定的時間周期時才停止產生重定信號；

所述至少一個重定寄存器設置為在加電期間被施加一特定的偏壓，以確保所述至少一個重定寄存器中的值不會巧合地與所述預定值相匹配。

優選地，在本發明的數位加電重定電路中，比較器設置為當所述至少一個重定寄存器的值與所述至少一個預定值不匹配時，在產生重定信號前，比較器將所述至少一個重定寄存器的值初始化為所述至少一個預定值。

優選地，在本發明的數位加電重定電路中，所述至少一個

預定值是具有預定位長、包含“1”和“0”混合序列的單獨一個值。

優選地，在本發明的數位加電重定電路中，所述比較器還包括用於接收外部重定信號的輸入端，所述比較器設置為根據所述外部重定輸入信號發送另一個重定信號。

優選地，在本發明的數位加電重定電路中，所述比較器配置為對所述外部重定輸入信號進行濾波。

優選地，在本發明的數位加電重定電路中，所述比較器配置為將所述外部重定輸入信號與系統時鐘同步。

根據本發明的一個方面，提供一種電子設備進行加電重定的方法，包括如下步驟：

判定加電重定模式；

將至少一個重定寄存器的值與至少一個預定值相比較；及

當所述至少一個重定寄存器的值與所述至少一個預定值不匹配時，產生重定信號；且

在產生重定信號之前，增加計數器值，並直到計數器達到預定的時間周期時才停止產生重定信號；

在加電期間在所述至少一個重定寄存器上施加一特定的偏壓，以確保所述至少一個重定寄存器中的值不會巧合地與所述預定值相匹配；

其中，上述步驟由整合在電子設備中的加電重定電路執行。

優選地，在本發明的加電重定的方法中，當所述至少一個重定寄存器的值與所述至少一個預定值不匹配時，在產生重定信號之前，將所述至少一個重定寄存器的值初始化為所述至少一個預定值。

優選地，在本發明的加電重定的方法中，所述至少一個預定值是具有預定位長、包含“1”和“0”混合序列的單獨一個值。

優選地，在本發明的加電重定的方法中，還包括接收外部重定輸入信號，並根據所述外部重定輸入信號發送另一個重定信號。

優選地，在本發明的加電重定的方法中，還包括對所述外部重定輸入信號進行濾波。

優選地，在本發明的加電重定的方法中，還包括將外部重定輸入信號與系統時鐘同步。

根據本發明的一個方面，提供一種用於電子設備的數位加電重定電路，包括：

用於判定加電重定模式的判定裝置；

用於將至少一個重定寄存器的值與至少一個預定值相比較的比較裝置；及

當所述比較裝置確定所述至少一個寄存器的值與所述至少一個預定值不匹配時，用於產生重定信號的產生裝置，

用於增加計數器值的裝置，並且所述產生裝置設置為直

到計數器達到預定的時間周期時才停止產生重定信號；及

用於在加電期間在所述至少一個重定寄存器上施加特定的偏壓，以確保所述至少一個重定寄存器中的值不會巧合地與所述預定值相匹配的偏壓裝置；

其中，所述判定裝置、比較裝置、偏壓裝置和產生裝置整合在所述電子設備中。

優選地，在本發明的加電重定電路中，還包括用於當所述至少一個重定寄存器的值與所述至少一個預定值不匹配時，將所述至少一個重定寄存器的值初始化為所述至少一個預定值的裝置。

優選地，在本發明的加電重定電路中，所述至少一個預定值是具有預定位長、包含“1”和“0”混合序列的單獨一個值。

優選地，在本發明的加電重定電路中，還包括用於接收外部重定輸入信號的裝置，及根據所述外部重定輸入信號發送另一個重定信號的裝置。

優選地，在本發明的加電重定電路中，還包括用於對所述外部重定輸入信號進行濾波的裝置。

優選地，在本發明的加電重定電路中，還包括用於將外部重定輸入信號與系統時鐘同步的裝置。

【實施方式】

本發明的目的是對現有技術的外部加電重定電路提出一

種替代的解決方案。通過使用數位電路，即數位加電重定控制器 501，來實現同樣的功能。如圖 5 所示，重定電路 501 能夠很容易地內置在數位晶片 502 中。它可以檢測到當加電後，晶片是否已經重定或者還沒有重定。如果晶片 502 在加電後還沒有重定，那麼重定電路 501 產生內部重定信號對晶片 502 進行重定。重定電路 501 只採用數位元件來構建。由於只需要數位元件，重定 501 能夠集成到數位晶片 502 中，從而，本實施例中不需要外部重定引腳。

根據本實施，由於不需要外部引腳，就不存在像前面所討論的類比電路中的重定信號質量的問題。由於電路是純數位的，能夠產生一個近似完美的重定信號。

本發明的方案使用了一組稱作重定寄存器的寄存器。重定寄存器沒有任何重定輸入。加電後，重定寄存器的值假定是未知的。重定寄存器的值可能為 0、1、2、或者任何隨機的數位。如果將重定寄存器的值和一個幻數進行比較，如 0x55、0xAA、或者任何唯一的數位，結果都應該不同。

由於加電後重定寄存器與該幻數相比較的結果不是正好相等的，重定電路 501 將開始用這個唯一的幻數對寄存器組進行初始化，從而避免了重定電路 501 再次檢測加電事件。然後，該電路產生重定信號。通過使用計數器可以很容易地控制重定時間。由於邏輯門和寄存器可以實現這個方案，因而產生的重定信號是純數位的。也就很容易地保證了信號的質量。

圖 6 也示出了這個過程。在步驟 601，加電事件開始。在步驟 602 中，把重定寄存器的值與幻數相比較。如果寄存器的值與這個幻數相同，由於不需要產生重定信號，則過程結束。當寄存器的值與這個幻數不相匹配時，在步驟 603，對重定寄存器進行初始化；並在步驟 604 產生重定信號；之後在步驟 605，重定過程結束。

整個重定周期結束之後，此時所有重定寄存器中的值都與這個幻數相等。因此，就不需要再發生一次重定信號生成事件。加電後只發生一次重定事件。

根據一些實施例，本發明有一組重定寄存器和一個幻數。如果這組寄存器包含 n 個寄存器，那麼加電後，重定寄存器的值是該幻數的可能性是 $1/(2^n)$ 。重定寄存器的數量越多，發生錯誤匹配的可能性就越低，就越能增加此方案的正確性。

對幻數的選擇也是非常重要的。如果選擇“全 0”或者是“全 1”作為幻數，那麼有著相同物理特徵的重定寄存器會出現“全 0”或者是“全 1”的值。如果選擇的是“0”和“1”相混合的序列值，就會降低錯誤的可能性。最安全的數是有一半位碼全是“0”，另一半位碼全是“1”，如 0x55 或者 0xAA。加電後重定寄存器極少能出現這樣的值。

也有可能是對存儲裝置施加一個特定的偏壓值來確保它不會剛好與幻數相匹配。在加電期間，可用幾種方法來對作為重定寄存器的存儲裝置加偏壓，也就是，例如，如果指定幻數

為 0x55，那麼就可以對重定寄存器加偏壓將其置為 0xAA。如果重定寄存器由帶有非對稱 Q 和 Q_n ($Q_n = \sim Q$) 的觸發器或者鎖存器元件構成的，就使用第一種方法。那麼在加電期間，重定寄存器將趨於 0xAA。當重定寄存器是由帶有一個低活動率 (low-active) 預設或者預重定引腳的觸發器或者鎖存器元件構成時，就採用另一種方法。使用具有小阻容(RC) 時間常數的 RC 電路，例如， $100\text{k-ohm} \times 0.5\text{p-法拉} = 50\text{ns}$ ，該預設/預重定重定寄存器在加電期間被設置為 0xAA。在晶片內，2ns 足以對一個觸發器或者鎖存器元件進行預設或者預重定操作。另外，100k-ohm 的電阻器和 0.5p-farad 的電容器是非常微小的。

依照大多數的實施例，只需要一系列的寄存器和簡單的電路。和許多其他的應用電路相比較，這個電路的實現是非常簡單的。由於電路是數位的，它可以很容易地集成到數位晶片中。

如果系統還需要手工進行重定的話，將會產生一個問題。這種情況下，需要用一個外部引腳來指明這個情形。如圖 7 所示，為適合外部引腳的使用，執行另一個處理過程。圖 6 中的步驟保留不變，也就是，步驟 601-605 分別作為步驟 700, 701, 704, 705 和 706 來實現。步驟 703 為後加入的，用於重定濾波和同步，以實現所希望的功能。過程流程是相同的，按照通常的方式對加電重定任務進行處理。不過，在步驟 703，需要判定信號是否來自外部重定輸入 702，以確定是否需要手工對系統重定。

在加電過程中，不論來自外部重定輸入 702 的輸入是“0”或者“1”，加電重定電路都會執行重定功能。重定後，一旦確定有外部重定輸入，重定電路將會再次啟動。

重定濾波和同步步驟 703 也執行重定濾波功能，對來自外部重定輸入 702 的短時脈衝波形干擾輸入進行濾波，並將其相位與系統時鐘進行同步。避免發生與上面討論的類比系統相關的問題是非常重要的。

總地來講，本發明的數位加電重定控制器提供了一種產生加電重定信號的低成本方法。電路容易實現，且能夠嵌入到大多數需要此功能的晶片中。另外，當不需要外部重定時，可以去掉輸入重定引腳。此外，重定信號的信號質量是完全數位的，不會有短時脈衝波形的干擾。

在首選的實施例中，本發明的上述配置，是結合適當的半導體製造技術並基於積體電路設計佈局，在半導體襯底(如矽)上實施的，基於上述的實施例，這一點對於本領域的技術人員是顯而易見的。基於上述的結構描述，半導體設計和製造領域的技術人員能夠把本發明的各種模組、介面和平臺、緩衝器等在一個單個的半導體襯底上實現。在離散電子元件上實現本發明公開的元件也屬於本發明的範圍，因此，使用單個半導體襯底只是利用了本發明某些方面的功能，而沒有把本發明的優勢擴大。

關於本發明，這裏所述的設備可以是任何一種使用加電重

定的電子設備。這些設備也可以包括網路設備，還可能包括交換機、路由器、橋接器、閘道或伺服器。也可能包含使用加電重定的電源管理裝置。

前面所描述的內容為本發明的具體實施例。然而，顯而易見地是，還可對所述實施例進行其他的變化和修改，同時保留這些實施例的某些或者全部優點。因此，本發明權利要求的目的是覆蓋所有出自本發明的精神和範圍的這些變化和修改。

【圖式簡單說明】

圖 1 是晶片進行重定和初始化過程的示意圖；

圖 2 是重定電路和用於接收重定信號的晶片之間的連接示意圖；

圖 3 是加電重定電路的結構示意圖；

圖 4 是加電和產生重定信號的過程示意圖；

圖 5 是根據本發明的一個實施例的晶片內重定電路的結構示意圖；

圖 6 是根據本發明的一個實施例的執行加電重定的過程示意圖；

圖 7 是根據本發明的另一實施例的執行加電重定的過程示意圖。

【主要元件符號說明】

重定電路 201	晶片 202
其他元件 301	重定電路 501
數位晶片 502	

十、申請專利範圍：

1. 一種用於電子設備的數位加電重定電路，包括：

至少一個重定寄存器；和

比較器電路；

其中，所述加電重定電路整合在所述電子設備中，所述比較器電路設置為在確定了加電重定模式時，將所述至少一個重定寄存器中的值與至少一個預定值進行比較，當所述至少一個重定寄存器的值與所述至少一個預設值不匹配時，產生重定信號；其中，

所述比較器還包括一個計數器；所述比較器設置為直到計數器達到預定的時間周期時才停止產生重定信號；

所述至少一個重定寄存器設置為在加電期間被施加一特定的偏壓，以確保所述至少一個重定寄存器中的值不會巧合地與所述預定值相匹配；

其中比較器設置為當所述至少一個重定寄存器的值與所述至少一個預定值不匹配時，在產生重定信號前，比較器將所述至少一個重定寄存器的值初始化為所述至少一個預定值。

2. 一種電子設備進行加電重定的方法，包括如下步驟：

判定加電重定模式；

將至少一個重定寄存器的值與至少一個預定值相比較；

及

當所述至少一個重定寄存器的值與所述至少一個預定值不匹配時，產生重定信號；且

在產生重定信號之前，增加計數器值，並直到計數器達到預定的時間周期時才停止產生重定信號；

在加電期間在所述至少一個重定寄存器上施加一特定的偏壓，以確保所述至少一個重定寄存器中的值不會巧合地與所述預定值相匹配；

其中，上述步驟由整合在電子設備中的加電重定電路執行；

當所述至少一個重定寄存器的值與所述至少一個預定值不匹配時，在產生重定信號之前，將所述至少一個重定寄存器的值初始化為所述至少一個預定值。

3. 一種用於電子設備的數位加電重定電路，包括：

用於判定加電重定模式的判定裝置；

用於將至少一個重定寄存器的值與至少一個預定值相比較的比較裝置；

當所述比較裝置確定所述至少一個寄存器的值與所述至少一個預定值不匹配時，用於產生重定信號的產生裝置；

用於增加計數器值的裝置，並且所述產生裝置設置為直到計數器達到預定的時間周期時才停止產生重定信號；及

用於在加電期間在所述至少一個重定寄存器上施加特定的偏壓，以確保所述至少一個重定寄存器中的值不會巧合地

與所述預定值相匹配的偏壓裝置；

其中，所述判定裝置、比較裝置、偏壓裝置和產生裝置整合在所述電子設備中；

其中還包括，用於當所述至少一個重定寄存器的值與所述至少一個預定值不匹配時，將所述至少一個重定寄存器的值初始化為所述至少一個預定值的裝置。

4. 如申請專利範圍第 3 項所述的數位加電重定電路，其中所述至少一個預定值是具有預定位長、包含“1”和“0”混合序列的單獨一個值。

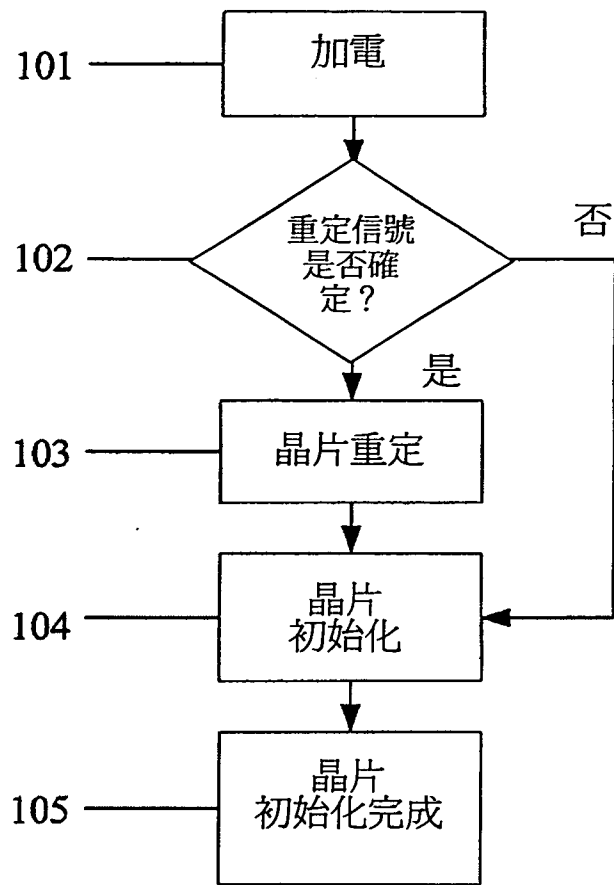


圖 1

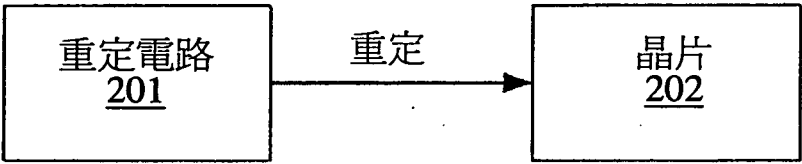


圖 2

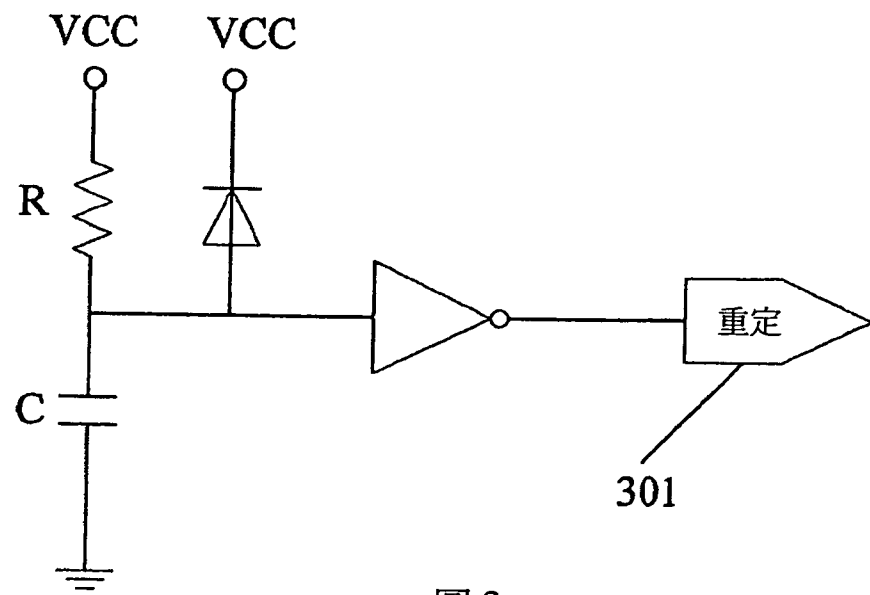


圖 3

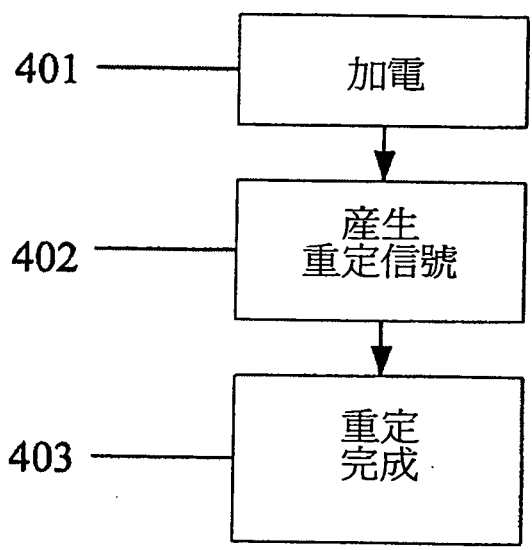


圖 4

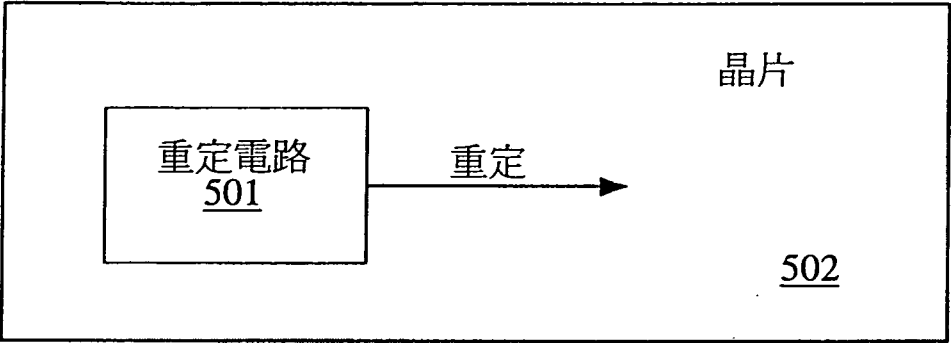


圖 5

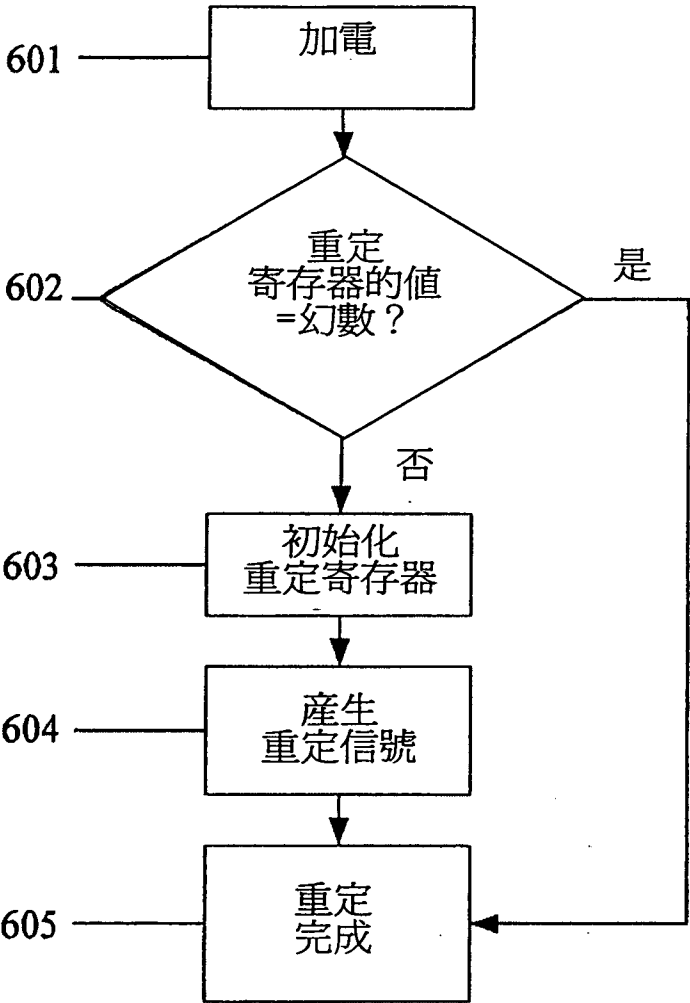


圖 6

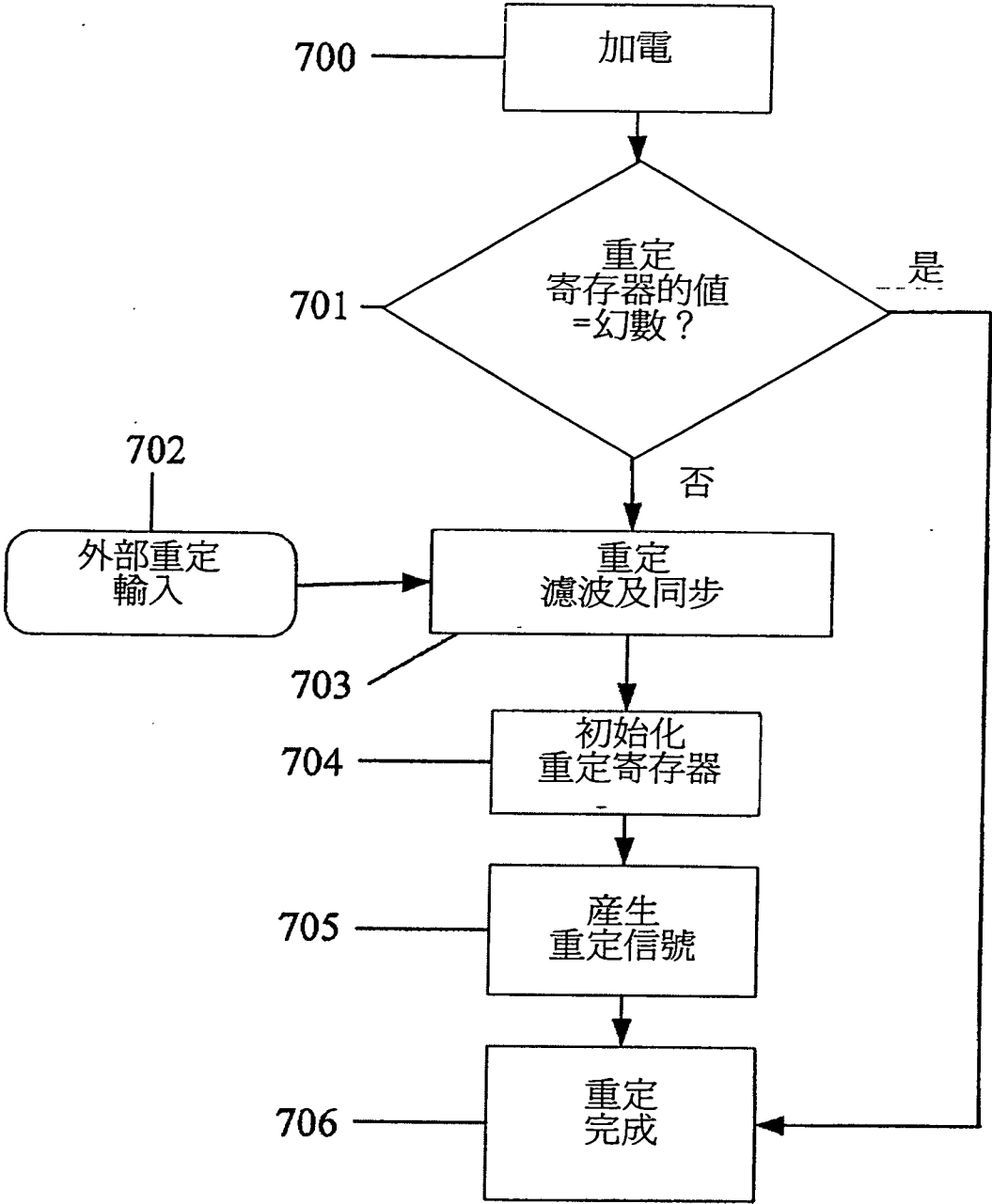


圖 7