



# (12)发明专利

(10)授权公告号 CN 107833552 B

(45)授权公告日 2020.09.25

(21)申请号 201711145565.9

(56)对比文件

(22)申请日 2017.11.17

CN 102682699 A,2012.09.19

(65)同一申请的已公布的文献号

审查员 倪彬彬

申请公布号 CN 107833552 A

(43)申请公布日 2018.03.23

(73)专利权人 合肥鑫晟光电科技有限公司

地址 230012 安徽省合肥市新站区工业园内

专利权人 京东方科技集团股份有限公司

(72)发明人 杜瑞芳 曹子君 马小叶

(74)专利代理机构 北京天昊联合知识产权代理有限公司 11112

代理人 罗瑞芝 陈源

(51)Int.Cl.

G09G 3/20(2006.01)

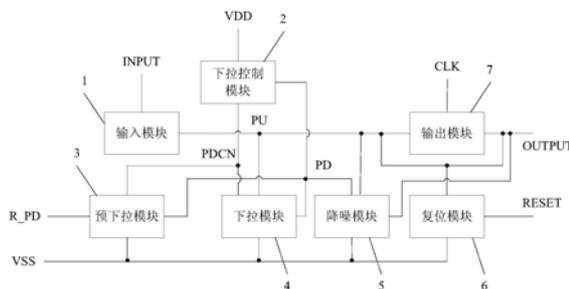
权利要求书3页 说明书8页 附图5页

## (54)发明名称

栅极驱动单元、栅极驱动电路及其驱动方法、显示装置

## (57)摘要

本发明属于显示技术领域,具体涉及栅极驱动单元、栅极驱动电路及其驱动方法和显示装置。该栅极驱动电路的每一栅极驱动单元中:输入模块用于对上拉节点充电以将上拉节点的电压上拉为高电平;下拉控制模块用于将预下拉节点和下拉节点下拉为低电平;预下拉模块用于将下拉节点和预下拉节点在上拉节点充电前下拉为低电平;下拉模块用于将下拉节点下拉为低电平;降噪模块用于对上拉节点和输出端进行降噪;复位模块用于复位上拉节点和输出端的电压;输出模块用于输出第N级栅极驱动信号。该栅极驱动单元、电路及其方法,在上拉节点预充电之前,分别对下拉节点和预下拉节点下拉,从而将下拉节点和预下拉节点较上拉节点充电提前拉低,具有较高的信赖性。



1. 一种栅极驱动单元,其特征在于,所述栅极驱动单元包括输入模块、下拉控制模块、预下拉模块、下拉模块、降噪模块、复位模块和输出模块,其中:

所述输入模块,分别连接所述下拉模块、所述输出模块和输入信号,用于对上拉节点充电以将上拉节点的电压上拉为高电平,所述上拉节点为所述输入模块与所述下拉模块和所述输出模块之间的连接点;

所述下拉控制模块,分别连接所述预下拉模块、所述下拉模块和预设电源,用于将预下拉节点和下拉节点下拉为低电平,所述预下拉节点为所述下拉控制模块与所述预下拉模块、所述下拉模块之间的连接点,所述下拉节点为所述下拉控制模块与所述下拉模块、所述降噪模块之间的连接点;

所述预下拉模块,还分别连接所述下拉节点和参考电源,用于在预下拉信号的电压控制下,将所述下拉节点和所述预下拉节点在所述上拉节点充电前下拉为低电平;

所述下拉模块,还连接参考电源,用于在所述上拉节点的电压控制下将所述下拉节点下拉为低电平;

所述降噪模块,还连接所述上拉节点、输出端和参考电压,用于在所述下拉节点的电压控制下对所述上拉节点和输出端进行降噪;

所述复位模块,分别连接所述上拉节点、输出端、重置信号和参考电压,用于在重置信号的控制下复位所述上拉节点和输出端的电压;

所述输出模块,还与时钟信号连接,用于在时钟信号和所述上拉节点的电压控制下,通过输出端输出本级栅极驱动信号。

2. 根据权利要求1所述的栅极驱动单元,其特征在于,所述输入模块包括第一晶体管,所述第一晶体管的控制极和第一极与所述输入信号连接,第二极与所述上拉节点连接。

3. 根据权利要求1所述的栅极驱动单元,其特征在于,所述下拉控制模块包括第五晶体管和第六晶体管,其中:

所述第五晶体管,其控制极与其第一极和预设电源连接,第二极与所述预下拉节点连接;

所述第六晶体管,其控制极与所述预下拉节点连接,第一极与所述第五晶体管的第一极连接,第二极与所述下拉节点连接。

4. 根据权利要求1所述的栅极驱动单元,其特征在于,所述预下拉模块包括第十一晶体管和第十二晶体管,其中:

所述第十一晶体管,其控制极与预下拉信号连接,第一极与参考电源连接,第二极与所述预下拉节点连接;

所述第十二晶体管,其控制极与预下拉信号连接,第一极与参考电源连接,第二极与所述下拉节点连接。

5. 根据权利要求1所述的栅极驱动单元,其特征在于,所述下拉模块包括第七晶体管和第八晶体管,其中:

所述第七晶体管,其控制极与所述上拉节点连接,第一极与所述参考电源连接,第二极与所述预下拉节点连接;

所述第八晶体管,其控制极与所述上拉节点连接,第一极与所述参考电源连接,第二极与所述下拉节点连接。

6. 根据权利要求1所述的栅极驱动单元,其特征在于,所述复位模块包括第二晶体管和第四晶体管,其中:

所述第二晶体管,其控制极与复位信号连接,第一极与参考电源连接,第一极与所述上拉节点连接;

所述第四晶体管,其控制极与复位信号连接,第一极与参考电源连接,第二极与输出端连接。

7. 根据权利要求1所述的栅极驱动单元,其特征在于,所述降噪模块包括第九晶体管和第十晶体管,其中:

所述第九晶体管,其控制极与所述下拉节点连接,第一极与参考电源连接,第二极与所述上拉节点连接;

所述第十晶体管,其控制极与所述下拉节点连接,第一极与所述参考电源连接,第二极与输出端连接。

8. 根据权利要求1所述的栅极驱动单元,其特征在于,所述输出模块包括第三晶体管和存储电容,其中:

所述第三晶体管,其控制极和所述存储电容的第一端与所述上拉节点连接,第一极与时钟信号连接,第二极与所述存储电容的第二端连接,第二极与所述存储电容的第二端的连接点为输出端。

9. 根据权利要求1-8任一项所述的栅极驱动单元,其特征在于,所述输入模块、所述下拉控制模块、所述预下拉模块、所述下拉模块、所述降噪模块、所述复位模块和所述输出模块中的晶体管,为N型薄膜晶体管,或者为P型薄膜晶体管,或者为N型薄膜晶体管与P型薄膜晶体管的组合。

10. 一种栅极驱动电路,包括多个级联的栅极驱动单元,每一所述栅极驱动单元用于为一条栅线提供栅极驱动信号,其特征在于,所述栅极驱动单元为权利要求1-9任一项所述的栅极驱动单元。

11. 根据权利要求10所述的栅极驱动电路,其特征在于,第N-2级所述栅极驱动单元的输出信号与第N级所述栅极驱动单元的所述输入模块连接,第N-1级所述栅极驱动单元的输入信号与第N级所述栅极驱动单元的所述预下拉模块连接,第N+2级所述栅极驱动单元的输出信号与第N级所述栅极驱动单元的所述复位模块连接,其中,N为大于2的整数。

12. 一种权利要求10-11任一项所述的栅极驱动电路的驱动方法,其特征在于,包括像素保持阶段、预下拉阶段、下拉阶段、输入阶段、输出阶段和复位阶段,其中:

所述输入阶段:所述输入模块接收第N-2级所述栅极驱动单元的所述输出模块的输出信号、并将该输出信号存储于所述上拉节点以对所述上拉节点充电;

所述输出阶段:在时钟信号的控制下,通过所述输出模块的输出端输出高电平;

所述像素保持阶段,在所述下拉节点的电压控制下,对所述上拉节点和所述输出端进行降噪;

所述预下拉阶段:在第N-1级所述栅极驱动单元的输入信号的控制下,在所述上拉节点充电前预下拉所述预下拉节点和所述下拉节点的电压;

所述下拉阶段:在所述上拉节点的电压控制下,下拉所述预下拉节点和所述下拉节点的电压;

所述复位阶段:以第N+2级所述栅极驱动单元的所述输出模块的输出信号,并根据该输出信号拉低所述上拉节点和所述输出端的电压。

13.根据权利要求12所述的栅极驱动电路的驱动方法,其特征在于,所述预下拉阶段中,在对所述上拉节点预充电的至少第N-1个充电周期,将所述下拉节点和所述预下拉节点的电压提前拉低。

14.根据权利要求12所述的栅极驱动电路的驱动方法,其特征在于,包括:

在所述输入阶段,第一晶体管开启,在第N-2级所述栅极驱动单元的电压控制下,对所述上拉节点充电;

在所述输出阶段,在时钟信号的控制下,第三晶体管开启,输出端输出第N级栅极驱动信号;

在所述像素保持阶段,交替为高电平的预设电源控制第五晶体管和第六晶体管开启,分别控制所述预下拉节点和所述下拉节点的电压,通过第九晶体管为所述上拉节点降噪,通过第十晶体管为所述输出端降噪;

在所述预下拉阶段,第N-1级所述栅极驱动单元的输入信号有效,第十一晶体管开启,将所述预下拉节点拉低;以及,第十二晶体管开启,将所述下拉节点拉低;同时,使得第九晶体管和第十晶体管关闭;

在所述下拉阶段,在所述上拉节点的电压控制下,第七晶体管和第八晶体管开启,分别预下拉所述预下拉节点和所述下拉节点的电压;

在所述复位阶段,复位信号有效,第二晶体管和第四晶体管开启,分别将所述上拉节点和所述输出端下拉至低电平。

15.根据权利要求12所述的栅极驱动电路的驱动方法,其特征在于,第N-2级所述栅极驱动单元的输出信号为第N级所述栅极驱动单元的输入信号,第N-1级所述栅极驱动单元的输入信号为第N级所述栅极驱动单元的预下拉信号,第N+2级所述栅极驱动单元的输出信号为第N级所述栅极驱动单元的复位信号。

16.一种显示装置,其特征在于,包括权利要求10-11任一项所述的栅极驱动电路。

## 栅极驱动单元、栅极驱动电路及其驱动方法、显示装置

### 技术领域

[0001] 本发明属于显示技术领域,具体涉及一种栅极驱动单元、栅极驱动电路、栅极驱动电路的驱动方法和显示装置。

### 背景技术

[0002] GOA(Gate driver On Array)技术,即在基板上集成薄膜晶体管(Thin Film Transistor,简称TFT)组成的栅极驱动电路,由于GOA技术具有降低成本、提升模组工艺产量、利于实现窄边框等优点,因此得到越来越广泛的应用。

[0003] GOA栅极驱动电路设计的关键点在于移位寄存的实现和电路的信赖性。如图1所示,现有的栅极驱动电路在实际工作中,由于TFT特性存在阈值漂移( $V_{th}$  Shift),导致相应信号存在一定的延迟(Delay),进而导致不同功能模块中的薄膜晶体管在不同时序阶段出现本不应同时开启却同时开启的情况,从而影响栅极驱动电路的信赖性。

[0004] 可见,设计一种能有效避免薄膜晶体管误开启,具有高信赖性的栅极驱动电路成为目前亟待解决的技术问题。

### 发明内容

[0005] 本发明所要解决的技术问题是针对现有技术中上述不足,提供一种栅极驱动单元、栅极驱动电路、栅极驱动电路的驱动方法和显示装置,至少解决同一时间不同模块中薄膜晶体管误开启的问题,具有较高的信赖性。

[0006] 解决本发明技术问题所采用的技术方案是该栅极驱动单元,所述栅极驱动单元包括输入模块、下拉控制模块、预下拉模块、下拉模块、降噪模块、复位模块和输出模块,其中:

[0007] 所述输入模块,分别连接所述下拉模块、所述输出模块和输入信号,用于对上拉节点充电以将上拉节点的电压上拉为高电平,所述上拉节点为所述输入模块与所述下拉模块和所述输出模块之间的连接点;

[0008] 所述下拉控制模块,分别连接所述预下拉模块、所述下拉模块和预设电源,用于将预下拉节点和下拉节点下拉为低电平,所述预下拉节点为所述下拉控制模块与所述预下拉模块、所述下拉模块之间的连接点,所述下拉节点为所述下拉控制模块与所述下拉模块、所述降噪模块之间的连接点;

[0009] 所述预下拉模块,还分别连接所述下拉节点和参考电源,用于在所述预下拉信号的电压控制下,将所述下拉节点和所述预下拉节点在所述上拉节点充电前下拉为低电平;

[0010] 所述下拉模块,还连接参考电源,用于在所述上拉节点的电压控制下将所述下拉节点下拉为低电平;

[0011] 所述降噪模块,还连接所述上拉节点、输出端和参考电压,用于在所述下拉节点的电压控制下对所述上拉节点和输出端进行降噪;

[0012] 所述复位模块,分别连接所述上拉节点、输出端、重置信号和参考电压,用于在重置信号的控制下复位所述上拉节点和输出端的电压;

[0013] 所述输出模块,还与时钟信号连接,用于在时钟信号和所述上拉节点的电压控制下,通过输出端输出本级栅极驱动信号。

[0014] 优选的是,所述输入模块包括第一晶体管,所述第一晶体管的控制极和第一极与所述输入信号连接,第二极与所述上拉节点连接。

[0015] 优选的是,所述下拉控制模块包括第五晶体管和第六晶体管,其中:

[0016] 所述第五晶体管,其控制极与其第一极和预设电源连接,第二极与所述预下拉节点连接;

[0017] 所述第六晶体管,其控制极与所述预下拉节点连接,第一极与所述第五晶体管的第一极连接,第二极与所述下拉节点连接。

[0018] 优选的是,所述预下拉模块包括第十一晶体管和第十二晶体管,其中:

[0019] 所述第十一晶体管,其控制极与预下拉信号连接,第一极与参考电源连接,第二极与所述预下拉节点连接;

[0020] 所述第十二晶体管,其控制极与预下拉信号连接,第一极与参考电源连接,第二极与所述下拉节点连接。

[0021] 优选的是,所述下拉模块包括第七晶体管和第八晶体管,其中:

[0022] 所述第七晶体管,其控制极与所述上拉节点连接,第一极与所述参考电源连接,第二极与所述预下拉节点连接;

[0023] 所述第八晶体管,其控制极与所述上拉节点连接,第一极与所述参考电源连接,第二极与所述下拉节点连接。

[0024] 优选的是,所述复位模块包括第二晶体管和第四晶体管,其中:

[0025] 所述第二晶体管,其控制极与复位信号连接,第一极与参考电源连接,第一极与所述上拉节点连接;

[0026] 所述第四晶体管,其控制极与复位信号连接,第一极与参考电源连接,第二极与输出端连接。

[0027] 优选的是,所述降噪模块包括第九晶体管和第十晶体管,其中:

[0028] 所述第九晶体管,其控制极与所述下拉节点连接,第一极与参考电源连接,第二极与所述上拉节点连接;

[0029] 所述第十晶体管,其控制极与所述下拉节点连接,第一极与所述参考电源连接,第二极与输出端连接。

[0030] 优选的是,所述输出模块包括第三晶体管和存储电容,其中:

[0031] 所述第三晶体管,其控制极和所述存储电容的第一端与所述上拉节点连接,第一极与时钟信号连接,第二极与所述存储电容的第二端连接,第二极与所述存储电容的第二端的连接点为输出端。

[0032] 优选的是,所述输入模块、所述下拉控制模块、所述预下拉模块、所述下拉模块、所述降噪模块、所述复位模块和所述输出模块中的晶体管,为N型薄膜晶体管,或者为P型薄膜晶体管,或者为N型薄膜晶体管与P型薄膜晶体管的组合。

[0033] 一种栅极驱动电路,包括多个级联的栅极驱动单元,每一所述栅极驱动单元用于为一条栅线提供栅极驱动信号,其中,所述栅极驱动单元为上述的栅极驱动单元。

[0034] 优选的是,第N-2级所述栅极驱动单元的输出信号与第N级所述栅极驱动单元的所

述输入模块连接,第N-1级所述栅极驱动单元的输入信号与第N级所述栅极驱动单元的所述预下拉模块连接,第N+2级所述栅极驱动单元的输出信号与第N级所述栅极驱动单元的所述复位模块连接,其中,N为大于2的整数。

[0035] 一种上述的栅极驱动电路的驱动方法,包括像素保持阶段、预下拉阶段、下拉阶段、输入阶段、输出阶段和复位阶段,其中:

[0036] 所述输入阶段:所述输入模块接收第N-2级所述栅极驱动单元的所述输出模块的输出信号、并将该输出信号存储于所述上拉节点以对所述上拉节点充电;

[0037] 所述输出阶段:在时钟信号的控制下,通过所述输出模块的输出端输出高电平;

[0038] 所述像素保持阶段,在所述下拉节点的电压控制下,对所述上拉节点和所述输出端进行降噪;

[0039] 所述预下拉阶段:在第N-1级所述栅极驱动单元的输入信号的控制下,在所述上拉节点充电前预下拉所述预下拉节点和所述下拉节点的电压;

[0040] 所述下拉阶段:在所述上拉节点的电压控制下,下拉所述预下拉节点和所述下拉节点的电压;

[0041] 所述复位阶段:以第N+2级所述栅极驱动单元的所述输出模块的输出信号,并根据该输出信号拉低所述上拉节点和所述输出端的电压。

[0042] 优选的是,所述预下拉阶段中,在对所述上拉节点预充电的至少第N-1个充电周期,将所述下拉节点和所述预下拉节点的电压提前拉低。

[0043] 优选的是,包括:

[0044] 在所述输入阶段,第一晶体管开启,在第N-2级所述栅极驱动单元的电压控制下,对所述上拉节点充电;

[0045] 在所述输出阶段,在时钟信号的控制下,第三晶体管开启,输出端输出第N级栅极驱动信号;

[0046] 在所述像素保持阶段,交替为高电平的预设电源控制第五晶体管和第六晶体管开启,分别控制所述预下拉节点和所述下拉节点的电压,通过第九晶体管为所述上拉节点降噪,通过第十晶体管为所述输出端降噪;

[0047] 在所述预下拉阶段,第N-1级所述栅极驱动单元的输入信号有效,第十一晶体管开启,将所述预下拉节点拉低;以及,第十二晶体管开启,将所述下拉节点拉低;同时,使得第九晶体管和第十晶体管关闭;

[0048] 在所述下拉阶段,在所述上拉节点的电压控制下,第七晶体管和第八晶体管开启,分别预下拉所述预下拉节点和所述下拉节点的电压;

[0049] 在所述复位阶段,复位信号有效,第二晶体管和第四晶体管开启,分别将所述上拉节点和所述输出端下拉至低电平。

[0050] 优选的是,第N-2级所述栅极驱动单元的输出信号为第N级所述栅极驱动单元的输入信号,第N-1级所述栅极驱动单元的输入信号为第N级所述栅极驱动单元的预下拉信号,第N+2级所述栅极驱动单元的输出信号为第N级所述栅极驱动单元的复位信号。

[0051] 一种显示装置,包括上述的栅极驱动电路。

[0052] 本发明的有益效果是:本发明中的栅极驱动单元、栅极驱动电路和相应的驱动方法,在上拉节点预充电之前,分别对下拉节点和预下拉节点下拉,从而将下拉节点和预下拉

节点较上拉节点充电提前拉低,具有较高的信赖性。

### 附图说明

[0053] 图1为现有技术中栅极驱动电路在信号延迟情况下的INPUT和PD时序图;

[0054] 图2为本发明实施例1中栅极驱动单元的结构框图;

[0055] 图3为本发明实施例1中栅极驱动单元的电路原理示意图;

[0056] 图4为本发明实施例1中栅极驱动电路的级联结构示意图;

[0057] 图5为本发明实施例2中栅极驱动电路的时序图;

[0058] 图6为现有技术中栅极驱动电路的时序图;

[0059] 附图标识中:

[0060] 1-输入模块;2-下拉控制模块;3-预下拉模块;4-下拉模块;5-降噪模块;6-复位模块;7-输出模块。

### 具体实施方式

[0061] 为使本领域技术人员更好地理解本发明的技术方案,下面结合附图和具体实施方式对本发明栅极驱动单元、栅极驱动电路、栅极驱动电路的驱动方法和显示装置作进一步详细描述。

[0062] 本发明的技术构思在于:根据现有技术中存在的不同模块不同阶段有同时开启的晶体管,造成信赖性降低的问题,设置使得可能因开启而影响信赖性的晶体管及时关闭的电路,即通过避免降噪模块中的晶体管与其他模块中的薄膜晶体管同时开启,提高信赖性。

[0063] 实施例1:

[0064] 本实施例提供一种栅极驱动单元及包括该栅极驱动单元的栅极驱动电路,该栅极驱动单元通过增加PD和PDCN的下拉级联设计,减小晶体管阈值偏移对栅极驱动电路的影响,从而提高其信赖性。

[0065] 该栅极驱动电路包括多个级联的栅极驱动单元,每一栅极驱动单元用于为一条栅线提供栅极驱动信号。如图2所示,该栅极驱动单元包括输入模块1、下拉控制模块2、预下拉模块3、下拉模块4、降噪模块5、复位模块6和输出模块7,其中:

[0066] 输入模块1,分别连接下拉模块4、输出模块7和输入信号INPUT,用于对上拉节点PU充电以将上拉节点PU的电压上拉为高电平,上拉节点PU为输入模块1与下拉模块4和输出模块7之间的连接点;

[0067] 下拉控制模块2,分别连接预下拉模块3、下拉模块4和预设电源VDD,用于将预下拉节点PDCN和下拉节点PD下拉为低电平,预下拉节点PDCN为下拉控制模块2与预下拉模块3、下拉模块4之间的连接点,下拉节点PD为下拉控制模块2与下拉模块4、降噪模块5之间的连接点;

[0068] 预下拉模块3,还分别连接下拉节点PD和参考电源VSS,用于在预下拉信号R\_PD的电压控制下将下拉节点PD和预下拉节点PDCN在上拉节点PU充电前下拉为低电平;

[0069] 下拉模块4,还连接参考电源VSS,用于在上拉节点PU的电压控制下将下拉节点PD下拉为低电平;

[0070] 降噪模块5,还连接上拉节点PU、输出端OUTPUT和参考电压VSS,用于在下拉节点PD

的电压控制下对上拉节点PU和输出端OUTPUT进行降噪；

[0071] 复位模块6,分别连接上拉节点PU、输出端OUTPUT、重置信号和参考电压,用于在重置信号的控制下复位上拉节点PU和输出端OUTPUT的电压；

[0072] 输出模块7,还与时钟信号CLK连接,用于在时钟信号CLK和上拉节点PU的电压控制下,通过输出端OUTPUT输出本级(即第N级,其中,N为大于2的整数)栅极驱动信号。

[0073] 该栅极驱动电路,通过避免降噪模块中的晶体管与其他模块中的薄膜晶体管同时开启,提高信赖性。栅极驱动单元中各模块的具体结构和连接关系如图3所示,以下将进行详细说明:

[0074] 输入模块1引入输入信号INPUT,输入模块1包括第一晶体管M1,第一晶体管M1的控制极和第一极与输入信号INPUT连接,第二极与上拉节点PU连接。

[0075] 下拉控制模块2提供下拉控制,下拉控制模块2包括第五晶体管M5和第六晶体管M6,其中:

[0076] 第五晶体管M5,其控制极与其第一极和预设电源VDD连接,第二极与预下拉节点PDCN连接;

[0077] 第六晶体管M6,其控制极与预下拉节点PDCN连接,第一极与第五晶体管M的第一极连接(即与预设电源VDD连接),第二极与下拉节点PD连接。

[0078] 预下拉模块3提前将PD和PDCN拉低,从而提前关闭降噪模块5中的晶体管。预下拉模块3包括第十一晶体管M11和第十二晶体管M12,其中:

[0079] 第十一晶体管M11,其控制极与预下拉信号R\_PD连接,第一极与参考电源VSS连接,第二极与预下拉节点PDCN连接;

[0080] 第十二晶体管M12,其控制极与预下拉信号R\_PD连接,第一极与参考电源VSS连接,第二极与下拉节点PD连接。

[0081] 下拉模块4将PD和PDCN拉低,下拉模块4包括第七晶体管M7和第八晶体管M8,其中:

[0082] 第七晶体管M7,其控制极与上拉节点PU连接,第一极与参考电源VSS连接,第二极与预下拉节点PDCN连接;

[0083] 第八晶体管M8,其控制极与上拉节点PU连接,第一极与参考电源VSS连接,第二极与下拉节点PD连接。

[0084] 复位模块6实现复位功能,复位模块6包括第二晶体管M2和第四晶体管M4,其中:

[0085] 第二晶体管M2,其控制极与复位信号RESET连接,第一极与参考电源VSS连接,第一极与上拉节点PU连接;

[0086] 第四晶体管M4,其控制极与复位信号RESET连接,第一极与参考电源VSS连接,第二极与输出端OUTPUT连接。

[0087] 降噪模块5提供降噪功能,保证信号纯度。降噪模块5包括第九晶体管M9和第十晶体管M10,其中:

[0088] 第九晶体管M9,其控制极与下拉节点PD连接,第一极与参考电源VSS连接,第二极与上拉节点PU连接;

[0089] 第十晶体管M10,其控制极与下拉节点PD连接,第一极与参考电源VSS连接,第二极与输出端OUTPUT连接。

[0090] 输出模块7输出本级(即第N级)栅极驱动信号,输出模块7包括第三晶体管M3和存

储电容C,其中:

[0091] 第三晶体管M3,其控制极和存储电容C的第一端与上拉节点PU连接,第一极与时钟信号CLK连接,第二极与存储电容C的第二端连接,第二极与存储电容C的第二端的连接点为输出端OUTPUT。

[0092] 其中,输入模块1、下拉控制模块2、预下拉模块3、下拉模块4、降噪模块5、复位模块6和输出模块7中的晶体管,为N型薄膜晶体管或者P型薄膜晶体管,此时,其第一极或第二极可以分别对应源极或者漏极;或者为N型薄膜晶体管与P型薄膜晶体管的组合。根据不同的应用场合,可以选用不同类型的薄膜晶体管,只需同时将选定类型的晶体管的端口极性按本实施例晶体管的端口极性在连接上做相应的改变即可,从而实现灵活控制,这里不再详述。

[0093] 在进行多个栅极驱动单元级联时,前两级(即第N-2级)栅极驱动单元的输出信号与本级(即第N级)栅极驱动单元的输入模块1连接,前一级(即第N-1级)栅极驱动单元的输入信号INPUT与本级(即第N级)栅极驱动单元的预下拉模块3连接,第N+2级栅极驱动单元的输出信号与本级(即第N级)栅极驱动单元的复位模块6连接,从而形成多行驱动。

[0094] 以4CLK模型为例,该栅极驱动电路中多个栅极驱动单元的级联如图4所示。 $n-2$ 行的OUTPUT是 $n$ 行GOA的INPUT,同时 $n+2$ 行的OUTPUT是 $n$ 行的RESET, $n-3$ 行的OUTPUT为 $n$ 行的R\_PD。

[0095] 本实施例的栅极驱动电路中,通过M11和M12,将 $n-3$ 行的Output与R\_PD连接,在INPUT信号给PU充电之前,提前将PD和PDCN拉低,提前关闭M9和M10,从而避免M1和M9同时开启的情况,从而能有效避免薄膜晶体管误开启,具有高信赖性。

[0096] 实施例2:

[0097] 与实施例1的栅极驱动电路相对应,本实施例提供一种栅极驱动电路的驱动方法,能有效避免薄膜晶体管误开启,具有高信赖性。

[0098] 根据图5所示的时序图,该驱动方法包括像素保持阶段、预下拉阶段、下拉阶段、输入阶段、输出阶段和复位阶段,其中:

[0099] 输入阶段:输入模块1接收前两级(即第N-2级)栅极驱动单元的输出模块7的输出信号作、并将该输出信号存储于上拉节点PU以对上拉节点PU充电;

[0100] 输出阶段:在时钟信号CLK的控制下,通过输出模块7的输出端OUTPUT输出高电平;

[0101] 像素保持阶段,在下拉节点PD的电压控制下,对上拉节点PU和输出端OUTPUT进行降噪;

[0102] 预下拉阶段:在前一级(即第N-1级)栅极驱动单元的输入信号INPUT的控制下,在上拉节点PU充电前预下拉预下拉节点PDCN和下拉节点PD的电压;

[0103] 下拉阶段:在上拉节点PU的电压控制下,下拉预下拉节点PDCN和下拉节点PD的电压;

[0104] 复位阶段:以第N+2级栅极驱动单元的输出模块7的输出信号,并根据该输出信号拉低上拉节点PU和输出端OUTPUT的电压。

[0105] 该栅极驱动电路的驱动方法,预下拉阶段中,在对上拉节点PU预充电的至少前一个(即第N-1个)充电周期,将下拉节点PD和预下拉节点PDCN的电压提前拉低,即通过预下拉模块3提前将PD和PDCN拉低,避免降噪模块5中的晶体管与其他模块中的薄膜晶体管同时开

启,提高信赖性。图5中,相对于本级(即第N级)栅极驱动信号OUTPUT,下拉节点PD和预下拉节点PDCN提前了三个充电周期预下拉至低电平,上拉节点PU提前了两个充电周期进行预充电。

[0106] 该栅极驱动电路的驱动方法具体包括步骤:

[0107] 在输入阶段,第一晶体管M1开启,在前两级(即第N-2级)栅极驱动单元的电压控制下,对上拉节点PU充电;

[0108] 在输出阶段,在时钟信号CLK的控制下,第三晶体管M3开启,输出端OUTPUT输出本级(即第N级)栅极驱动信号;

[0109] 在像素保持阶段,交替为高电平的预设电源VDD控制第五晶体管M5和第六晶体管M6开启,分别控制预下拉节点PDCN和下拉节点PD的电压,通过第九晶体管M9为上拉节点PU降噪,通过第十晶体管M10为输出端OUTPUT降噪。即,交替高电平的VDD控制PD,通过M9/M10一直给PU和OUTPUT降噪;

[0110] 在预下拉阶段,前一级(即第N-1级)栅极驱动单元的输入信号INPUT有效,第十一晶体管M11开启,将预下拉节点PDCN拉低;以及,第十二晶体管M12开启,将下拉节点PD拉低;同时,使得第九晶体管M9和第十晶体管M10关闭。即,R\_PD信号为高电平,M11和M12开启,将PD和PDCN拉低,关闭M9和M10,如图5中的时间段b,通过预下拉模块3中的M11和M12提前将PD和PDCN拉低,从而提前关闭M9和M10;

[0111] 在下拉阶段,在上拉节点PU的电压控制下,第七晶体管M7和第八晶体管M8开启,分别下拉预下拉节点PDCN和下拉节点PD的电压。该下拉阶段也即PU充电阶段,M1的栅极、源极为高电平,其开启给PU充电,M3开启,CLK为低电平,OUTPUT输出电平,即为VGH;在PU自举阶段,在存储电容C和M3 C<sub>gs</sub>的自举作用下,PU点电位自举至约2VGH,消除M3的V<sub>th</sub>漂移对输出信号的影响,实现更好的输出;

[0112] 在复位阶段,复位信号RESET有效,第二晶体管M2和第四晶体管M4开启,分别将上拉节点PU和输出端OUTPUT下拉至低电平。即RESET信号为高电平,M2和M4开启,将PU和OUTPUT拉至低电平。

[0113] 其中,前两级(即第N-2级)栅极驱动单元的输出信号为本级(即第N级)栅极驱动单元的输入信号INPUT,前一级(即第N-1级)栅极驱动单元的输入信号INPUT为本级(即第N级)栅极驱动单元的预下拉信号R\_PD,第N+2级栅极驱动单元的输出信号为本级(即第N级)栅极驱动单元的复位信号RESET。即,n-2行的OUTPUT是n行的INPUT,n+2行的OUTPUT是n行的RESET;n-3行的OUTPUT为n行的R\_PD,在INPUT信号给PU充电前,提前将PD和PDCN拉直低电平,关闭M9和M10。

[0114] 在像素保持阶段,PDCN和PD为高电平,M9和M10开启,持续为GOA栅极驱动单元的PU和OUTPUT降噪。在PU充电、自举和复位阶段,即PU为高电平时,M7和M8开启,PDCN和PD电位被拉低,M9和M10关闭,栅极驱动单元正常输出。

[0115] 本实施例的栅极驱动电路的驱动方法中,在上拉节点PU预充电之前,分别对PD和PDCN下拉,从而将PD和PDCN较PU充电提前拉低,具有较高的信赖性。

[0116] PD和PDCN点的拉低通过M7和M8进行,即当PU为高电平,M7和M8开启,PD和PDCN才被拉低,从而在PU预充电阶段,Input为高电平给PU充电,PU升为高电平,将PD和PDCN拉低,可见PU拉高与PD和PDCN拉低是同时的,各端点信号的时序图参考图5。

[0117] 而在现有技术中,并不设置预下拉模块,则根据当前的电路连接关系和驱动时序,如图6所示的时序图可知,PU电平上升沿和PD电平下降沿是同时的。在长时间工作后,GOA栅极驱动单元的晶体管 $V_{th}$ 有不同程度的漂移,信号也会有相应的延迟,如图1所示考虑信号延迟之后的INPUT和PD信号。在时间段a内,INPUT为高电平,M1开启,INPUT给PU充电;同时PD为高电平,M9开启,PD给PU降噪;则存在将INPUT信号(即n-2行OUTPUT)拉低的风险。另外,实际工作中,TFT特性会有漂移,相应信号存在一定的延迟,因此通常会出现如图1所示的延迟:即INPUT信号有一定的延迟,在时间段a内,Input为高平,M1开启给PU充电;PU为高电平,理论上要M7和M8开启及时将PD和PDCN拉低;而实际产品中PD和PDCN点拉低需要一个过程,尤其在M7和M8  $V_{th}$ 存在漂移时,这个过程会延长。从而,会存在INPUT、PD和PDCN同时为高电平的时间段,此时M1和M9同时开启,将INPUT(即n-2行的output)拉低。经Smartspice模拟,也确实发现M7和M8的阈值 $V_{th}$ 漂移量的余裕(margin)非常小,可接受的 $V_{th}$ 漂移量小,从而影响其信赖性。

[0118] 可见,实施例1中的栅极驱动电路和实施例2中相应的驱动方法,即使长期使用过程中M7和M8的 $V_{th}$ 有漂移,其栅极驱动电路也可以正常工作。而且,M11和M12的作用只是将PD和PDCN提前拉低,其需要的尺寸很小,对于边框影响非常小。

[0119] 由于目前车载、工控等显示产品为节省费用,需要采用GOA设计;同时其对显示面板信赖性高要求很高,需要采用高信赖性的GOA设计,本发明中的栅极驱动电路和相应的驱动方法能较好的应用于这些高信赖性要求场合。

[0120] 实施例3:

[0121] 本实施例提供一种显示装置,该显示装置包括实施例1的栅极驱动电路,且采用实施例2中的栅极驱动电路的驱动方法。

[0122] 该显示装置可以为:台式电脑、平板电脑、笔记本电脑、手机、PDA、GPS、车载显示、投影显示、摄像机、数码相机、电子手表、计算器、电子仪器、仪表、液晶面板、电子纸、电视机、显示器、数码相框、导航仪等任何具有显示功能的产品或部件,可应用于公共显示和虚拟显示等多个领域。

[0123] 该显示装置具有较好的显示品质。

[0124] 可以理解的是,以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式,然而本发明并不局限于此。对于本领域内的普通技术人员而言,在不脱离本发明的精神和实质的情况下,可以做出各种变型和改进,这些变型和改进也视为本发明的保护范围。

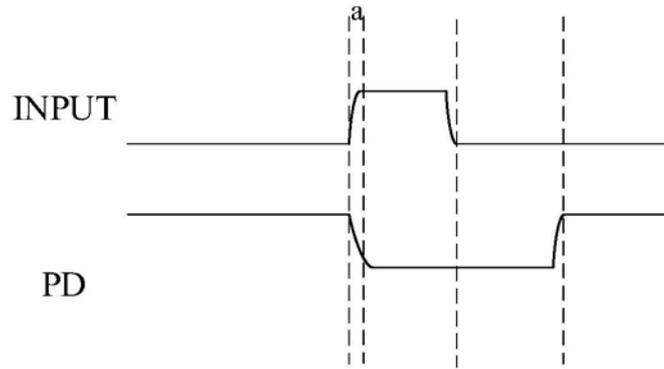


图1

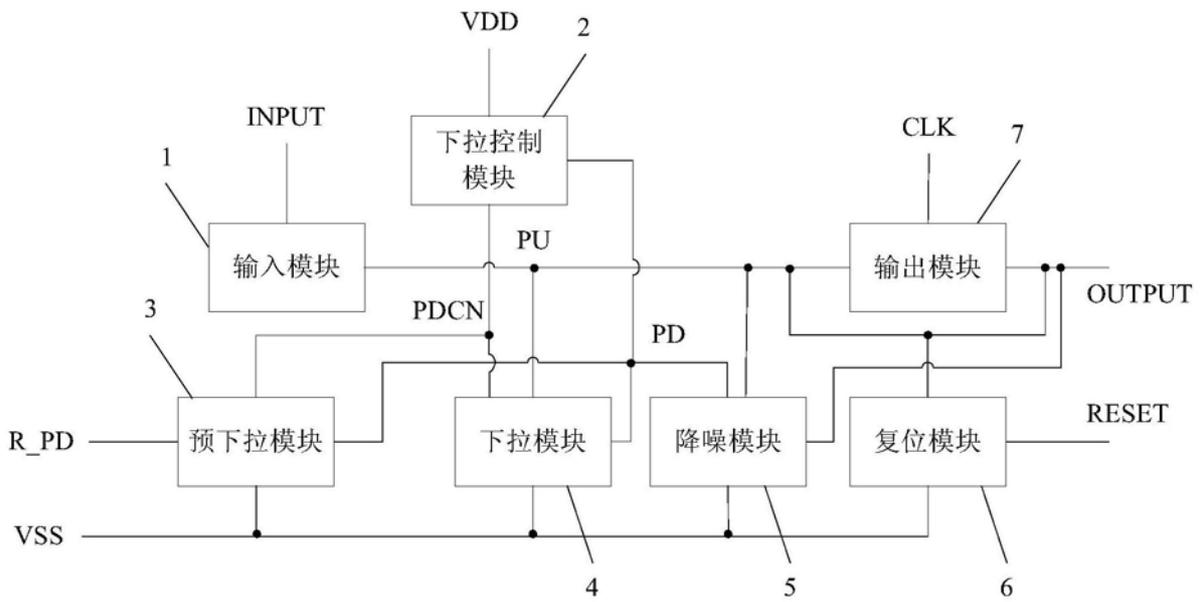


图2

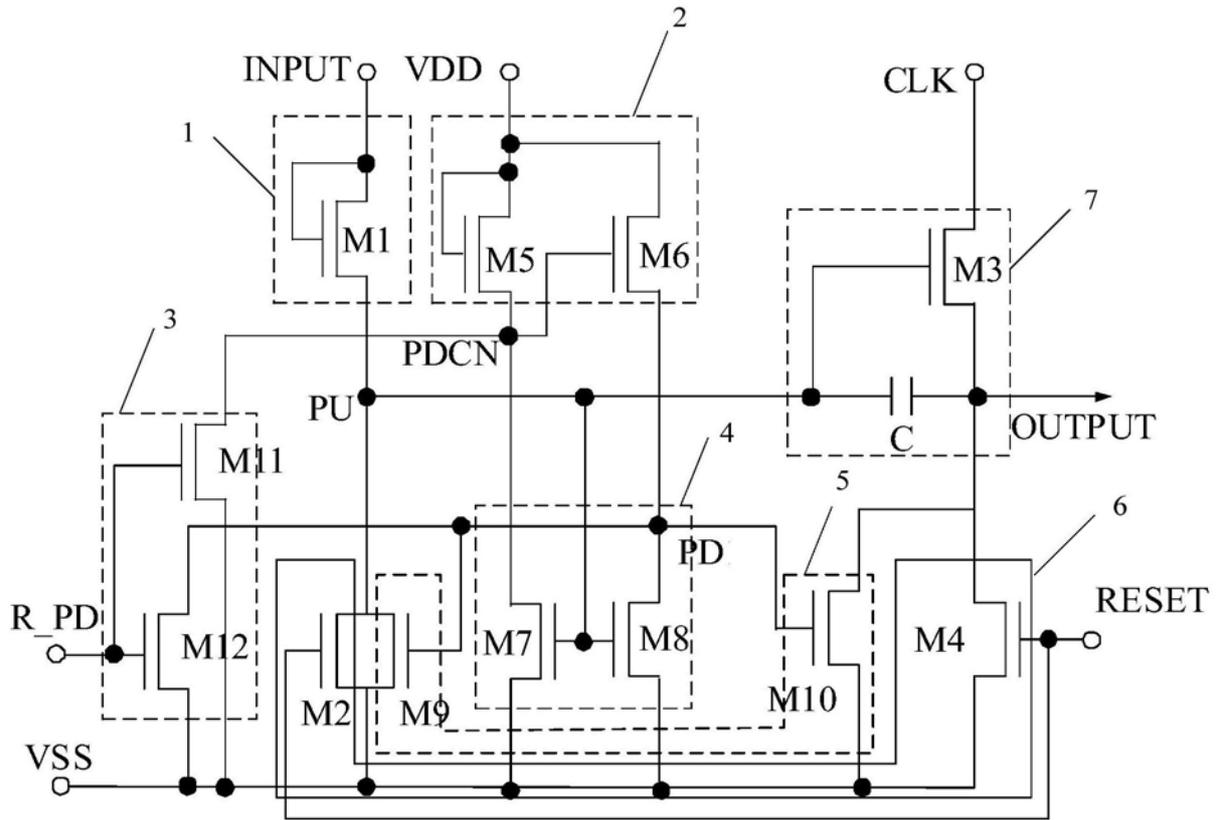


图3

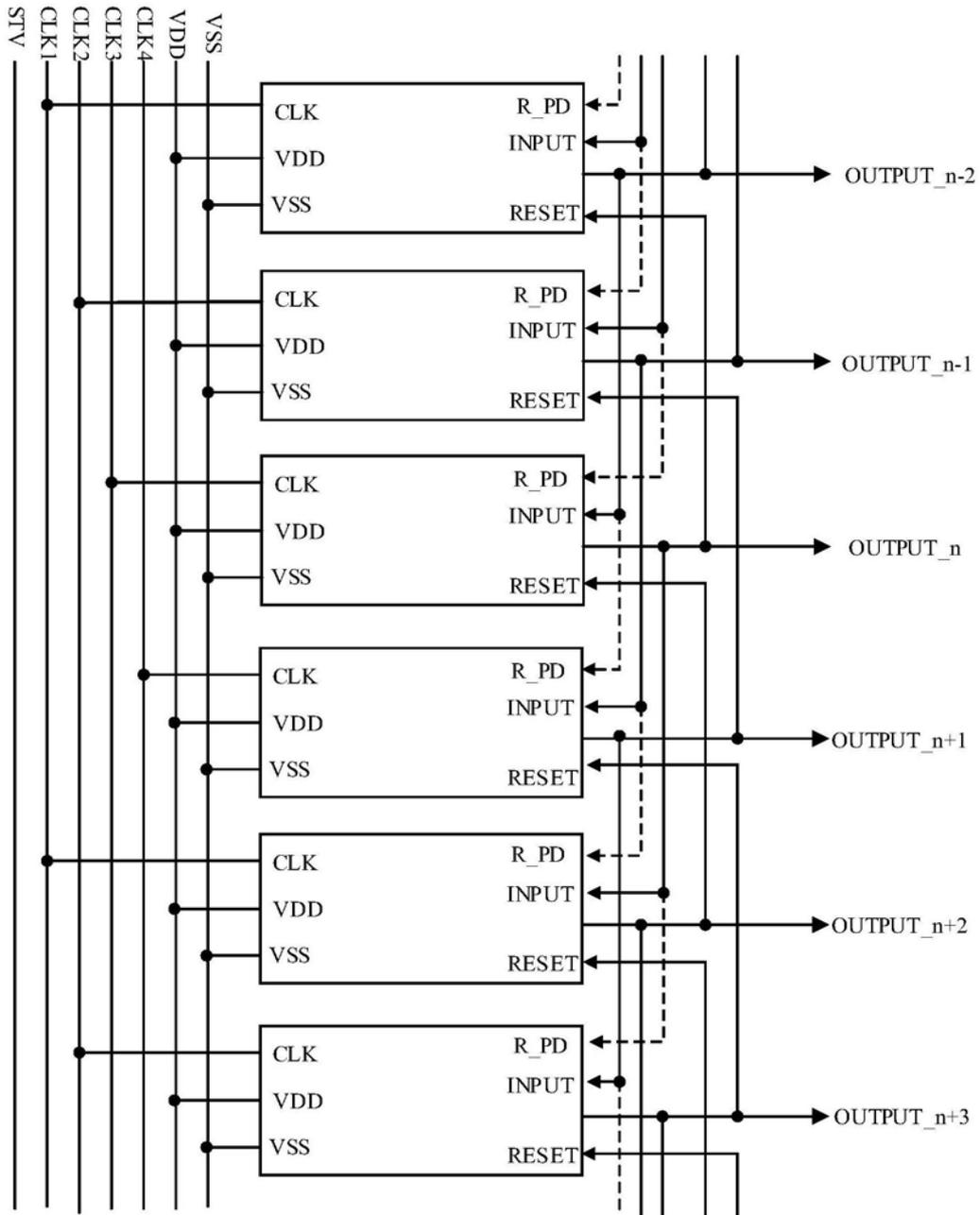


图4

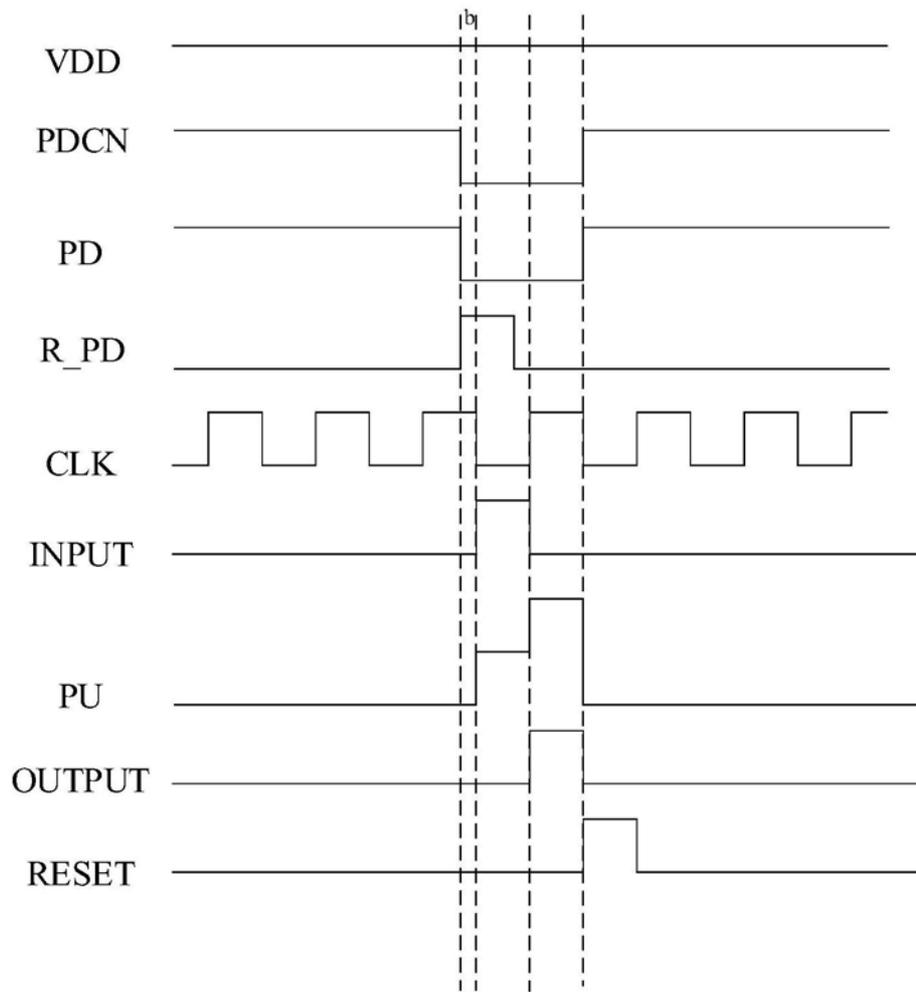


图5

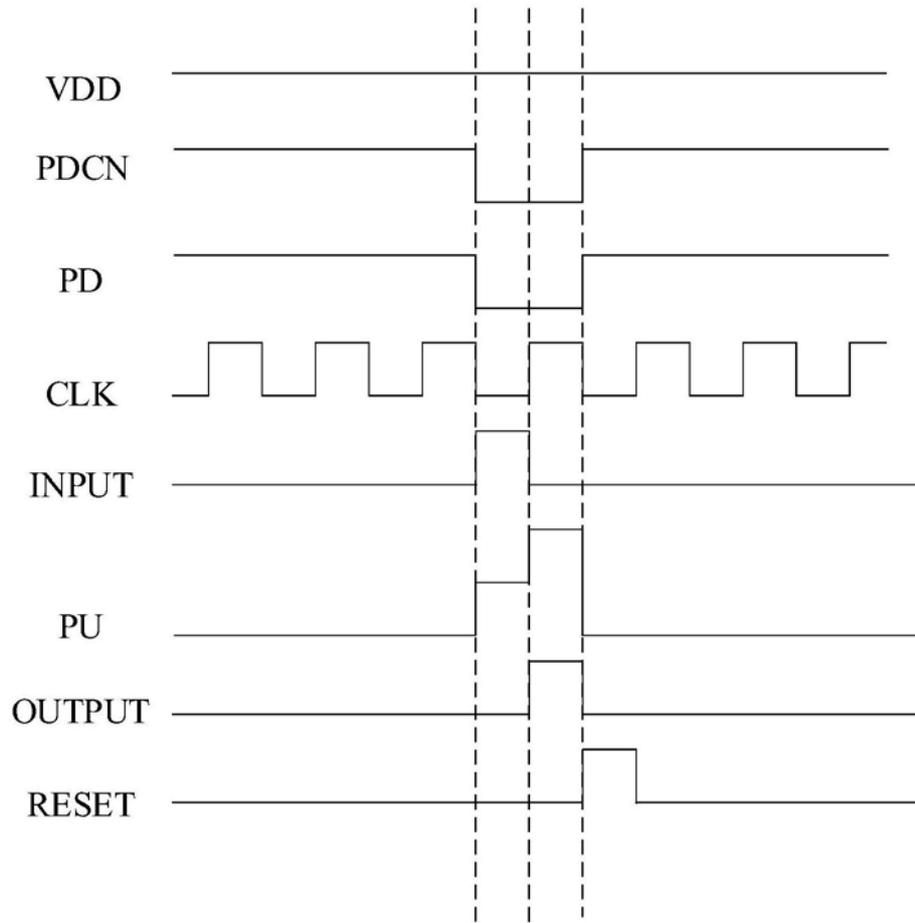


图6