

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6235918号

(P6235918)

(45) 発行日 平成29年11月22日(2017.11.22)

(24) 登録日 平成29年11月2日(2017.11.2)

(51) Int.Cl. F I
 H O 1 L 25/07 (2006.01) H O 1 L 25/04 C
 H O 1 L 25/18 (2006.01)

請求項の数 14 外国語出願 (全 16 頁)

(21) 出願番号	特願2014-11594 (P2014-11594)	(73) 特許権者	597161115
(22) 出願日	平成26年1月24日 (2014.1.24)		インターナショナル レクティファイアー
(65) 公開番号	特開2014-195045 (P2014-195045A)		コーポレーション
(43) 公開日	平成26年10月9日 (2014.10.9)		アメリカ合衆国 カリフォルニア州 90
審査請求日	平成26年3月27日 (2014.3.27)		245 エル セガンド ノース セブル
審判番号	不服2016-8623 (P2016-8623/J1)		ヴェーダ ブールバード 101
審判請求日	平成28年6月9日 (2016.6.9)	(74) 代理人	100147485
(31) 優先権主張番号	14/102,275		弁理士 杉村 憲司
(32) 優先日	平成25年12月10日 (2013.12.10)	(72) 発明者	ディーン フェルナンド
(33) 優先権主張国	米国 (US)		アメリカ合衆国 カリフォルニア州 90
(31) 優先権主張番号	61/774,484		501 トーレンス サンタフェアベニュー
(32) 優先日	平成25年3月7日 (2013.3.7)		ー 2434
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 シングルシャントインバータ回路に含まれるパワー・カッド・フラット・ノーリード (P Q F N)
) パッケージ

(57) 【特許請求の範囲】

【請求項 1】

リードフレームの上に置かれたドライバ集積回路 (I C) と、
 前記リードフレームの上に置かれたU相、V相及びW相パワースイッチと、
 前記ドライバ I C のサポート論理回路に結合された前記リードフレームの論理接地と、
 前記U相、V相及びW相パワースイッチのソースに結合された前記リードフレームの電力段接地と、

低電圧レベルシフトと、

を備え、

前記リードフレームの前記論理接地は、前記リードフレームの前記電力段接地から離れており、

前記リードフレームの前記電力段接地は更に、前記論理接地と前記電力段接地との電圧差を補償するように構成される前記低電圧レベルシフトに結合されている、前記ドライバ I C のゲートドライバに結合されている、パワー・カッド・フラット・ノーリード (P Q F N) パッケージ。

【請求項 2】

前記リードフレームの前記電力段接地を前記W相パワースイッチの前記ソースに接続する少なくとも1つのワイヤボンドを備える、請求項1記載の P Q F N パッケージ。

【請求項 3】

前記W相パワースイッチの前記ソースを前記V相パワースイッチの前記ソースに接続す

10

20

る少なくとも1つのワイヤボンドを備える、請求項1記載のPQFNパッケージ。

【請求項4】

前記V相パワースイッチの前記ソースを前記U相パワースイッチの前記ソースに接続する少なくとも1つのワイヤボンドを備える、請求項1記載のPQFNパッケージ。

【請求項5】

前記PQFNパッケージの電力段接地端子を前記W相パワースイッチの前記ソースに接続する少なくとも1つのワイヤボンドを備える、請求項1記載のPQFNパッケージ。

【請求項6】

前記PQFNパッケージの論理接地端子を前記ドライバICの前記サポート論理回路に接続する少なくとも1つのワイヤボンドを備える、請求項1記載のPQFNパッケージ。

10

【請求項7】

前記U相パワースイッチの前記ソースを前記リードフレームを経て前記ドライバICのゲートドライバに接続する少なくとも1つのワイヤボンドを備える、請求項1記載のPQFNパッケージ。

【請求項8】

前記U相、V相及びW相パワースイッチは前記リードフレームのそれぞれのダイパッドの上に置かれる、請求項1記載のPQFNパッケージ。

【請求項9】

前記U相、V相及びW相パワースイッチは前記リードフレームを経てそれぞれ別のU相、別のV相及び別のW相パワースイッチに結合されている、請求項1記載のPQFNパッケージ。

20

【請求項10】

前記U相、V相及びW相パワースイッチはファストリバースエピタキシャルダイオード電界効果トランジスタ(FREDFT)を備える、請求項1記載のPQFNパッケージ

【請求項11】

前記U相、V相及びW相パワースイッチは絶縁ゲートバイポーラトランジスタ(IGBT)を備える、請求項1記載のPQFNパッケージ。

【請求項12】

前記U相、V相及びW相パワースイッチはIII-V族トランジスタを備える、請求項1記載のPQFNパッケージ。

30

【請求項13】

前記PQFNパッケージは12mm×12mmより大きいフットプリントを有する、請求項1記載のPQFNパッケージ。

【請求項14】

前記PQFNパッケージは12mm×12mmより小さいフットプリントを有する、請求項1記載のPQFNパッケージ。

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、2013年3月7日出願された「Power Quad Flat No-Lead (PQFN) Package in a Single Shunt Inverter Circuit」という名称の米国特許仮出願第61/774,484号の優先権の利益を主張する。本出願は、2012年10月26日出願された「Compact Wirebonded Power Quad Flat No-Lead (PQFN) Package」という名称の特許出願第13/662,224号の一部継続出願でもある。そして、この一部継続出願は2011年2月24日出願された「Multi-Chip Module (MCM) Power Quad Flat No-Lead (PQFN) Package a Leadframe for Electrical Interconnections」という名称の特許出願第13/034,519号の優先権の利益を主張し、この特許出願は更に2010年12月13日出願された「Low Cost Leadframe Based High Power Density Full Bridge Power Device」という名称の米国特許仮出願第61/459,527号の優先権の利益を主張している。本出願は上記の出願のすべてに対して優先権の利益を主張する。更に、上記の

40

50

すべての出願の開示内容は参照することにより本出願に全て組み込まれるものとする。

【0002】

定義

本明細書で使用される、用語「III-V族」は少なくとも1つのIII族元素と少なくとも1つのV族元素を含む化合物半導体を意味する。例えば、III-V族半導体は、III族窒化物半導体の形を取り得る。「III族窒化物」又は「III-N」は窒素とアルミニウム (Al)、ガリウム (Ga)、インジウム (In) 及びボロン (B) などの少なくとも1つのIII族元素を含む化合物半導体を意味し、例えば窒化アルミニウムガリウム ($\text{Al}_x\text{Ga}_{(1-x)}\text{N}$)、窒化インジウムガリウム ($\text{In}_y\text{Ga}_{(1-y)}\text{N}$)、窒化アルミニウムインジウムガリウム ($\text{Al}_x\text{In}_y\text{Ga}_{(1-x-y)}\text{N}$)、砒化リン化窒化ガリウム ($\text{GaAs}_a\text{P}_b\text{N}_{(1-a-b)}$)、砒化リン化窒化アルミニウムインジウムガリウム ($\text{Al}_x\text{In}_y\text{Ga}_{(1-x-y)}\text{As}_a\text{P}_b\text{N}_{(1-a-b)}$) などの合金を含むが、これらに限定されない。また、III族窒化物は一般に、 Ga 極性、 N 極性、半極性又は非極性結晶方位などの任意の極性を有するが、これらに限定されない。また、III族窒化物材料は、ウルツ鉱型、閃亜鉛鉱型、あるいは混合ポリタイプ (結晶多形) のいずれかを含むことができ、単結晶又はモノクリスタル、多結晶、または非結晶の結晶構造を含むことができる。本明細書で使用される、「窒化ガリウム」、「 GaN 」はIII族窒化物化合物半導体を意味し、III族元素は若干量又は相当量のガリウムを含むが、ガリウムに加えて他のIII族元素も含むことができる。また、III-V族又は GaN トランジスタはIII-V族又は GaN トランジスタを低電圧IV族トランジスタとカスコード接続することによって形成される複合高電圧エンハンスメントモードトランジスタを指す。

10

20

【0003】

さらに、本明細書で使用される、用語「IV族」はシリコン (Si)、ゲルマニウム (Ge) 及び炭素 (C) などの少なくとも1つのIV族の元素を意味し、例えばシリコンゲルマニウム (SiGe) 及び炭化シリコン (SiC) などの化合物半導体も含む。また、IV族は歪化されたIV族材料を生成するためにIV族元素の2つ以上の層又はIV族元素のドーピングを含む半導体材料も意味し、例えばシリコン・オン・インシュレータ (SOI)、酸素注入分離基板 (SIMOX) 及びシリコンオンサファイヤ (SOS) などのIV族ベースの複合基板又はシリコン複合基板も含み得る。

【背景技術】

30

【0004】

幾つかの半導体装置を組み合わせ収容するパッケージは、関連及び依存する回路コンポーネントを近接近に保つことによって、回路設計を簡単化し、コストを低減し、より高い効率及び向上した性能をもたらすことができる。更に、これらのパッケージはコンポーネントの個別パッケージを使用する場合に比べて、アプリケーションの統合を容易にするとともに電氣的及び熱的性能を高めることができる。

【0005】

カッド・フラット・ノーリード (QFN) パッケージは、パワー半導体装置等の電気コンポーネントのためのリードレスパッケージである。 QFN パッケージはパッケージ内に収容する電気コンポーネントへの接続にリードフレーム及びワイヤボンドを使用することができる。 QFN は多くの場合複雑さが制限され、特により複雑な構成に対して電気配線のルーティングが難問になり得る。従って、 QFN パッケージは多くの場合簡単な構成を取り、少数の電気コンポーネントを収容するものとなる。

40

【発明の概要】

【0006】

シングルシャントインバータ回路に含まれるパワー・カッド・フラット・ノーリード (PQFN) パッケージが概して図面の少なくとも一つに示され且つ又関連して明細書で説明され、請求の範囲に完全に特定される。

【図面の簡単な説明】

【0007】

50

【図 1 A】パワー・カッド・フラット・ノーリード（P Q F N）パッケージの模範的な回路の回路図を示す。

【図 1 B】模範的なシングルシャントインバータ回路に含まれる P Q F N パッケージの回路図を示す。

【図 2 A】模範的な P Q F N パッケージのリードフレームの上面図を示す。

【図 2 B】ワイヤボンドを備える模範的な P Q F N パッケージの上面図を示す。

【図 2 C】模範的な P Q F N パッケージの底面図を示す。

【図 2 D】模範的な P Q F N パッケージの一部分の断面図を示す。

【発明を実施するための形態】

【0008】

10

以下の説明には本発明の実施形態に関連する具体的な情報が含まれる。当業者に明らかのように、本発明は本明細書に具体的に記載される態様と異なる態様で実施することができる。本願の添付図面及びそれらの詳細説明は模範的な実施形態を対象にしているにすぎない。特に断らない限り、図中の同等もしくは対応する構成要素は同等もしくは対応する参照番号で示されている。更に、本願の図面及び説明図は一般に正しい寸法比で示されておらず、実際の相対寸法に対応するものではない。

【0009】

図 1 A はパワー・カッド・フラット・ノーリード（P Q F N）100 の模範的な回路の回路図を示す。図 1 B はシングルシャントインバータ回路 150 に含まれる P Q F N パッケージの回路図を示す。

20

【0010】

図 1 A 及び図 1 B につき説明すると、P Q F N パッケージ 100 は、ドライバ集積回路（I C）102、U 相パワースイッチ 104 a 及び 104 b、V 相パワースイッチ 106 a 及び 106 b、及び W 相パワースイッチ 108 a 及び 108 b を含む。ドライバ I C 102 は、入力論理部 162、レベルシフタ 164、不足電圧保護回路 168、比較器 170、ラッチ 172、ゲートドライバ 174 a、ゲートドライバ 174 b、キャパシタ C R、及びブートストラップダイオード D 1、D 2 及び D 3 を含む。

【0011】

図 1 B のシングルシャントインバータ回路 150 内において、P Q F N パッケージ 100 は、バス電圧源 114、供給電圧源 116、マイクロコントローラ 124、モータ 126、抵抗 R 1、キャパシタ C 1、ブートストラップキャパシタ C B 1、C B 2、C B 3、及びシャント R S に接続される。P Q F N パッケージ 100、マイクロコントローラ 124、モータ 126、抵抗 R 1、キャパシタ C 1、ブートストラップキャパシタ C B 1、C B 2、C B 3、及びシャント R S のどれもプリント回路板（P C B）に装着することができる。更に、P Q F N パッケージ 100 は、P C B 上の導電リードを介してバス電圧源 114、供給電圧源 116、マイクロコントローラ 124、モータ 126、キャパシタ C 1、ブートストラップキャパシタ C B 1、C B 2、C B 3、及びシャント R S のいずれにも接続することができる。

30

【0012】

P Q F N パッケージ 100 は、V B U S 端子 112 a、V C C 端子 112 b、H I N 1 端子 112 c、H I N 2 端子 112 d、H I N 3 端子 112 e、L I N 1 端子 112 f、L I N 2 端子 112 g、L I N 3 端子 112 h、E N 端子 112 i、F A U L T 端子 112 j、R C I N 端子 112 k、I M 端子 112 l、V S S 端子 112 m、V C O M 端子 112 n、S W 1 端子 112 o、S W 2 端子 112 p、S W 3 端子 112 q、V B 1 端子 112 r、V B 2 端子 112 s、及び V B 3 端子 112 t も含み、これらの端子は総称して I/O 端子という。

40

【0013】

P Q F N パッケージにおいて、V B U S 端子 112 a はバス電圧源 114 から入力として V B U S を受ける。V C C 端子 112 b は供給電圧源 116 からドライバ I C 102 への入力として V C C を受ける。H I N 1 端子 112 c、H I N 2 端子 112 d 及び H I N

50

3 端子 1 1 2 e はマイクロコントローラ 1 2 4 からドライバ IC 1 0 2 への入力として H I N 1, H I N 2 及び H I N 3 をそれぞれ受信する。L I N 1 端子 1 1 2 f、L I N 2 端子 1 1 2 g 及び L I N 3 端子 1 1 2 h はマイクロコントローラ 1 2 4 からドライバ IC 1 0 2 への入力として L I N 1, L I N 2 及び L I N 3 をそれぞれ受信する。E N 端子 1 1 2 i はマイクロコントローラ 1 2 4 からドライバ IC 1 0 2 への入力として E N を受信する。F A U L T 端子 1 1 2 j はマイクロコントローラ 1 2 4 から入力として F A U L T を受信する。R C I N 端子 1 1 2 k は抵抗 R 1 及びキャパシタ C 1 からドライバ IC 1 0 2 への入力として R C I N を受ける。I M 端子 1 2 1 l は U 相パワースイッチ 1 0 4 b、V 相パワースイッチ 1 0 6 b 及び W 相パワースイッチ 1 0 8 b からドライバ IC 1 0 2 及びマイクロコントローラ 1 2 4 への入力として I T R I P を受ける。V S S 端子 1 1 2 m は論理接地 G_{VSS} からドライバ IC 1 0 2 への入力として V S S を受ける。V C O M 端子 1 1 2 n は電力段接地 G_{COM} からドライバ IC 1 0 2、U 相パワースイッチ 1 0 4 b、V 相パワースイッチ 1 0 6 b 及び W 相パワースイッチ 1 0 8 b への入力として V C O M を受ける。S W 1 端子 1 1 2 o は U 相出力ノード 1 1 0 a からモータ 1 2 6 への出力として S W 1 を受ける。ドライバ IC 1 0 2 も U 相出力ノード 1 1 0 a から入力として S W 1 を受ける。S W 2 端子 1 1 2 p は V 相出力ノード 1 1 0 b からモータ 1 2 6 への出力として S W 2 を受ける。ドライバ IC 1 0 2 も V 相出力ノード 1 1 0 b から入力として S W 2 を受ける。S W 3 端子 1 1 2 q は W 相出力ノード 1 1 0 c からモータ 1 2 6 への出力として S W 3 を受ける。ドライバ IC 1 0 2 も W 相出力ノード 1 1 0 c から入力として S W 3 を受ける。V B 1 端子 1 1 2 r はブートストラップキャパシタ C B 1 からドライバ IC 1 0 2 への入力として V B 1 を受ける。V B 2 端子 1 1 2 s はブートストラップキャパシタ C B 2 からドライバ IC 1 0 2 への入力として V B 2 を受ける。V B 3 端子 1 1 2 t はブートストラップキャパシタ C B 3 からドライバ IC 1 0 2 への入力として V B 3 を受ける。

【0014】

様々な実施形態において、I/O 端子 1 1 2 の数、量及び位置を図に示すものと相違させることができることは理解されよう。例えば、様々な実施形態において、ドライバ IC 1 0 2 と異なる機能及び/又は I/O 要件を有する異なるドライバ IC を使用することができる。この変更は P Q F N パッケージ 1 0 0 の I/O 端子 1 1 2 にも、他の接続にも反映させることができる。一つの特定の例として、一実施形態においては、ドライバ IC 1 0 2 をその代わりにドライバ IC 1 0 2 とマイクロコントローラ 1 2 4 の機能を組み込んだ機能統合 IC とすることができる。この場合にはマイクロコントローラ 1 2 4 の機能用に追加の I/O 端子 1 1 2 が必要とされるが、F A U L T 端子 1 1 2 j 等の所定の I/O 端子 1 1 2 が不要になる。

【0015】

P Q F N パッケージ 1 0 0 は多相パワーインバータ用であり、ドライバ IC 1 0 2 はフルブリッジ構成の U 相パワースイッチ 1 0 4 a 及び 1 0 4 b、V 相パワースイッチ 1 0 6 a 及び 1 0 6 b、及び W 相パワースイッチ 1 0 8 a 及び 1 0 8 b を駆動する高電圧 IC (H V I C) とすることができる。ドライバ IC 1 0 2 の例として、インターナショナル・レクティファイアー社から市販されている「第 5 世代」H V I C (登録商標)がある。本実施形態においては、U 相パワースイッチ 1 0 4 a 及び 1 0 4 b、V 相パワースイッチ 1 0 6 a 及び 1 0 6 b、及び W 相パワースイッチ 1 0 8 a 及び 1 0 8 b は、縦導通型パワーデバイス、例えばファスト・リバーサ・エピタキシャル・ダイオード・電界効果トランジスタ (F R E D F E T) のような IV 族半導体パワー金属-酸化物-半導体電界トランジスタ (パワー MOS F E T) 又は IV 族半導体絶縁ゲートバイポーラトランジスタ (I G B T) である。他の実施形態においては、III-V 族半導体 F E T、H E M T (高電子移動度トランジスタ)、特に G a N F E T 及び/又は H E M T を U 相パワースイッチ 1 0 4 a 及び 1 0 4 b、V 相パワースイッチ 1 0 6 a 及び 1 0 6 b、及び W 相パワースイッチ 1 0 8 a 及び 1 0 8 b のパワーデバイスとして使用することができる。上で定義したように、本明細書で使用する「窒化ガリウム」又は「G a N」は III 族窒化物化合物半導体を意味し、II 族元素は若干量又は相当量のガリウムを含むが、ガリウムに加えて他の III 族元素も含

10

20

30

40

50

むことができる。前述したように、III-V族又はGaNトランジスタは、III-V族又はGaNトランジスタを低電圧IV族トランジスタとカスコード接続することによって形成される複合高電圧エンハンスメントモードトランジスタも指す。PQFNパッケージ100はフルブリッジパワーデバイスを提供するが、代替実施形態は特定の用途により要求される他のパッケージ構成を提供することができる。

【0016】

PQFNパッケージ100において、HIN1、HIN2及びHIN3は高圧側トランジスタであるU相パワースイッチ104a、V相パワースイッチ106a及びW相パワースイッチ108a用の制御信号である。入力論理部162はHIN1、HIN2及びHIN3を受信し、それらをレベルシフタ164にそれぞれ供給する。本実施形態においては、レベルシフタ164は、例えば約600ボルトを維持することができる成端を有する高電圧レベルシフタである。レベルシフトされたバージョンのHIN1、HIN2及びHIN3は図1Aに示すようにゲートドライバ174aにより受信され、U相パワースイッチ104a、V相パワースイッチ106a及びW相パワースイッチ108aにハ高圧側ゲート信号を供給する。ゲートドライバ174aは更にU相出力ノード110a、V相出力ノード110b及びW相出力ノード110cからSW1、SW2及びSW3をそれぞれ受信する。それによって、ドライバIC102はHIN1、HIN2及びHIN3から高圧側ゲート信号H1、H2及びH3をそれぞれ発生する。

10

【0017】

同様に、LIN1、LIN2及びLIN3は低圧側トランジスタであるU相パワースイッチ104b、V相パワースイッチ106b及びW相パワースイッチ108b用の制御信号である。入力論理部162はLIN1、LIN2及びLIN3を受信し、それらをレベルシフタ166にそれぞれ供給する。本実施形態においては、レベルシフタ166は低電圧レベルシフタであり、論理接地 G_{VSS} と電力段接地 G_{COM} との差を補償する。これは、例えば約1〜約2ボルトとすることができる。レベルシフトされたバージョンのLIN1、LIN2及びLIN3は図1Aに示すようにゲートドライバ174bにより受信され、U相パワースイッチ104b、V相パワースイッチ106b及びW相パワースイッチ108bに低圧側ゲート信号を供給する。それによって、ドライバIC102はLIN1、LIN2及びLIN3から低圧側ゲート信号L1、L2及びL3をそれぞれ発生する。

20

【0018】

よって、ドライバIC102はゲートドライバ174a及び174bを使ってU相パワースイッチ104a及び104b、V相パワースイッチ106a及び106b、及びW相パワースイッチ108a及び108bのスイッチングを駆動してモータ126を給電し、これによりモータ電流 I_M が発生する。本実施形態においては、ゲートドライバ174a及び174bはU相パワースイッチ104a及び104b、V相パワースイッチ106a及び106b、及びW相パワースイッチ108a及び108bのそれぞれに対してインピーダンス整合される。よって、ゲートドライバ174a及び174bはゲート抵抗なしでU相パワースイッチ104a及び104b、V相パワースイッチ106a及び106b、及びW相パワースイッチ108a及び108bを駆動することができ、それによりPQFNパッケージ100をより小型にすることが可能になる。

30

40

【0019】

VBUSはバス電圧源114からのバス電圧であり、この電圧はU相パワースイッチ104a、V相パワースイッチ106a及びW相パワースイッチ108aのそれぞれのドレインに結合される。一例として、バス電圧源114はAC-DC整流器とすることができる。ACは一例として、例えば230ボルトの出力電圧とすることができる。DC電圧は、例えばVBUS用に約300ボルトから約400ボルトにすることができる。

【0020】

VCCは供給電圧源116からのドライバIC102用の供給電圧であり、この電圧は例えば約15ボルトとすることができる。図1Aに示すように、ゲートドライバ174bはVCCで給電される。一部の実施形態においては、供給電圧源116はVBUSからV

50

CCを発生する。VB1、VB2及びVB3はドライバIC102のためのブートストラップ電圧であり、それぞれブートストラップキャパシタCB1、CB2及びCB3により供給される。ブートストラップキャパシタCB1、CB2及びCB3は、例えばそれぞれブートストラップダイオードD1、D2及びD3により充電される。ブートストラップキャパシタCB1はVB1端子112rとSW3端子112qとの間に結合される。ブートストラップキャパシタCB2はVB1端子112sとSW3端子112pとの間に結合される。ブートストラップキャパシタCB3はVB1端子112tとSW3端子112oとの間に結合される。

【0021】

図示の実施形態においては、VCCは不足電圧保護回路168に結合される。不足電圧保護回路168は、VCCが例えば約9ボルトの閾値電圧以下に下がる時不足電圧状態を検出する。VCCは入力論理部162に不足電圧状態を知らせ、ドライバIC102のスイッチングをディセーブルする。ドライバIC102のスイッチングはENを用いて変更することもできる。ENはマイクロコントローラ124がドライバIC102のスイッチングをエネーブルするのに使用できる。特に、ドライバIC102はENに応答してH1、H2、H3、L1、L2及びL3のスイッチングをエネーブルするように構成される。

【0022】

図1Aは、ドライバIC102に供給されるモータ電流 I_M をITRIPとして示している。ドライバIC102はITRIPを過電流保護のために使用している。例えば、図1AはITRIPをキャパシタCRにより発生される基準電圧と比較する比較器170を示している。ITRIPが基準電圧を超過すると、比較器170はラッチ172をトリガし、ラッチ172はFAULTをFAULT端子112jに供給して過電流状態をマイクロコントローラ124に知らせる。入力論理部162もFAULTを受信し、ドライバIC102のスイッチングを無効にする。ドライバIC102はRCINを用いてラッチを自動的に過電流保護からリセットする。図1Bに示すように、キャパシタC1を充電するために抵抗R1がVCC端子112bとRCIN端子112kとの間に結合される。キャパシタC1はRCIN端子112kとVSS端子112mとの間に結合される。抵抗R1及びキャパシタC1は過電流保護に対する自動リセットのタイミングを変更するために変えることができる。

【0023】

VSSは、論理接地 G_{VSS} からの、ドライバIC102のサポート論理回路の論理接地である。一例として、図1AはVSSをキャパシタCRの論理接地として示している。VSSはサポート論理回路の他のコンポーネントのための論理接地でもある。サポート論理回路は入力論理部162、レベルシフタ164、不足電圧保護回路168、比較器170、ラッチ172及びキャパシタCRを含むが異なるコンポーネントを含むこともできる。VCOMは、電力段接地 G_{COM} からの、U相パワースイッチ104a及び104b、V相パワースイッチ106a及び106b、及びW相パワースイッチ108a及び108bの電力段接地である。図1Aは、パッケージ100内のU相パワースイッチ104a及び104b、V相パワースイッチ106a及び106b、及びW相パワースイッチ108a及び108bのソースに接続されたVCOMを示している。図1Aに示すように、VCOMはドライバIC102のゲートドライバ174bに結合される。

【0024】

電力段接地と別個の論理接地はシングルシャントインバータ回路150にシャントRSを用いることで与えられる。シャントRSはVCOM端子112nを経てU相パワースイッチ104b、V相パワースイッチ106b、及びW相パワースイッチ108bの各々のソースにも結合される。従って、図1Aに示すモータ126からのモータ電流 I_M はU相パワースイッチ104b、V相パワースイッチ106b、及びW相パワースイッチ108bからの合成相電流である。モータ電流 I_M はIM端子112lを介してマイクロコントローラ124に供給される。マイクロコントローラ124は、それぞれの相電流(U、V

10

20

30

40

50

及びW)を再構成するために、モータ電流 I_M を用いてHIN1, HIN2, HIN3, LIN1, LIN2及びLIN3を制御することによってパルス幅変調(PWM)を制御する。

【0025】

このように、本実施形態においては、PQFNパッケージ100は電力段接地と別個の論理接地を備える。U相パワースイッチ104a及び104b、V相パワースイッチ106a及び106b、及びW相パワースイッチ108a及び108bのスイッチング中に、シャントRSの両端間に電圧が発生し得る。論理接地を電力段接地と別個にすることによって、サポート論理回路のためのVCCをシャントRS間の電圧ではなく接地に対するものとすることができる。従って、別々の接地を使用することによって、パッケージ100は、さもなければU相パワースイッチ104a及び104b、V相パワースイッチ106a及び106b、及びW相パワースイッチ108a及び108bからの過度のスイッチング電圧により生じ得るラッチアップ及びノイズ誤作動から保護される。

【0026】

一般的なQFNパッケージは簡単な構成で少数の電気コンポーネントを備えた制限された複雑さを有する。もっと複雑な構成に対しては、接続ワイヤを配線交差及び配線短絡を避けてルーティングすることが困難になる。更に、長い配線は電機的及び熱的性能に悪影響を及ぼす。しかしながら、本開示の様々な実施形態によるPQFNは、配線交差及び配線短絡の回避及び高い電氣的及び熱的性能を達成しながら、一般的なQFNパッケージよりも大幅に複雑にすることができる。更に、PQFNパッケージはシングルシャント回路において電力段から分離した論理接地を達成することができる。

【0027】

次に図2A、2B及び2Cにつき説明すると、図2Aは図2B及び2CのPQFNパッケージ200のリードフレームの上面図を示す。図2BはPQFNパッケージ200の上面図を示す。図2CはPQFNパッケージ200の底面図を示す。本実施形態においては、PQFNパッケージ200はマルチチップモジュール(MCM)PQFNパッケージであり、このパッケージは12mm×12mmのフットプリント(設置面積)を有するものとし得る。他の実施形態においては、PQFNパッケージ200は12mm×12mmより大きいフットプリントを有するものとし得る。更に他の実施形態においては、PQFNパッケージ200は12mm×12mmより小さいフットプリントを有するものとし得る。

【0028】

PQFNパッケージ200は図1A及び1BのPQFNパッケージ100に対応する。例えば、PQFNパッケージ200は、図1AのドライバIC102、U相パワースイッチ104a及び104b、V相パワースイッチ106a及び106b、及びW相パワースイッチ108a及び108bにそれぞれ対応する、ドライバIC202、U相パワースイッチ204a及び204b、V相パワースイッチ206a及び206b、及びW相パワースイッチ208a及び208bを含む。更に、PQFNパッケージ200は、PQFNパッケージ100内のVBUS端子112a、VCC端子112b、HIN1端子112c、HIN2端子112d、HIN3端子112e、LIN1端子112f、LIN2端子112g、LIN3端子112h、EN端子112i、FAULT端子112j、RCIN端子112k、IM端子112l、VSS端子112m、VCOM端子112n、SW1端子112o、SW2端子112p、SW3端子112q、VB1端子112r、VB2端子112s、及びVB3端子112tにそれぞれ対応する、VBUS端子212a、VCC端子212b、HIN1端子212c、HIN2端子212d、HIN3端子212e、LIN1端子212f、LIN2端子212g、LIN3端子212h、EN端子212i、FAULT端子212j、RCIN端子212k、IM端子212l、VSS端子212m(「論理接地端子212m」とも称される)、VCOM端子212n(「電力段接地端子212n」とも称される)、SW1端子212o(「U相出力端子212o」とも称される)、SW2端子212p(「V相出力端子212p」とも称される)、S

W 3 端子 2 1 2 q (「W 相出力端子 2 1 2 q」とも称される)、V B 1 端子 2 1 2 r、V B 2 端子 2 1 2 s、及び V B 3 端子 2 1 2 t (「I / O 端子 2 1 2」)との称される)を含む。

【0029】

図 2 A は、ドライバ I C ダイパッド 2 2 0、W 相ダイパッド 2 2 2 a、V 相ダイパッド 2 2 2 b、U 相ダイパッド 2 2 2 c、共通ダイパッド 2 2 8 を含むリードフレーム 2 6 0 を示す。リードフレームアイランド 2 3 3 はドライバ I C ダイパッド 2 2 0 に電氣的に且つ機械的に(例えば一体的に)接続される。リードフレーム 2 6 0 は更にリードフレームストリップ 2 3 0 及び 2 3 2、及び I / O 端子 2 1 2 を含む。リードフレームアイランド 2 3 4 はリードフレーム 2 6 0 のリードフレームストリップ 2 3 0 の上にあり、リードフレームストリップ 2 3 0 はリードフレーム 2 6 0 の V 相ダイパッド 2 2 2 b に電氣的に且つ機械的に(例えば一体的に)接続される。リードフレームアイランド 2 3 6 はリードフレーム 2 6 0 のリードフレームストリップ 2 3 2 の上にあり、リードフレームストリップ 2 3 2 はリードフレーム 2 6 0 の U 相ダイパッド 2 2 2 c に電氣的に且つ機械的に(例えば一体的に)接続される。図 2 B に示すように、リードフレームストリップ 2 3 0 及び 2 3 2 は必要に応じ P Q F N パッケージ 2 0 0 のエッジ 2 4 2 c まで延在させることができる。そうすれば、リードフレームストリップ 2 3 0 及び 2 3 2 のどちらも P Q F N パッケージ 2 0 0 の追加の I / O 端子を供与することができる。例えば、リードフレームストリップ 2 3 2 は P Q F N パッケージ 2 0 0 のエッジ 2 4 2 c において追加の S W 1 端子 2 1 2 o を供与するものとして示されている。

【0030】

リードフレーム 2 6 0 はオリン・プラス(登録商標)から入手し得る銅(Cu)合金 C 1 9 4 のような高い熱及び電気伝導率を有する材料で構成することができる。リードフレーム 2 6 0 の上面 2 4 0 a はデバイスダイ及びワイヤへの付着性を高める材料で選択的にめっきすることもできる。このめっきはリードフレーム 2 6 0 に選択的に被着された銀(Ag)めっきとすることができ、この銀めっきは Q P L リミテッドなどの会社から入手できる。

【0031】

図 2 A 及び 2 B は、リードフレーム 2 6 0 はエッチングされたリードフレーム、例えばハーフエッチングされたリードフレームであることを示す。図 2 A 及び 2 B においてリードフレーム 2 6 0 のエッチング(例えばハーフエッチング)されてない部分が破線で示されている。リードフレームアイランド 2 3 3、2 3 4 及び 2 3 6 はこのようなエッチングされてない部分の例である。例えば、図 2 C はリードフレーム 2 6 0 の底面 2 4 0 b を示す(P Q F N パッケージ 2 0 0 の底面にも相当する)。図 2 C は更に、リードフレーム 2 6 0 のエッチングされた部分を覆う P Q F N パッケージ 2 0 0 のモールドコンパウンド 2 6 5 も示している。モールドコンパウンド 2 6 5 は日立ケミカルから入手しうる C E L 9 2 2 0 Z H F (v 7 9)等の低い曲げ弾性率を有するプラスチックとすることができる。パッケージのクラッキングに耐える弾性を与えるために、モールドコンパウンド 2 6 5 で決まる P Q F N パッケージ 2 0 0 の高さ(又は厚さ)を薄く保つことができ、例えば 0.9 mm 以下にすることができる。

【0032】

I / O 端子 2 1 2、リードフレームアイランド 2 3 3、リードフレームアイランド 2 3 4 及びリードフレームアイランド 2 3 6 はエッチングされず、モールドコンパウンド 2 6 5 を経てリードフレーム 2 6 0 の底面 2 4 0 b (P Q F N パッケージ 2 0 0 の底面にも対応する)に露出される。従って、I / O 端子 2 1 2、リードフレームアイランド 2 3 3、リードフレームアイランド 2 3 4 及びリードフレームアイランド 2 3 6 は高い導電性及び／又は熱放散のためにリードフレーム 2 6 0 の底面 2 4 0 b に露出される。この特徴は、必要に応じ P C B に接合ランドを設けることによって活用することができる。リードフレーム 2 6 0 の露出部分は例えば錫(Sn)でめっきすることができる。

【0033】

ドライバIC202、U相パワースイッチ204a及び204b、V相パワースイッチ206a及び206b、及びW相パワースイッチ208a及び208bはワイヤボンドとリードフレーム260を使って相互接続される。

【0034】

図2Bは、U相パワースイッチ204a及び204b、V相パワースイッチ206a及び206b、W相パワースイッチ208a及び208b、及びドライバIC202はリードフレーム260に電氣的に且つ機械的に接続されることを示している。この接続は、ヘンケルコーポレーションから入手し得る銀充填QMI529HT等の半田又は導電性接着剤を使用して達成できる。

【0035】

図2Bに示すように、U相パワースイッチ204b、V相パワースイッチ206b、及びW相パワースイッチ208bはPQFNパッケージ200のエッジ242aに沿ってリードフレーム260上に置かれる。W相パワースイッチ208bはW相ダイパッド222aの上に置かれる。具体的には、W相パワースイッチ208bのドレイン236aがW相ダイパッド222aの上に置かれる。同様に、V相パワースイッチ206bはV相ダイパッド222bの上に置かれる。具体的には、V相パワースイッチ206bのドレイン236bがV相ダイパッド222bの上に置かれる。同様に、U相パワースイッチ204bはU相ダイパッド222cの上に置かれる。具体的には、U相パワースイッチ204bのドレイン236cがU相ダイパッド222cの上に置かれる。従って、U相パワースイッチ204b、V相パワースイッチ206b、及びW相パワースイッチ208bはリードフレーム260のそれぞれのダイパッドに個別に結合される。従って、図2Bに示すように、W相ダイパッド222aはPQFNパッケージ200のW相出力端子212qに対応させることができ、V相ダイパッド222bはPQFNパッケージ200のV相出力端子212pに対応させることができ、U相ダイパッド222cはPQFNパッケージ200のU相出力端子212oに対応させることができる。

【0036】

同様に図2Bに示すように、U相パワースイッチ204a、V相パワースイッチ206a、及びW相パワースイッチ208aはPQFNパッケージ200のエッジ242bに沿ってリードフレーム260上に置かれる。U相パワースイッチ204a、V相パワースイッチ206a、及びW相パワースイッチ208aは共通ダイパッド228の上に置かれる。具体的には、U相パワースイッチ204aのドレイン236d、V相パワースイッチ206aのドレイン236e、及びW相パワースイッチ208aのドレイン236fがリードフレーム260の共通ダイパッド228の上に置かれる。従って、図2Bに示すように、共通ダイパッド228はPQFNパッケージ200のVBUS端子（例えばバス電圧入力端子）に対応させることができる。

【0037】

この構成の一例は図2Dに詳細に示されている。図2DはPQFNパッケージ200の断面図を示す。図2Dの断面図は図2B及び2Cの断面2D-2Dに対応する。図2Dはリードフレーム260の導電性接着剤254及びめっき層248aにより共通ダイパッド228に接続されたV相パワースイッチ206aのドレイン236eを示す。導電性接着剤254はQMI529HT等の銀充填接着剤とすることができる。PQFNパッケージ200内に他のダイを同様にしてリードフレーム260に接続することもできる。

【0038】

図2Bに示すように、ドライバIC202はリードフレーム260上に置かれる。具体的には、ドライバIC202はリードフレーム260のドライバICダイパッド220の上に置かれる。ドライバICダイパッド220はドライバIC202より大きく、従ってドライバIC202と異なる機能を有するもっと大きな異なるドライバICを収容することができる。

【0039】

図2Bには更に、ワイヤボンド244aのようなワイヤボンドによってドライバIC2

10

20

30

40

50

02が、VCC端子212b、HIN1端子212c、HIN2端子212d、HIN3端子212e、LIN1端子212f、LIN2端子212g、LIN3端子212h、EN端子212i、FAULT端子212j、RCIN端子212k、IM端子212l、VSS端子212m、VB1端子212r、VB2端子212s、及びVB3端子212tに、及びU相パワースイッチ204a及び204b、V相パワースイッチ206a及び206b、W相パワースイッチ208a及び208bのそれぞれのゲートに電氣的に且つ機械的に接続されることが示されている。

【0040】

図2Bに示されるワイヤボンダ244a及び同様に示されるワイヤボンダは、例えば直径1.3ミルのGIタイプの金(Au)ワイヤとすることができる。ワイヤボンダ246a, 246b, 246c, 246d, 246e及び246f(「ワイヤボンダ246」)等の電力接続のためにはもっと太いワイヤを使用することができる。ワイヤボンダ246は、例えば直径2.0ミルの銅(Cu)ワイヤとすることができ、例えばクリッケ・アンド・ソフファから入手し得るMaxsoft(登録商標)LDワイヤとすることができる。図2Bに示されるように、ワイヤボンダ246に対しては、追加の処理能力を与えるために複数のワイヤボンダ、例えば2つのワイヤボンダを並列に設けることもできる。

【0041】

U相パワースイッチ204b、V相パワースイッチ206b、及びW相パワースイッチ208bはそれぞれU相パワースイッチ204a、V相パワースイッチ206a、及びW相パワースイッチ208aにリードフレーム260を介して結合される。

【0042】

図2Bにおいて、ワイヤボンダ246aはU相パワースイッチ204aのソース238dをリードフレーム260に電氣的に且つ機械的に接続する。具体的には、ソース238dはワイヤボンダ246aによりリードフレームストリップ232のリードフレームアイランド236に接続される。従って、図1AのU相出力ノード110aはリードフレーム260のリードフレームストリップ232上に置かれ、このリードフレームストリップ232がリードフレーム260のU相ダイパッド222cに接続される。従って、PQFNパッケージ200はワイヤボンダ246a、及びワイヤボンダ244b等の他のワイヤボンダの配置に大きなフレキシビリティを有し、配線交差に起因する配線短絡を回避しながら高い電氣的及び熱的性能を達成することができる。ワイヤボンダ244bは、図1Aに示すようにSW1をドライバIC202に供給するために、リードフレームアイランド236においてドライバIC202とリードフレーム260のリードフレームストリップ232とを電氣的に且つ機械的に接続する。図1AのU相出力ノード110aもリードフレーム260のリードフレームアイランド236上に位置する。リードフレームアイランド236はPQFNパッケージ200の底面240bで露出し(図2C参照)、U相出力ノード110aで発生する熱をPQFNパッケージ200から効率的に放散することができる。

【0043】

同様に、ワイヤボンダ246bはV相パワースイッチ206aのソース238eをリードフレーム260に電氣的に且つ機械的に接続する。図2Dはこの接続の一例を示す。ソース238eはワイヤボンダ246bによりリードフレームストリップ230のリードフレームアイランド234にリードフレーム260のめっき層248bを介して接続される。リードフレームストリップ230は続いてV相ダイパッド222bを経てV相パワースイッチ206bのドレイン236bに接続する。ソース238dをU相パワースイッチ204bのドレイン236cに接続するのと同様の接続を使用することができる。ワイヤボンダ246bはリードフレームアイランド234においてV相パワースイッチ206aのソース238eをリードフレームストリップ230に接続する。従って、図1AのV相出力ノード110bはリードフレーム260のリードフレームストリップ230上に置かれ、このリードフレームストリップ230はリードフレーム260のV相ダイパッド222bに接続される。従って、PQFNパッケージ200はワイヤボンダ246b及びワイヤ

ボンド 244c 等の他のワイヤボンドの配置に大きなフレキシビリティを有し、配線交差に起因する配線短絡を回避しながら高い電氣的及び熱的性能を達成することができる。ワイヤボンド 244c は、図 1A に示すように SW2 をドライバ IC202 に供給するために、リードフレームアイランド 234 においてドライバ IC202 とリードフレーム 260 のリードフレームストリップ 230 とを電氣的に且つ機械的に接続する。図 1A の V 相出力ノード 110b もリードフレーム 260 のリードフレームアイランド 234 上に位置する。リードフレームアイランド 234 は PQFN パッケージ 200 の底面 240b で露出し（図 2C 参照）、V 相出力ノード 110a で発生する熱を PQFN パッケージ 200 から効率的に放散することができる。

【0044】

10

PQFN パッケージ 200 はリードフレームストリップ 230 及び/又は 232 のないリードフレームアイランド 234 及び/又は 236 を含むこともできる点に注意されたい。例えば、リードフレームアイランド 234 は PCB 上のトラックを経て V 相ダイパッド 222b に接続することもできる。更に、PQFN パッケージ 200 はリードフレームアイランド 234 及び/又は 236 のないリードフレームストリップ 230 及び/又は 232 を含むこともできる。しかしながら、リードフレームアイランド 234 及び/又は 236 を有するリードフレームストリップ 230 及び/又は 232 は多くの場合 PQFN パッケージ 200 内のワイヤボンドの配置に大きなフレキシビリティをもたらす、高い電氣的及び熱的性能を達成することができる。

【0045】

20

図 2B において、ワイヤボンド 246c は W 相パワースイッチ 208a のソース 238f をリードフレーム 260 に電氣的に且つ機械的に接続する。具体的には、ワイヤボンド 246c は W 相パワースイッチ 208a のソース 238f をリードフレーム 260 上の W 相ダイパッド 222a に接続する。従って、図 1A の W 相出力ノード 110c は W 相パワースイッチ 208b とともにリードフレーム 260 の W 相ダイパッド 222a 上に置かれる。W 相パワースイッチ 208b は W 相パワースイッチ 208a に隣接するので、W 相パワースイッチ 208a のソース 238f を、配線交差に起因する配線短絡を容易に避けながら、W 相パワースイッチ 208b のドレイン 236a に結合することができ、高い電氣的及び機械的性能を達成することができる。これはリードフレームストリップ及び/又はリードフレームアイランドを使用することなく達成することもできる。従って、PQFN パッケージ 200 は、U 相出力ノード 110a、V 相出力ノード 110b 及び W 相出力ノード 110c 間のアーク放電を避けながら大幅に小さくすることができる。例えば、追加のリードフレームストリップ及び/又はリードフレームアイランドは、アーク放電の防止のためにリードフレームストリップ 230 及び 232 間の間隔を十分に大きく（例えば 1mm 以上）維持するために大きな PQFN パッケージ 200 を必要とする。更に、この構成は PQFN パッケージ 200 内のワイヤボンド配置のフレキシビリティにあまり影響を与えない。また、W 相ダイパッド 222a は PQFN パッケージ 200 の底面 240b で露出するので（図 2C 参照）、W 相出力ノード 110a で発生する熱を PQFN パッケージ 200 から効率的に放散することができる。ワイヤボンド 244d は、図 1A に示すように SW3 をドライバ IC202 に供給するために、ドライバ IC202 とソース 238f を電氣的に且つ機械的に接続する。

30

40

【0046】

PQFN パッケージ 200 はドライバ IC202 のサポート論理回路に結合されたリードフレーム 260 の論理接地を含む。リードフレーム 260 の論理接地は論理接地端子 212m を含む。少なくともワイヤボンド 244g がリードフレーム 260 の論理接地端子 212m をドライバ IC202 に電氣的に且つ機械的に接続し、具体的にはリードフレーム 260 の論理接地端子 212m をドライバ IC202 のサポート論理回路に接続する。

【0047】

PQFN パッケージ 200 は更に、U 相パワースイッチ 204b、V 相パワースイッチ 206b、及び W 相パワースイッチ 208b のソース 238c、238b 及び 238a に

50

結合されたリードフレーム 260 の電力段接地を含む。リードフレーム 260 の電力段接地は電力段接地端子 212 n、ドライバ IC ダイパッド 220、及びリードフレームアイランド 233 を含む。図 2 B において、少なくともワイヤボンダ 246 d がリードフレーム 260 の電力段接地の電力段接地端子 212 n を W 相パワースイッチ 208 b のソース 238 a に電氣的に且つ機械的に接続する。少なくともワイヤボンダ 246 e が W 相パワースイッチ 208 b のソース 238 a を V 相パワースイッチ 206 b のソース 238 b に電氣的に且つ機械的に接続する。同様に、少なくともワイヤボンダ 246 f が V 相パワースイッチ 206 b のソース 238 b を U 相パワースイッチ 204 b のソース 238 c に電氣的に且つ機械的に接続する。従って、ソース 238 a、238 b 及び 238 c は PQFN パッケージ 200 内で互いに電氣的に且つ機械的に接続される。

10

【0048】

また、本実施形態においては、リードフレーム 260 の電力段接地はドライバ IC 202 のゲートドライバ（例えば図 1 のゲートドライバ 174 b）に結合される。ワイヤボンダ 244 e 及び 244 f がリードフレーム 260 を介して U 相パワースイッチ 204 b のソース 238 c をドライバ IC 202 のゲートドライバに接続する。ワイヤボンダ 244 e が U 相パワースイッチ 204 b のソース 238 c をリードフレーム 260 のリードフレームアイランド 233 に電氣的に且つ機械的に接続する。ワイヤボンダ 244 f がリードフレーム 260 のリードフレームアイランド 233 をドライバ IC 202 に電氣的に且つ機械的に接続する。U 相パワースイッチ 204 b のソース 238 c をリードフレーム 260 を介してドライバ IC 202 に接続することによって PQFN パッケージ 200 の接続配線にフレキシビリティがもたらされる。しかしながら、リードフレームアイランド 233 は任選択であり、ワイヤボンダによって U 相パワースイッチ 204 b のソース 238 c をドライバ IC に直接接続しても良いことに注意されたい。更に、一部の実施形態においては、ドライバ IC 202 は任意選択としてリードフレーム 260 のドライバ IC ダイパッド 220 の上に置かれた接地 256 を有することができる。接地 256 は電力段接地及び／又は論理接地とすることができる。図示の実施形態においては、接地 256 が電力段接地である場合には、ワイヤボンダ 244 f は除去することができる。

20

【0049】

従って、図 1 A、1 B 及び図 2 A－2 D につき上述したように、様々な実施形態によれば、PQFN パッケージは配線交差及び配線短絡の回避及び高い電氣的及び熱的性能を達成しながら一般的な QFN より大幅に複雑にすることができる。そうすることで、PQFN パッケージは複雑な回路、例えば電力段接地と別個の論理接地を有するシングルシャントインバータ回路を達成することができる。

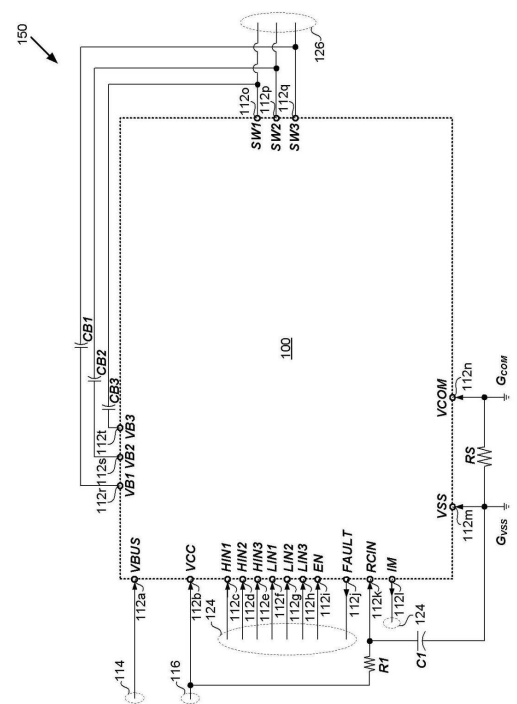
30

【0050】

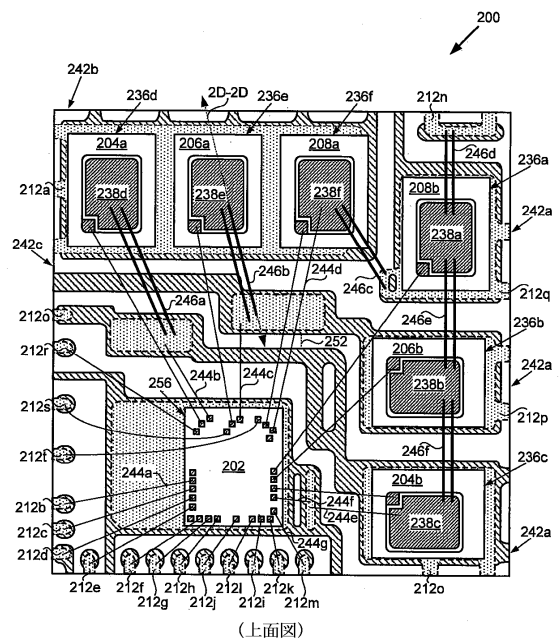
以上の説明から明らかなように、本願に記載の発明の概念は本発明の概念の範囲を逸脱することなく種々の技術を用いて実施することができる。更に、特に幾つかの実施形態について本発明の概念を説明したが、当業者であれば、それらの形態及び細部に本発明の概念の精神及び範囲を逸脱することなく種々の変更を加えることができることは理解されよう。従って、上述した実施形態はあらゆる点において例示的なものであり、限定的なものではないと考慮されたい。更に、本発明は上述した特定の実施形態に限定されず、本発明の範囲から逸脱することなしに、本発明に多くの再配置、変形及び置換を行い得ることを理解されたい。

40

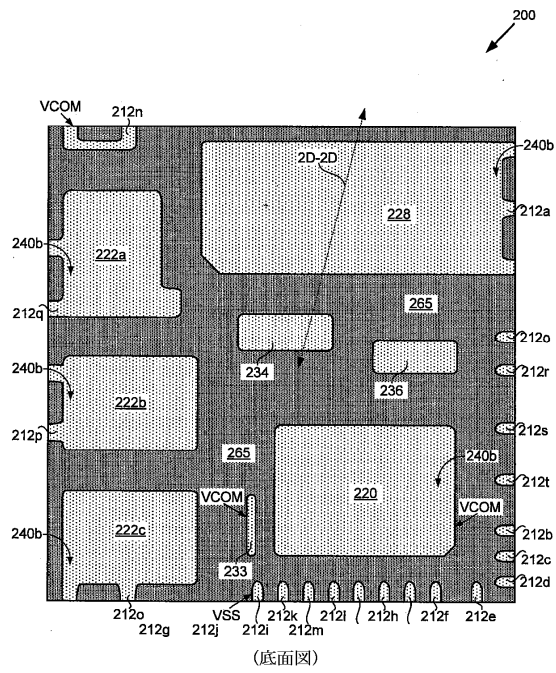
【図 1 B】



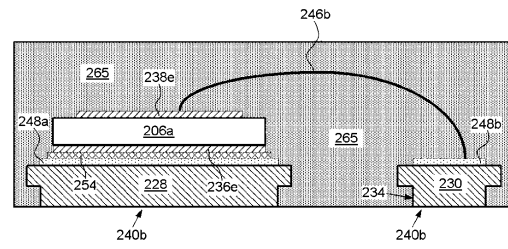
【図 2 B】



【図 2 C】



【図 2 D】



フロントページの続き

(72)発明者 ロエル バルボーザ
フィリピン国 4026 サンタ ローザ ラグーナ サン ロレンツォ ロワイヤル ザリーナ
ストリート ビー9 エル4

(72)発明者 トシオ タカハシ
アメリカ合衆国 カリフォルニア州 90275 ランチョ パロス ベルデス スコッツビュー
ドライブ 28900

合議体

審判長 森川 幸俊

審判官 國分 直樹

審判官 酒井 朋広

(56)参考文献 特開2012-129489 (JP, A)
米国特許出願公開第2008/2445 (US, A1)
特開2005-183463 (JP, A)
特開2003-18862 (JP, A)
特開平9-191659 (JP, A)
特開2000-91499 (JP, A)
特開2008-17620 (JP, A)
特開2006-49341 (JP, A)
国際公開第2006/003751 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

H01L25/07

H01L25/18