



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년06월16일
 (11) 등록번호 10-0903130
 (24) 등록일자 2009년06월09일

(51) Int. Cl.
 H04L 12/50 (2006.01) H04L 12/28 (2006.01)
 (21) 출원번호 10-2007-0102150
 (22) 출원일자 2007년10월10일
 심사청구일자 2007년10월10일
 (65) 공개번호 10-2009-0036864
 (43) 공개일자 2009년04월15일
 (56) 선행기술조사문헌
 KR100653087 B1*
 KR1020060067802 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 한국전자통신연구원
 대전 유성구 가정동 161번지
 (72) 발명자
 김주엽
 대전 서구 만년동 상록수아파트 102-1307
 조한진
 대전 서구 월평동 무궁화아파트 203-301
 (74) 대리인
 리앤목특허법인

전체 청구항 수 : 총 8 항

심사관 : 황은택

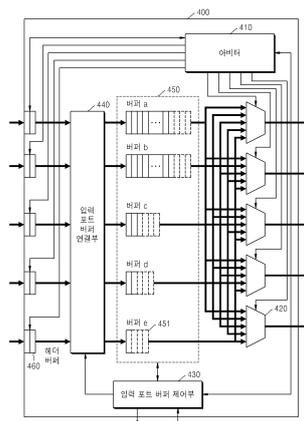
(54) 메쉬 타입 온 칩 네트워크의 스위치 및 스위칭 방법

(57) 요약

본 발명은 메쉬(Mesh) 타입 온 칩 네트워크(On Chip Network)를 구성하는 스위치의 입력 버퍼 크기를 결정하는 구조 및 방법에 관한 것으로, 서로 다른 입력포트로 입력된 데이터 상호간 블록킹 여부, 블록킹 정도 및 출력포트 정보를 추출하는 아비터; 상기 데이터를 버퍼링하는 복수개의 버퍼; 상기 아비터의 블록킹 여부 및 블록킹 정도를 기초로 상기 버퍼 개수를 달리 분배하는 입력포트 버퍼 제어부; 상기 각 입력포트로 입력된 데이터를 상기 입력포트 버퍼 제어부에 의해 분배된 버퍼로 연결하는 입력포트 연결 제어부; 및 상기 아비터의 출력포트 정보를 기초로 상기 버퍼링된 데이터 중 동일한 출력포트의 데이터를 멀티플렉싱하는 복수개의 멀티플렉서;를 포함한다.

본 발명에 따른 메쉬 타입 온 칩 네트워크의 스위치 구조 및 스위칭 방법에 의하면 종래의 시뮬레이션 위주의 입력 버퍼 크기를 결정하는 것과는 달리 하드웨어적으로 입력 버퍼 크기를 결정하고 전송하는 패킷(packet)의 크기와 종류에 상관없이 능동적으로 입력 버퍼 크기를 결정할 수 있어 입력 버퍼 결정에 따른 시간의 낭비를 막을 수 있고, 하드웨어 자원량 낭비를 막을 수 있어 메쉬 타입 온 칩 네트워크 성능 향상을 위한 설계에 획기적인 도움이 될 수 있다.

대표도 - 도4



이 발명을 지원한 국가연구개발사업
과제고유번호 2005-S-077-03
부처명 정보통신부
연구사업명 IT원천기술개발
연구과제명 온칩 네트워크 기반 SoC Platform 개발
주관기관 한국전자통신연구원
연구기간 2004년 03월 01일 ~ 2008년 02월 29일

특허청구의 범위

청구항 1

서로 다른 입력포트로 입력된 데이터 상호간 블록킹 여부, 블록킹 정도 및 출력포트 정보를 추출하는 아비터;

상기 데이터를 버퍼링하는 복수개의 버퍼;

상기 아비터의 블록킹 여부 및 블록킹 정도를 기초로 상기 버퍼 개수를 달리 분배하는 입력포트 버퍼 제어부;

상기 각 입력포트로 입력된 데이터를 상기 입력포트 버퍼 제어부에 의해 분배된 버퍼로 연결하는 입력포트 연결 제어부; 및

상기 아비터의 출력포트 정보를 기초로 상기 버퍼링된 데이터 중 동일한 출력포트의 데이터를 멀티플렉싱하는 복수개의 멀티플렉서;를 포함하는 것을 특징으로 하는 메쉬(Mesh) 타입 온 칩 네트워크(On Chip Network)의 스위치.

청구항 2

제 1 항에 있어서,

상기 아비터의 블록킹 여부 및 블록킹 정도는 상기 데이터가 전송될 목적지 IP 주소, 우선권(priority) 및 상기 데이터가 입력된 당해 입력포트로 입력될 데이터량에 관한 정보를 기초로 하는 것을 특징으로 하는 메쉬(Mesh) 타입 온 칩 네트워크(On Chip Network)의 스위치.

청구항 3

제 1 항에 있어서,

상기 데이터를 생성하여 상기 입력 포트에 전송하고, 상기 블록킹 여부 및 블록킹 정도의 정보를 전송받는 메인 프로세서;를 더 포함하는 것을 특징으로 하는 메쉬(Mesh) 타입 온 칩 네트워크(On Chip Network)의 스위치.

청구항 4

제 1 항에 있어서,

상기 입력 데이터는 패킷 단위인 것을 특징으로 하는 메쉬(Mesh) 타입 온 칩 네트워크(On Chip Network)의 스위치.

청구항 5

제 1 항에 있어서,

상기 입력 데이터는 플릿 단위인 것을 특징으로 하는 메쉬(Mesh) 타입 온 칩 네트워크(On Chip Network)의 스위치.

청구항 6

서로 다른 입력포트로 입력된 데이터 상호간 블록킹 여부, 블록킹 정도 및 출력포트 정보를 추출하는 정보 추출단계;

상기 블록킹 여부 및 블록킹 정도를 기초로 상기 입력 데이터를 버퍼링 할 수 있는 버퍼의 개수를 달리 분배하는 버퍼 분배단계;

상기 각 입력포트로 입력된 데이터를 상기 분배된 버퍼로 연결하여 버퍼링하는 버퍼링 단계; 및

상기 추출된 출력포트 정보를 기초로 상기 버퍼링된 데이터 중 동일한 출력포트의 데이터를 멀티플렉싱하는 멀티플렉싱 단계;를 포함하는 것을 특징으로 하는 메쉬(Mesh) 타입 온 칩 네트워크(On Chip Network)의 스위칭 방법.

청구항 7

제 6 항에 있어서, 상기 정보 추출단계와 상기 버퍼 분배단계의 사이에

상기 블록킹 여부 및 블록킹 정도의 정보를 상기 입력 데이터를 생성하는 메인 프로세서로 전송하는 단계;를 더 포함하는 것을 특징으로 하는 메쉬(Mesh) 타입 온 칩 네트워크(On Chip Network)의 스위칭 방법.

청구항 8

제 7 항에 있어서,

상기 메인 프로세서로부터 상기 입력 데이터의 전송이 없을 때까지 상기 버퍼 분배과정을 반복하는 단계;를 더 포함하는 것을 특징으로 하는 메쉬(Mesh) 타입 온 칩 네트워크(On Chip Network)의 스위칭 방법.

청구항 9

삭제

청구항 10

삭제

명세서

발명의 상세한 설명

기술분야

- <1> 본 발명은 하나 이상의 프로세서와 이들 프로세서에 의해 제어되는 다양한 하드웨어(hardware) 모듈을 포함하는 온 칩 네트워크 (On-Chip Network)의 구조에 관한 것으로, 보다 상세하게는 메쉬 타입 온 칩 네트워크를 구성하는 스위치의 입력 버퍼 크기를 결정하는 구조 및 방법에 관한 것이다.
- <2> 본 발명은 정보통신부의 IT신성장동력핵심기술개발사업의 일환으로 수행한 연구로부터 도출된 것이다[과제관리 번호: 2005-S-077-03, 과제명:온칩 네트워크 기반 SoC Platform 개발].

배경기술

- <3> 온 칩 네트워크 (On-Chip Network)의 구조는 여러 개의 프로세서나 마스터 모듈이 여러 개의 슬레이브 모듈과 동시에 데이터 전송을 수행할 수 있다. 이는 네트워크의 특징을 그대로 온 칩(On Chip)에 적용한 것이다.
- <4> 온 칩 네트워크 (On-Chip Network)의 구조에서는 하나의 모듈이 네트워크를 사용하는 동안 다른 모듈이 네트워크의 사용 요청을 기다리는 것이 아니라 동시에 네트워크를 사용할 수 있다.
- <5> 온 칩 네트워크 (On-Chip Network)의 통신 방식은 데이터를 패킷 단위로 전송하는 방식으로 컴퓨터 네트워크 프로토콜 기술을 그대로 차용하여도 데이터 전송에는 크게 문제가 발생하지 않는다.
- <6> 그러나, 칩(chip)상의 제한된 면적에 따른 단순한 전송 프로토콜이 요구되므로 컴퓨터 네트워크 프로토콜을 그대로 채용할 수는 없고 상당부분 변형이 요구된다.
- <7> 제한된 면적에서의 구현과 우수한 전송효율을 동시에 달성하기 위해서는 상당한 시간 동안 시뮬레이션 과정을 거치거나 온칩 네트워크에 적용할 어플리케이션에 관한 정확한 전송 패턴 분석이 필요하다.
- <8> 패킷 단위로 데이터를 송수신하는 구성과 패킷을 수집하고 원하는 목적지까지 보내는 역할을 하는 스위치의 구성을 통해 가능하다.
- <9> 온 칩 네트워크 (On-Chip Network)를 구성하는 스위치 구조에 관한 종래의 기술은 특정 패턴 또는 무작위 패턴에 대한 최적화된 전송효율을 시뮬레이션 분석으로 평균하여 입력포트 별로 동일하게 그 크기를 정하였다.
- <10> 그러나 시뮬레이션 이외의 패턴의 경우가 실제로 전송될 경우, 입력포트 버퍼에 대한 면적 낭비와 전송 효율이 극도로 저하되는 문제점이 있다.
- <11> 종래의 기술에서는 이러한 문제를 해결하기 위해 시뮬레이션에 필요한 경우의 수를 늘리거나 특정 패턴에 대해서는 특정 온칩 네트워크를 사용해야만 하였다.

<12> 이는 온 칩 네트워크 (On-Chip Network)의 면적 낭비와 시뮬레이션 의외의 패턴을 전송할 경우 성능 저하를 예상할 수 밖에 없었다.

발명의 내용

해결 하고자하는 과제

<13> 본 발명이 이루고자 하는 기술적 과제는 상기의 문제점을 해결하기 위한 것으로서 전송하는 패킷(packet)의 크기와 종류에 관계없이 능동적으로 입력 버퍼 크기를 결정할 수 있는 메쉬(Mesh) 타입 온칩 네트워크(On Chip Network)의 스위치 구조 및 스위칭 방법에 관한 것이다.

과제 해결수단

<14> 상기의 기술적 과제를 해결하기 위한 본 발명에 따른 메쉬 타입 온 칩 네트워크의 스위치의 일 실시예는, 서로 다른 입력포트로 입력된 데이터 상호간 블록킹 여부, 블록킹 정도 및 출력포트 정보를 추출하는 아비터; 상기 데이터를 버퍼링하는 복수개의 버퍼; 상기 아비터의 블록킹 여부 및 블록킹 정도를 기초로 상기 버퍼 개수를 달리 분배하는 입력포트 버퍼 제어부; 상기 각 입력포트로 입력된 데이터를 상기 입력포트 버퍼 제어부에 의해 분배된 버퍼로 연결하는 입력포트 연결 제어부; 및 상기 아비터의 출력포트 정보를 기초로 상기 버퍼링된 데이터 중 동일한 출력포트의 데이터를 멀티플렉싱하는 복수개의 멀티플렉서;를 포함한다.

<15> 상기의 기술적 과제를 해결하기 위한 본 발명에 따른 메쉬 타입 온 칩 네트워크의 스위칭 방법의 일 실시예는, 서로 다른 입력포트로 입력된 데이터 상호간 블록킹 여부, 블록킹 정도 및 출력포트 정보를 추출하는 단계; 상기 블록킹 여부 및 블록킹 정도를 기초로 상기 입력 데이터를 버퍼링 할 수 있는 버퍼의 개수를 달리 분배하는 단계; 상기 각 입력포트로 입력된 데이터를 상기 분배된 버퍼로 연결하여 버퍼링하는 단계; 및 상기 추출된 출력포트 정보를 기초로 상기 버퍼링된 데이터 중 동일한 출력포트의 데이터를 멀티플렉싱하는 단계;를 포함한다.

<16> 상기의 기술적 과제를 해결하기 위한 본 발명에 따른 메쉬 타입 온 칩 네트워크의 일 실시예는, 발신지 IP 주소 및 목적지 IP 주소를 생성하거나 전송받는 복수개의 IP 모듈; 상기 IP주소에 전송할 데이터를 포함하여 패킷 데이터를 생성하는 복수개의 마스터 모듈; 상기 서로 다른 발신지 IP 주소에서 입력된 패킷 데이터의 블록킹 여부 및 블록킹 정도에 따라 버퍼의 개수를 달리 분배하여 상기 패킷 데이터의 블록킹 시간을 단축하고 상기 버퍼에 버퍼링된 패킷 데이터 중 동일한 목적지 IP 주소를 가지는 데이터를 멀티플렉싱하여 출력하는 스위치; 및 상기 멀티플렉싱된 패킷 데이터를 전송받는 복수개의 슬레이브 모듈; 를 포함한다.

효과

<17> 메쉬 타입의 온칩네트워크 구조를 이용하여 IP간의 데이터를 전송하여 그 효과를 높이기 위해서는 내부의 스위치에 대한 전송 효율을 높이고 면적 낭비를 최소화 하여야 한다.

<18> 본 발명에 따른 메쉬 타입 온 칩 네트워크의 스위치 및 스위칭 방법을 이용하면, 종래의 시뮬레이션 위주의 입력 버퍼 크기를 결정하는 것과 달리 하드웨어적으로 그 결과를 관찰하여 입력 버퍼 크기를 결정하고 전송하는 패킷(packet)의 크기와 종류에 상관 없이 능동적으로 입력 버퍼 크기를 결정할 수 있다.

<19> 본 발명을 이용해서 메쉬 타입 온칩 네트워크 내부 스위치들의 입력 버퍼 크기를 결정하게 되면, 시뮬레이션에 의한 스위치의 입력 버퍼 결정에 따른 시간의 낭비를 막을 수 있고, 능동적인 입력버퍼 사이즈 결정을 통해 하드웨어 자원량 낭비를 막을 수 있으므로, 메쉬 타입 온칩 네트워크 성능 향상을 위한 설계에 획기적인 도움이 될 수 있다.

발명의 실시를 위한 구체적인 내용

<20> 이하에서는 본 발명의 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 가장 바람직한 실시 예를 첨부한 도면을 참조하여 상세히 설명한다.

<21> 도 1은 종래의 기술에 의한 메쉬 타입 온칩 네트워크와 IP 단의 연결 형태를 보여주는 도면이다.

<22> 온 칩 네트워크 (On-Chip Network)구조는 반도체 기술의 발전으로 칩 내부에 삽입할 수 있는 IP의 수가 증가하면서 종래의 버스 구조에서 발생하는 데이터 전송 병목현상을 해결하기 위해 제안된 방식이다.

- <23> 종래의 버스 구조에서는 한번에 하나의 연결 통로를 제공할 수 밖에 없었다.
- <24> 하나의 물리적인 버스를 하나의 마스터 모듈이 점유하고 있으면, 다른 마스터 모듈은 통신을 할 수가 없었다. 즉, 한 버스에 하나의 프로세서 또는 마스터 모듈만 존재하는 경우에는 효율적으로 데이터를 전송할 수 있지만, 2개 이상의 프로세서나 마스터 모듈이 연결되면 버스에 대한 주도권을 넘겨주는 시간이 필요하며, 하나의 프로세서나 마스터 모듈이 버스를 사용하고 있으면 다른 프로세서나 마스터 모듈은 버스를 사용하기 위해서 대기하고 있어야 한다.
- <25> 온 칩 네트워크 (On-Chip Network)의 구조에서는 하나의 모듈이 네트워크를 사용하는 동안 다른 모듈이 네트워크의 사용 요청을 기다리는 것이 아니라 동시에 네트워크를 사용할 수 있다.
- <26> 도 1을 참조하면, 패킷을 생성하여 전송하거나 전송 받는 IP 단(100), 데이터를 생성하여 전송하거나 전송받는 마스터 또는 슬레이브 (101), 마스터 프로토콜에 맞추어 입력을 받아 패킷으로 생성하여 메쉬 타입 온 칩 네트워크 (On-Chip Network)로 전송하는 네트워크 인터페이스(102), 메쉬 타입 온 칩 네트워크 (On-Chip Network)로부터 패킷을 전송받아 슬레이브 프로토콜로 전송하는 네트워크 인터페이스 및 데이터 전송을 패킷 또는 플릿 단위로 전송하는 네트워크 구조의 물리적 매체인 메쉬 타입 온 칩 네트워크 (On-Chip Network)(110)가 포함되어 있다.
- <27> 도 2 는 종래의 메쉬 타입 온칩 네트워크 내부를 이루는 스위치와 IP단의 연결 형태를 보여주는 도면이다.
- <28> 온 칩 네트워크 (On-Chip Network)의 통신 방식은 데이터를 패킷 단위로 전송하는 방식으로 컴퓨터 네트워크 프로토콜 기술을 그대로 차용하여도 데이터 전송에는 크게 문제가 발생하지 않는다.
- <29> 패킷 단위로 데이터를 송수신하는 구성과 패킷을 수집하고 원하는 목적지까지 보내는 역할을 하는 스위치의 구성을 통해 가능하다.
- <30> 도 2를 참조하면, 메쉬 타입 온 칩 네트워크 (On-Chip Network) 내부를 이루는 스위치(200) 및 메쉬 타입 온 칩 네트워크 (On-Chip Network) 내부를 이루는 스위치 사이에서의 IP단 (210)가 포함되어 있다.
- <31> 메쉬 타입 온 칩 네트워크 (On-Chip Network) 통신에서 사용하는 데이터 전송 방식으로는 회선 스위칭(circuit-switching) 방식 또는 패킷 스위칭 (packet-switching) 방식을 사용할 수 있다.
- <32> 회선 스위칭(circuit-switching) 방식은 통신하고자 하는 두 노드 사이에서 데이터를 전송하기 전에 두 노드 간의 물리적인 회선을 먼저 결정하고 이를 독점적으로 사용하는 방식을 말한다.
- <33> 패킷 스위칭 (packet-switching) 방식은 통신하고자 하는 두 노드 사이에 경로가 물리적으로 지정되지 않고 목적지 주소와 전송하고자 하는 데이터가 포함된 패킷을 여러 선로를 통해서 전달하는 방식으로, 패킷 교환기를 통해 패킷을 전달한다.
- <34> 패킷 교환기는 발신자가 보낸 패킷의 주소에 포함된 도착지 주소를 보고, 목적지로 가는 최적으로 경로를 선택하여 다음 교환기로 보내며, 다음 교환기에서도 같은 일이 순차적으로 이루어져 목적지로 전송된다.
- <35> 도 3은 종래의 메쉬 타입 온칩 네트워크 내부의 스위치 구조 및 연결 형태를 보여주는 도면이다.
- <36> 도 3을 참조하면 입력 플릿을 통해 출력 포트의 선후 관계를 결정하는 제어기인 아비터 (arbiter)(310), 아비터의 제어에 의해 출력 포트를 선택하는 멀티플렉서(Multiplex)(320), 입력포트의 플릿이 다른 입력포트의 플릿과 동일한 포트에 출력이 결정될 경우 아비터에 의해 블로킹(Blocking: 플릿이 출력포트로 전송되지 못하고 입력 버퍼에 머무르는 현상) 명령을 받아 일시적 또는 일정한 시간동안 머물러야 하는 입력 버퍼(330)가 포함되어 있다.
- <37> 입력포트를 통해 여러 목적지를 갖는 패킷들이 입력되면 아비터 (arbiter)(310)가 패킷의 헤더를 분석하여 출력 포트 준비 신호를 멀티플렉서(320)에 보낸다.
- <38> 출력 포트 개수만큼의 패킷을 동시에 목적지로 보낼 수 있으며, 출력포트가 사용 중이라면 즉, 입력포트의 패킷이 다른 입력포트의 패킷과 동일한 포트에 출력되어야 하는 경우에는 일정한 시간 동안 입력 버퍼(320)에 머무르게 된다.
- <39> 온 칩 네트워크 (On-Chip Network)의 스위치(300)에서 입력 버퍼(330) 크기결정은 제한된 면적에서의 구현과 우수한 전송효율을 동시에 달성하기 위해서 매우 중요한 부분이다.

- <40> 종래에는 입력 버퍼(330) 크기를 결정하기 위하여 특정 패턴 또는 무작위 패턴에 대한 최적화된 전송효율을 시뮬레이션 분석하여 입력포트 별로 동일하게 입력 버퍼(330) 크기를 정하였다.
- <41> 그러나, 시뮬레이션시에 고려된 데이터의 특정 패턴 이외의 패턴이 전송되는 경우, 입력포트 버퍼에 대한 면적 낭비와 전송 효율이 극도로 저하되게 된다.
- <42> 메쉬 타입 온칩 네트워크 (On-Chip Network)에서 전송되는 단위가 패킷을 세부적으로 다시 나눈 플릿이며, 처음으로 입력 버퍼로 들어오는 헤더 플릿에 나머지 전송될 플릿에 대한 내용이 상당부분 포함되어 있다.
- <43> 헤더 플릿 부분에는 전송하고자 하는 목적 IP의 주소와 앞으로 입력될 플릿의 개수 등이 포함되므로, 입력포트 별로 목적 IP 주소가 같다면, 블록킹이 발생하게 되고 앞으로 입력될 플릿 개수에 따라 블록킹 정도가 달라진다.
- <44> 블록킹(Blocking)이라 함은 플릿이 출력포트로 바로 전송되지 못하고 입력 버퍼에 머무르는 현상이다.
- <45> 블록킹이 발생하고 블록킹이 발생한 입력포트쪽으로 입력되어야 하는 플릿량이 많을 경우 인접한 스위치에서 블록킹이 발생할 가능성이 많아지므로, 블록킹 정도가 심한 입력포트 쪽으로는 버퍼크기를 증가시켜 인접 스위치에 연쇄적으로 블록킹 현상을 일어나지 않게 하여야 한다.
- <46> 만약, 블록킹 정도가 심한 입력포트쪽으로 작은 크기의 버퍼가 연결될 경우 메쉬 타입 온 칩 네트워크 전체에 병목현상으로 성능 저하를 가져오게 된다.
- <47> 종래 기술에서는 이러한 입력 버퍼 크기를 패턴의 분석이나 시뮬레이션을 통해서 연쇄적 블록킹 현상을 최소화 할 수 있는 입력 버퍼사이즈를 결정하여 일괄적으로 입력포트 별로 동일하게 정하였으나, 면적 낭비와 의외의 패턴을 전송할 경우 성능 저하를 예상 할 수 밖에 없었다.
- <48> 도 4 는 본 발명에 따른 능동형 입력 버퍼 크기 결정 스위치의 구조 및 트래픽 정보의 외부 전송 방식을 나타내는 도면이다.
- <49> 본 발명에 따른 메쉬 타입 온칩 네트워크 (On-Chip Network)를 구성하는 스위치 내부의 입력 버퍼 크기를 결정하는 방법은 능동형 입력 버퍼 크기 결정 스위치 구조를 통해 종래의 일괄적인 입력 버퍼 크기 결정 방식에서 발생하는 스위치의 성능 저하 및 면적 증가 등의 문제를 해결하고자 한다.
- <50> 본 발명에 따른 메쉬 타입 온칩 네트워크 내부를 이루는 스위치의 입력 버퍼 크기를 블록킹 정도가 심하게 발생할 가능성이 있는 입력포트에 버퍼 크기가 큰 버퍼를 연결하고 그렇지 않은 입력포트에는 버퍼 크기가 작은 버퍼를 연결하는 것이다.
- <51> 그리고 블록킹 정도를 외부로 전송하여 블록킹 패스(path)를 관찰하므로써, 프로토타이핑 단계에서 입력포트 전체 버퍼 크기를 증가 시켜 줄 수 있는 여지를 만들어 주어, 능동형 수준에서 받아 들일 수 없는 패턴일 경우 외부에서 입력포트 버퍼 크기를 증가 시켜 줄 수 있게 하였다.
- <52> 도 4를 참조하면, 도 3의 종래의 메쉬 타입 온칩 네트워크 내부의 스위치 구성 요소 외에 입력포트 버퍼 제어부(430), 입력포트 버퍼 연결부(440), 다양한 버퍼 크기 집합(450) 및 입력 버퍼(451)로 구성된다.
- <53> 종래의 아비터(310)에서 블록킹 정보를 입력포트 버퍼 제어단에 넘겨주는 기능이 추가된 아비터(arbiter)(410), 입력 포트와 출력 포트를 연결 짓는 제어신호를 아비터(410)에서 받는 멀티플렉서(420), 입력포트의 블록킹 정보를 입력 받아 버퍼 사이즈에 맞추어 입력포트 버퍼 연결부(440)으로 전달하는 입력포트 버퍼 제어부(430), 입력포트 버퍼 제어부로부터 받은 제어신호로 입력포트와 버퍼사이를 연결하는 입력포트 버퍼 연결부(440), 입력포트로부터 전달 받은 플릿이 저장되는 다양한 크기의 버퍼 집합(450), 각 입력포트와 연결되는 버퍼 (451) 및 입력포트로 입력되는 헤더 플릿을 해석하기 위한 헤더 버퍼(460)를 포함하여 구성된다.
- <54> 메쉬 타입 온칩 네트워크 (On-Chip Network)를 구성하는 스위치(400)의 입력포트쪽으로 플릿이 입력되어, 헤더 버퍼(460)에 처음으로 버퍼링 된다.
- <55> 버퍼링되는 동안에 아비터가 헤더를 파싱(parsing)하여 다른 포트의 헤더 정보와 비교하여 블록킹 가능성(520)을 판단하게 된다.
- <56> 블록킹 가능성이 있을 경우 블록킹 정도에 따라 버퍼 크기를 결정(530)하게 된다.
- <57> 버퍼 크기 판단 기준은 헤더에 실려 있는 정보 중에서 목적 IP 주소, 우선권(Priority), 출력 포트의 제어 신호

그리고 다음으로 입력되는 플릿의 개수 등으로 판단하게 된다.

- <58> 버퍼 크기 판단 기준 정보는 입력포트 버퍼 제어단(430)으로 전송되며, 외부(온칩 네트워크 (On-Chip Network) 및 복수개의 IP단을 제어하는 메인 프로세서)로 블록킹 및 버퍼링 정보를 내보내며 입력포트 버퍼 연결부(440)를 제어하게 된다.
- <59> 입력포트 버퍼 연결부(440)는 입력포트 별로 연결되어야 할 버퍼 크기를 받게 되므로 입력포트 별로 버퍼집합(450)속의 버퍼(451)로 연결을 만들어 준다.
- <60> 버퍼 집단(450)의 버퍼(451) 속에 블록킹이 제거되는 경우 또는 전송이 결정된 버퍼(451)의 경우에는 아비터(410)의 제어에 의해 출력 포트가 결정되어 전송이 이루어지게 된다.
- <61> 도 5 는 본 발명에 따른 능동형 입력 버퍼 크기 결정 스위치를 이용한 스위칭 과정 및 트래픽 정보의 외부 전송 방식을 보여주는 도면이다.
- <62> 도 5 를 참조하면, 메쉬 타입 온칩 네트워크 (On-Chip Network)를 구성하는 스위치(400)의 입력포트쪽으로 플릿이 입력된다(S510).
- <63> 입력된 플릿은 헤더 버퍼에 처음으로 버퍼링 된다. 버퍼링되는 동안에 아비터(410)가 헤더를 파싱(parsing)하여 다른 포트의 헤더 정보와 비교하여 블록킹 가능성을 판단하게 된다(S520).
- <64> 블록킹 가능성이 있을 경우 그 정도에 따라 버퍼 크기를 결정하게 된다. 그 판단 기준은 헤더에 실려 있는 정보 중에서 목적 IP 주소, 우선권(Priority), 출력 포트의 제어 신호 그리고 다음으로 입력되는 플릿의 개수 등으로 판단하게 된다.(S530)
- <65> 버퍼 크기 판단 기준에 대한 정보를 입력포트 버퍼 제어부(430)로 전송하여, 외부로 블록킹 및 버퍼링 정보를 내보내고 입력포트 버퍼 연결부(440)을 제어하게 된다.
- <66> 입력포트 버퍼 연결부는 입력포트 별로 연결되어야 할 버퍼 크기를 받게 되므로 입력포트 별로 버퍼집합(450)속의 버퍼(451)로 연결을 만들어 준다.
- <67> 버퍼 집단(450)의 버퍼(451) 속에 블록킹이 제거되는 경우 또는 전송이 결정된 버퍼(451)의 경우에는 아비터(410)의 제어에 의해 출력 포트가 결정되어 전송이 이루어지게 된다.
- <68> 이러한 과정에서 외부(온칩 네트워크 (On-Chip Network) 및 복수개의 IP단을 제어하는 메인 프로세서)로 전송되는 블록킹 및 스위치 내부의 정보는 외부로 전송되어 전체 버퍼 크기 조절을 위해 설계 데이터로 다시 사용될 수 있다(S550).
- <69> 이러한 능동형 입력포트 버퍼 크기 조절 구조는 전체 패턴이 모두 전송 될 때까지 반복적으로 이루어지므로써 블록킹 가능성이 높은 입력포트 쪽에 버퍼크기를 많이 할당하게 되어 인접한 스위치로의 연쇄적 블록킹을 막을 수 있다(S560).
- <70> 본 발명은 또한 컴퓨터로 읽을 수 있는 기록매체에 컴퓨터가 읽을 수 있는 코드로서 구현하는 것이 가능하다. 컴퓨터가 읽을 수 있는 기록매체는 컴퓨터 시스템에 의하여 읽혀 질 수 있는 데이터가 저장되는 모든 종류의 기록장치를 포함한다.
- <71> 컴퓨터가 읽을 수 있는 기록 매체의 예로는 ROM, RAM, CD-ROM, 자기테이프, 플로피 디스크, 광데이터 저장장치 등이 있으며, 또한 캐리어 웨이브 (예를 들어 인터넷을 통한 전송)의 형태로 구현되는 것도 포함한다. 또한 컴퓨터가 읽을 수 있는 기록매체는 네트워크로 연결된 컴퓨터 시스템에 분산되어 분산방식으로 컴퓨터가 읽을 수 있는 코드가 저장되고 실행될 수 있다.
- <72> 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다.
- <73> 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시 예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허 청구 범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

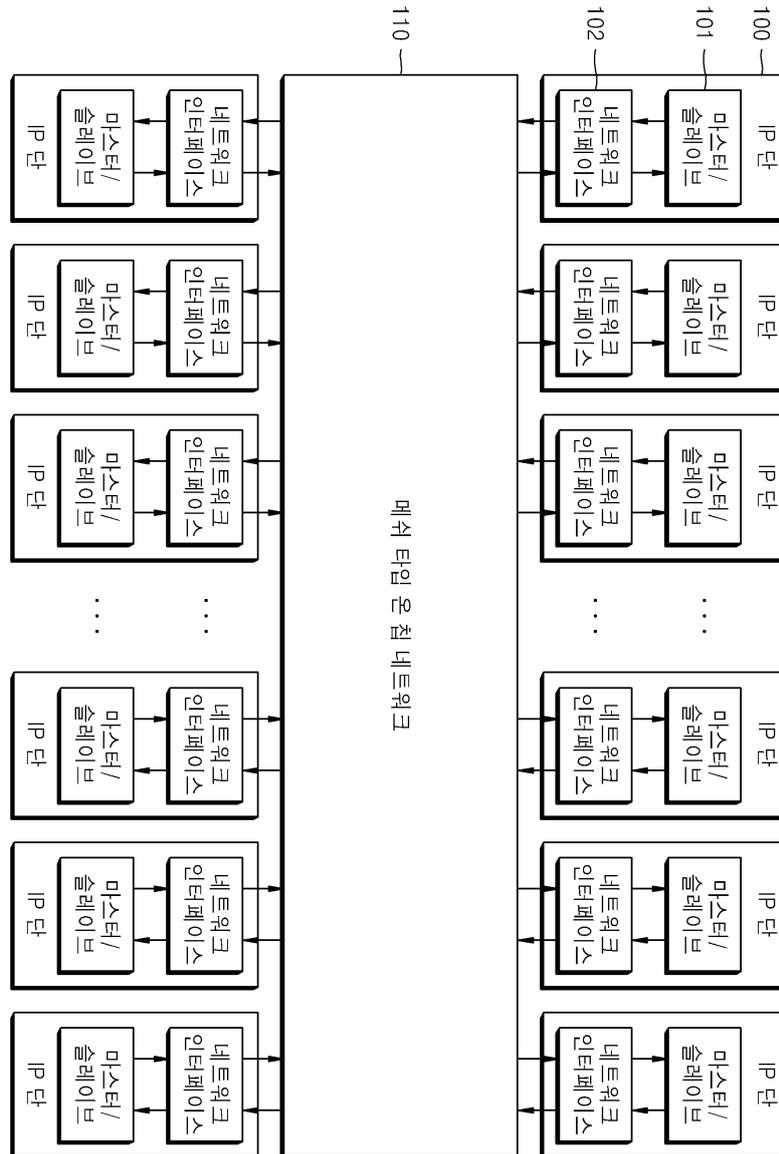
도면의 간단한 설명

- <74> 도 1은 종래의 기술에 의한 메쉬 타입 온칩 네트워크와 IP 단의 연결 형태를 보여주는 도면이다.

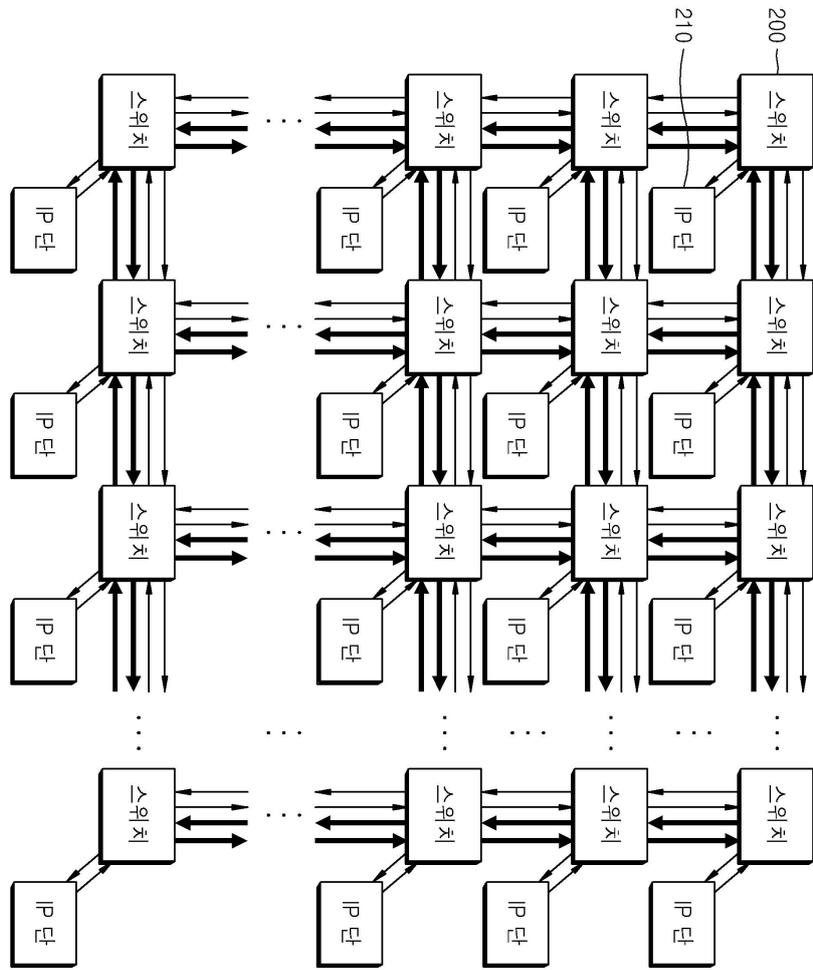
- <75> 도 2 는 종래의 메쉬 타입 온칩 네트워크 내부를 이루는 스위치와 IP단의 연결 형태를 보여주는 도면이다.
- <76> 도 3은 종래의 메쉬 타입 온칩 네트워크 내부의 스위치 구조 및 연결 형태를 보여주는 도면이다.
- <77> 도 4 는 본 발명에 따른 능동형 입력 버퍼 크기 결정 스위치의 구조를 나타내는 도면이다.
- <78> 도 5 는 본 발명에 따른 능동형 입력 버퍼 크기 결정 스위치를 이용한 스위칭 과정 및 트래픽 정보의 외부 전송 방식을 보여주는 도면이다.

도면

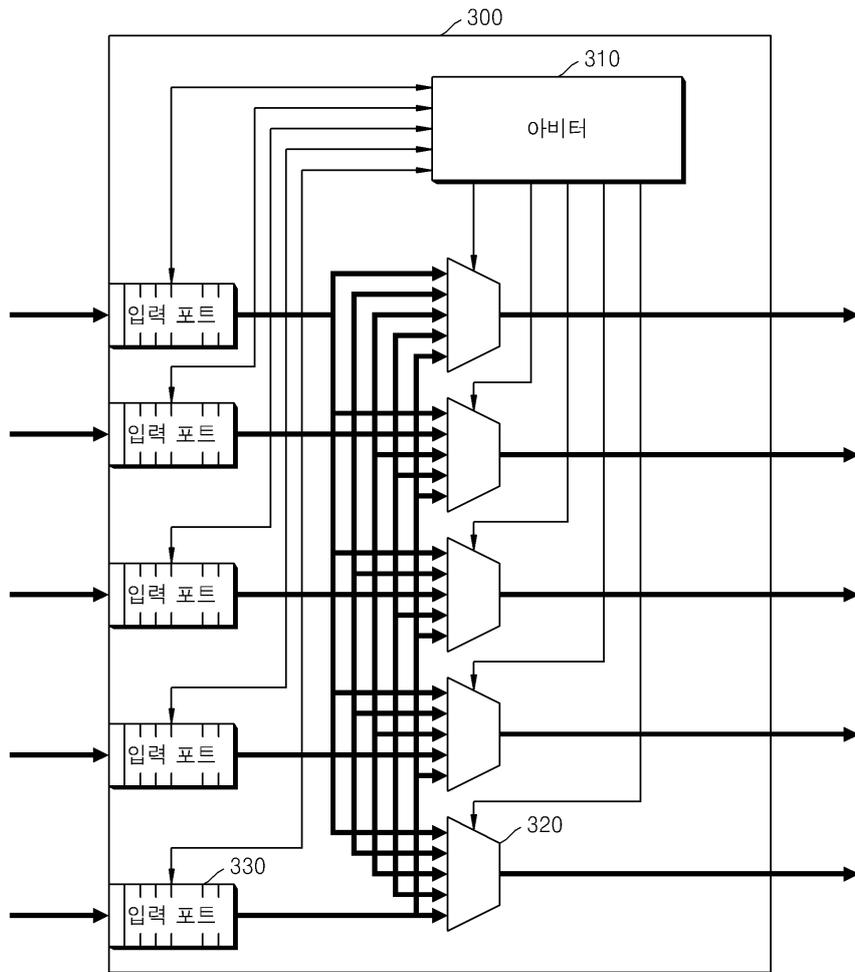
도면1



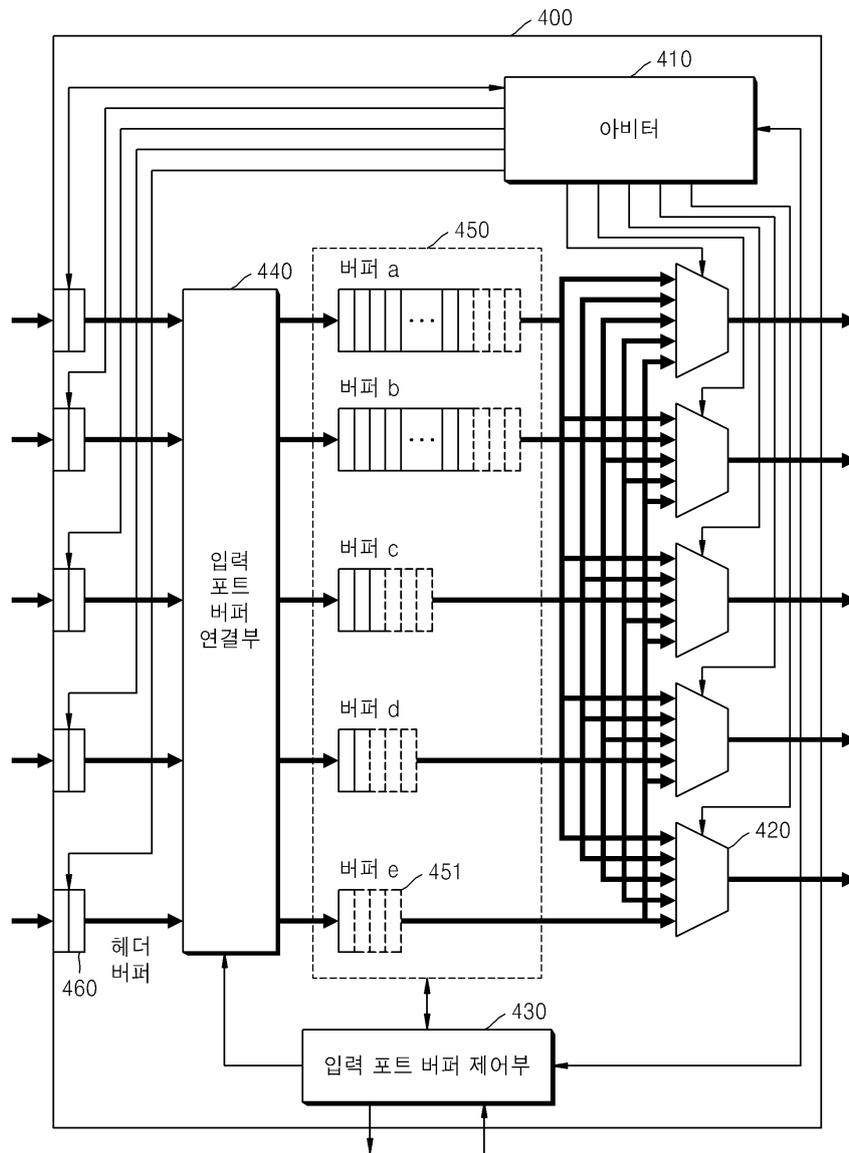
도면2



도면3



도면4



도면5

