

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号
特表2025-502112
(P2025-502112A)

(43)公表日 令和7年1月24日(2025.1.24)

(51)国際特許分類

F I

テーマコード (参考)

G 0 6 F 9/34 (2018.01) G 0 6 F 9/34 3 3 0 5 B 0 3 3

G 0 6 F 17/16 (2006.01) G 0 6 F 17/16 D 5 B 0 5 6

審査請求 未請求 予備審査請求 未請求 (全20頁)

(21)出願番号	特願2024-541131(P2024-541131)	(71)出願人	500395107
(86)(22)出願日	令和4年12月14日(2022.12.14)		アーム・リミテッド
(85)翻訳文提出日	令和6年7月8日(2024.7.8)		グレート・ブリテン及び北部アイルラン
(86)国際出願番号	PCT/GB2022/053215		ド連合王国、イングランド、シー・ビー
(87)国際公開番号	WO2023/139344		ー1、9エヌ・ジェイ、ケンブリッジ、
(87)国際公開日	令和5年7月27日(2023.7.27)		フルボーン・ロード 1 1 0
(31)優先権主張番号	2200675.3	(74)代理人	110000855
(32)優先日	令和4年1月19日(2022.1.19)		弁理士法人浅村特許事務所
(33)優先権主張国・地域又は機関		(72)発明者	ビスコンディ、エリック
	英国(GB)		フランス共和国 0 6 4 1 0 ソフィア
(81)指定国・地域	AP(BW,CV,GH,GM,KE,LR,LS,MW,MZ		アンティポリス、ピオット、アベニュー
	,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),		ド ルーマニル 7 3 8, アーム フランス
	EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(		エスエーエス宛
	AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,	(72)発明者	マルティノ、ディディエ
	FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV		フランス共和国 0 6 4 1 0 ソフィア
	最終頁に続く		最終頁に続く

(54)【発明の名称】 データ処理

(57)【要約】

データ処理装置は、少なくとも $n \times n$ 個の記憶位置を有するアレイレジスタにアクセスするためのベクトル処理回路を備え、 n は1より大きい整数であり、ベクトル処理回路は、プログラム命令をデコードするための命令デコーダ回路と、命令デコーダ回路によってデコードされた命令を実行するための命令処理回路とを備える。命令デコーダ回路は、アレイアクセス命令に応答して、 n 個のベクトル要素のベクトルについて、各々がアレイレジスタ内のそれぞれのアレイ位置を有する n 個の記憶位置のセットにアクセスするように命令処理回路を制御する。ベクトルの所与のベクトル要素に対してアクセスされるアレイ位置は、アレイアクセス命令の1つ以上のパラメータによって所与のベクトル要素に関連付けられた1つ以上の座標によって定義される。

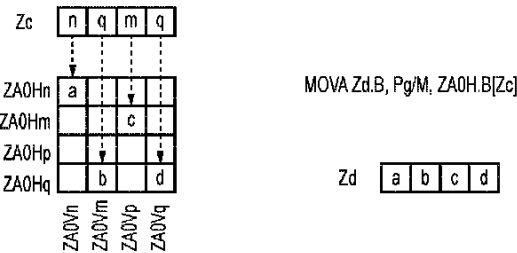


FIG. 7

【特許請求の範囲】**【請求項 1】**

データ処理装置であって、

少なくとも $n \times n$ 個の記憶位置を有するアレイレジスタにアクセスするためのベクトル処理回路であって、 n が 1 より大きい整数であり、前記ベクトル処理回路が、

プログラム命令をデコードする命令デコーダ回路と、

命令デコーダ回路によってデコードされた命令を実行する命令処理回路と、

を備える、処理回路を備え、

前記命令デコーダ回路が、アレイアクセス命令に応答して、 n 個のベクトル要素のベクトルについて、各々が前記アレイレジスタ内のそれぞれのアレイ位置を有する n 個の記憶位置のセットにアクセスするように前記命令処理回路を制御し、前記ベクトルの所与のベクトル要素に対してアクセスされる前記アレイ位置が、前記アレイアクセス命令の 1 つ以上のパラメータによって前記所与のベクトル要素に関連付けられた 1 つ以上の座標によって定義される、データ処理装置。

10

【請求項 2】

前記ベクトルの前記所与のベクトル要素に対してアクセスされる前記アレイ位置が、前記アレイアクセス命令のパラメータによって前記ベクトルの前記所与のベクトル要素に関連付けられた少なくとも一対の座標によって定義される、請求項 1 に記載のデータ処理装置。

20

【請求項 3】

前記一対の座標が、前記ベクトルの前記所与のベクトル要素について、第 1 のアレイ方向及び前記第 1 のアレイ方向とは異なる第 2 のアレイ方向の各々におけるアレイ位置を定義する、請求項 2 に記載のデータ処理装置。

【請求項 4】

前記ベクトルの前記所与のベクトル要素についてアクセスされる前記アレイ位置が、前記所与のベクトル要素のベクトル位置に依存する第 1 のアレイ方向の座標と、前記アレイアクセス命令のパラメータによって定義される前記第 1 のアレイ方向とは異なる第 2 のアレイ方向の座標とによって定義される、請求項 1 に記載のデータ処理装置。

【請求項 5】

前記命令デコーダ回路が、前記アレイアクセス命令のパラメータに応答して 2 つの候補アレイ方向から前記第 1 のアレイ方向及び前記第 2 のアレイ方向を選択するように構成される、請求項 4 に記載のデータ処理装置。

30

【請求項 6】

前記第 2 のアレイ方向が、前記第 1 のアレイ方向と直交する、請求項 3 ～ 5 のいずれか一項に記載のデータ処理装置。

【請求項 7】

前記アレイアクセス命令が、

データ項目を前記アレイレジスタ内のそれぞれの位置に記憶するためのベクトル記憶命令と、

前記アレイレジスタ内のそれぞれの位置からデータ項目を取り出すベクトル取り出し命令からなる前記リストから選択された命令を備える、請求項 1 に記載のデータ処理装置。

40

【請求項 8】

データ処理装置が、前記ベクトル処理回路によってアクセス可能なメインメモリを備える、

請求項 7 に記載のデータ処理装置。

【請求項 9】

前記アレイアクセス命令が、

前記アレイレジスタ内のそれぞれの位置に入力データベクトルのベクトル要素を記憶するベクトル記憶命令と、

前記メインメモリのメモリ位置のセットのデータ項目を宛先データベクトルのそれぞれ

50

のベクトル要素に取り出すベクトル取り出し命令からなる前記リストから選択された命令を備える、請求項 7 に記載のデータ処理装置。

【請求項 10】

前記ベクトル記憶命令が、

前記アレレジスタ内のそれぞれの位置から出力データベクトルのベクトル要素を取り出す第 1 のベクトル取り出し命令と、

前記アレレジスタ内のそれぞれの位置から前記メインメモリのメモリ位置のセットにデータ項目を取り出すための第 2 のベクトル取り出し命令からなる前記リストから選択された命令を備える、請求項 8 に記載のデータ処理装置。

【請求項 11】

前記命令処理回路が、それぞれのベクトル要素に関連付けられる 1 つ以上の述語のセットに応答して、前記それぞれのベクトル要素に関する前記アレレジスタのアクセスを制御する、請求項 1 ～ 10 のいずれか一項に記載のデータ処理装置。

【請求項 12】

n 個は、前記ベクトル処理回路に適用可能なベクトル長に依存する、請求項 1 ～ 11 のいずれか一項に記載のデータ処理装置。

【請求項 13】

前記ベクトル処理回路が、前記ベクトル処理回路に適用可能な前記ベクトル長を選択するように構成される、請求項 12 に記載のデータ処理装置。

【請求項 14】

$n \times n$ 個の記憶位置の各々の 2 つ以上のアレレジスタを備える、請求項 1 ～ 13 のいずれか一項に記載のデータ処理装置。

【請求項 15】

データ処理方法であって、

少なくとも $n \times n$ 個の記憶位置を有するアレレジスタにアクセスすることであって、 n は 1 より大きい整数である、アクセスすることと、

プログラム命令をデコードすることと、

前記デコードするステップによってデコードされた命令を実行することと、を含み、

前記デコードするステップが、アレイアクセス命令に応答して、 n 個のベクトル要素のベクトルについて、各々が前記アレレジスタ内のそれぞれのアレ位置を有する n 個の記憶位置のセットにアクセスするように前記実行ステップを制御し、前記ベクトルの所与のベクトル要素に対してアクセスされる前記アレ位置が、前記アレイアクセス命令の 1 つ以上のパラメータによって前記所与のベクトル要素に関連付けられた 1 つ以上の座標によって定義される、データ処理方法。

【請求項 16】

コンピュータによって実行されると、前記コンピュータに、請求項 15 に記載の方法を実行させるコンピュータソフトウェア。

【請求項 17】

請求項 16 に記載のコンピュータソフトウェアを記憶する、非一時的機械可読記憶媒体。

【請求項 18】

機械可読命令を含むコンピュータプログラムを実行するデータプロセッサを備える仮想マシンであって、前記コンピュータプログラムの実行が、前記データプロセッサをデータ処理装置として動作させ、前記データ処理装置が、

少なくとも $n \times n$ 個の記憶位置を有するアレレジスタにアクセスするためのベクトル処理回路であって、 n は 1 より大きい整数であり、

プログラム命令をデコードする命令デコーダ回路と、

命令デコーダ回路によってデコードされた命令を実行する命令処理回路と、

を備える、ベクトル処理回路を備え、

前記命令デコーダ回路が、アレイアクセス命令に応答して、 n 個のベクトル要素のベク

10

20

30

40

50

トルについて、各々が前記アレレジスタ内のそれぞれのアレ位置を有する n 個の記憶位置のセットにアクセスするように前記命令処理回路を制御し、前記ベクトルの所与のベクトル要素に対してアクセスされる前記アレ位置が、前記アレアクセス命令の 1 つ以上のパラメータによって前記所与のベクトル要素に関連付けられた 1 つ以上の座標によって定義される、仮想マシン。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、データ処理に関する。

【0002】

いくつかのデータ処理構成は、ベクトル処理演算を可能にし、ベクトル処理演算は、単一ベクトル処理命令を、データベクトル内のそれぞれの位置に複数のデータ項目を有するデータベクトルのデータ項目に適用することを含む。対照的に、スカラー処理は、データベクトルではなく単一のデータ項目に効果的に演算する。

【発明の概要】

【0003】

例示的な構成では、データ処理装置が提供され、このデータ処理装置は、少なくとも $n \times n$ 個の記憶位置を有するアレレジスタにアクセスするためのベクトル処理回路であって、 n は 1 より大きい整数であり、ベクトル処理回路は、プログラム命令をデコードする命令デコーダ回路と、命令デコーダ回路によってデコードされた命令を実行する命令処理回路と、を備える、ベクトル処理回路を備え、命令デコーダ回路は、アレアクセス命令に応答して、 n 個のベクトル要素のベクトルについて、各々がアレレジスタ内のそれぞれのアレ位置を有する n 個の記憶位置のセットにアクセスするように命令処理回路を制御し、ベクトルの所与のベクトル要素に対してアクセスされるアレ位置は、アレアクセス命令の 1 つ以上のパラメータによって所与のベクトル要素に関連付けられた 1 つ以上の座標によって定義される。

【0004】

別の例示的な構成では、データ処理方法が提供され、この方法は、少なくとも $n \times n$ 個の記憶位置を有するアレレジスタにアクセスすることであって、 n は 1 より大きい整数である、アクセスすることと、プログラム命令をデコードすることと、デコードするステップによってデコードされた命令を実行することと、を含む、適用することを含む、デコードするステップは、アレアクセス命令に応答して、 n 個のベクトル要素のベクトルについて、各々はアレレジスタ内のそれぞれのアレ位置を有する n 個の記憶位置のセットにアクセスするように実行ステップを制御し、ベクトルの所与のベクトル要素に対してアクセスされるアレ位置は、アレアクセス命令の 1 つ以上のパラメータによって所与のベクトル要素に関連付けられた 1 つ以上の座標によって定義される。

【0005】

別の例示的な構成では、機械可読命令を含むコンピュータプログラムを実行するデータプロセッサを備える仮想マシンが提供され、このコンピュータプログラムの実行は、データプロセッサをデータ処理装置として動作させ、データ処理装置は、少なくとも $n \times n$ 個の記憶位置を有するアレレジスタにアクセスするためのベクトル処理回路であって、 n は 1 より大きい整数であり、ベクトル処理回路は、プログラム命令をデコードする命令デコーダ回路と、命令デコーダ回路によってデコードされた命令を実行する命令処理回路と、を備える、処理回路を備え、命令デコーダ回路は、アレアクセス命令に応答して、 n 個のベクトル要素のベクトルについて、各々がアレレジスタ内のそれぞれのアレ位置を有する n 個の記憶位置のセ

10

20

30

40

50

ットにアクセスするように命令処理回路を制御し、ベクトルの所与のベクトル要素に対してアクセスされるアレイ位置は、アレイアクセス命令の1つ以上のパラメータによって所与のベクトル要素に関連付けられた1つ以上の座標によって定義される。

【0006】

本開示の更なるそれぞれの態様及び特徴は、添付の特許請求の範囲によって定義される。

【図面の簡単な説明】

【0007】

添付図面に示されるそれらの実施形態を参照して、あくまで一例として本技術を更に説明する。

【0008】

【図1】データ処理装置を概略的に示す図である。

【図2】ストレージアレイを概略的に示す。

【図3】図2のストレージアレイ内の記憶位置を概略的に示す図である。

【図4】線形アレイアクセスを概略的に示す図である。

【図5】線形アレイアクセスを概略的に示す図である。

【図6】アドレス指定表記を概略的に示す。

【図7】更なるそれぞれのアレイアクセス例を概略的に示す図である。

【図8】更なるそれぞれのアレイアクセス例を概略的に示す図である。

【図9】更なるそれぞれのアレイアクセス例を概略的に示す図である。

【図10】更なるそれぞれのアレイアクセス例を概略的に示す図である。

【図11】仮想マシンを概略的に示す。

【図12】方法を表す概略フローチャートである。

【発明を実施するための形態】

【0009】

ここで図面を参照すると、図1は、データ値32及びプログラム命令34を記憶するメモリ30に結合されたプロセッサ20を備える、データ処理システム10を概略的に示す。プロセッサ20は、メモリ30からプログラム命令34をフェッチし、デコーダ回路50にフェッチプログラム命令を供給するための命令フェッチユニット40を含む。デコーダ回路50は、フェッチされたプログラム命令をデコードし、処理回路60を制御する制御信号を生成して、デコードされたベクトル命令によって指定されるようにレジスタ回路70内に記憶されたレジスタに処理演算を実行する。

【0010】

プロセッサ20は、少なくとも $n \times n$ 個の記憶位置のストレージアレイ90にアクセスすることができる。これは破線で描かれており、それがプロセッサ20の一部として提供されても、提供されなくてもよいことを示す。様々な実施例では、ストレージアレイは、以下の、アーキテクチャ的にアドレス指定可能なレジスタ、アーキテクチャ的にアドレス指定不可能なレジスタ、スクラッチパッドメモリ、及びキャッシュ、のうちの1つ以上を備える。

【0011】

処理回路60は、例えば、ベクトル処理回路及び／又はスカラ処理回路であってもよい。スカラ処理とベクトル処理との間の一般的な区別は、以下の通りである。ベクトル処理は、単一ベクトル処理命令を、データベクトル内のそれぞれの位置に複数のデータ項目を有するデータベクトルのデータ項目に適用することを含む。スカラ処理は、データベクトルではなく、単一のデータ項目に、効果的に演算を行う。ベクトル処理は、処理されるデータの多くの異なるインスタンスに処理演算が実行される場合に有用であり得る。ベクトル処理構成では、単一の命令を（データベクトルの）複数のデータ項目に同時に適用することができる。これにより、スカラ処理と比較して、データ処理の効率及びスループットを改善することができる。

【0012】

10

20

30

40

50

本技術は、例えばストレージアレイ 90 に記憶されたデータ項目の 2 次元アレイを処理することに関する。2 次元ストレージアレイは、少なくともいくつかの例では、例えば n 個の要素のベクトルとしてアクセスされてもよい。

【0013】

例示的实施形態では、ストレージアレイ 90 は、メモリ内のデータ項目のより大きい又はより高い次元のアレイ又は行列の正方形のアレイ部分を記憶してもよい。

【0014】

ストレージアレイ 90 の複数のインスタンス（つまり、2 つ以上のインスタンス）は、データ項目の複数のそれぞれのアレイを記憶するように提供されてもよい。

【0015】

以下の説明は、例示的なプログラム命令 34 に関する。本開示の実施形態は、例えば、図 1 に示されるタイプの装置を含み、このようなプログラム命令をデコード及び実行するように動作可能又は構成されている。従って、図 1 は、後述する機能を実行するために処理演算を選択的に適用するための処理回路の一例を提供する。

【0016】

任意選択的に、ベクトル処理装置が使用されている場合、ベクトル処理演算は、いわゆる述語の制御下にあってもよい。ここで、それぞれの述語は、線形アレイ内のデータ項目位置（この例示的な構成でデータベクトルとして処理することができる）のうちの 1 つに対して特定のベクトル関数が適用されるか否かを制御することができる。

【0017】

上述のように、処理回路 60 は、デコーダ回路 50 によってデコードされた命令の制御下で、レジスタ 70 及び／又はストレージアレイ 90 にアクセスするように構成されている。この後者の構成の更なる詳細を、ここで図 2 を参照して説明する。

【0018】

本実施例では、ストレージアレイ 90 は、少なくとも $n \times n$ 個の記憶位置 200 のアレイ 205 として構成されており、 n は 1 を超える整数である。本実施例では、 n は 16 であり、これは、記憶位置 200 へのアクセスの粒度が、水平又は垂直アレイ方向のいずれかで全記憶の $1/16$ であることを意味する。この態様は、以下で更に説明される。

【0019】

線形アレイとしての例示的なアクセス

処理回路の視点から、 $n \times n$ 個の位置のアレイは、第 1 の方向（例えば、描かれた水平方向）の n 個の線形（1 次元）アレイとして、及び、第 2 のアレイ方向（例えば、描かれているように垂直方向）の n 個の線形アレイとしてアクセス可能である。各線形アレイは、各ストレージアレイが n 個のデータ項目の線形アレイを記憶するように n 個の要素を有する。換言すれば、 $n \times n$ 個の記憶位置は、処理回路 60 の視点から、 $2n$ 個の線形アレイ、 n 個のデータ項目のそれぞれとして構成されるか、又は少なくともアクセス可能である。

【0020】

したがって、これは、 $n \times n$ 個の記憶位置のアレイが、 $2n$ 個の線形アレイとして命令処理回路によってアクセス可能な記憶素子のアレイを含み、 $2n$ 個の線形アレイは、第 1 のアレイ方向の n 個の線形アレイと、第 2 のアレイ方向の n 個の線形アレイとを含み、各線形アレイは、（例えば、これは要件ではないが） n 個のデータ項目を、データベクトルレジスタとして含む、一実施例を提供する。以下で説明される例示的な命令は、 $2n$ 個の線形アレイのうちの 1 つ以上を指定することができる。

【0021】

これらの技術の実装態様は、以下の図 3～図 5 を参照して説明される。更なる詳細は、米国特許第 11,074,214 号明細書によって提供されており、その内容は参照により本明細書に組み込まれる。

【0022】

更なる例示的なアクセス技術

更なる例では、上述のように線形アレイに単にアクセスするのではなく、 n 個のベクトル要素のベクトルに対して、それぞれがアレイレジスタ内のそれぞれのアレイ位置を有する n 個の記憶位置のセットにアクセスが行われ、ベクトルの所与のベクトル要素に対してアクセスされるアレイ位置は、アレイアクセス命令の1つ以上のパラメータによって所与のベクトル要素に関連付けられた1つ以上の座標によって定義される。そのようなパラメータは、例えば、インデックスベクトル又はそのようなインデックスのベクトルを記憶するレジスタへの参照であってもよい。

【0023】

例えば、ベクトルの所与のベクトル要素に対してアクセスされるアレイ位置は、アレイアクセス命令のパラメータによってベクトルの所与のベクトル要素に関連付けられた少なくとも一対の座標によって定義され得る。例では、一対の座標は、ベクトルの所与のベクトル要素について、第1のアレイ方向及び第1のアレイ方向とは異なる第2のアレイ方向（例えば、以下に概略的に示すような x 及び y 方向）の各々におけるアレイ位置を定義することができる。

【0024】

これらの座標のうちの1つは、ベクトルの所与のベクトル要素に対してアクセスされるアレイ位置が、所与のベクトル要素のベクトル位置に依存する第1のアレイ方向の座標、及びアレイアクセス命令のパラメータによって定義される第1のアレイ方向とは異なる第2のアレイ方向の座標によって定義され得るという点で、要素位置又はレーンによって暗示され得る。この配置は、2次元システムにおいて1つのインデックスベクトルが提供され、他のインデックスは、ベクトル要素位置によって暗示又は提供される例（図7に示す例など）に適用される。

【0025】

様々な例において、第2のアレイ方向は、第1のアレイ方向と直交してもよい。ここでは、水平行と垂直列の例について説明する。

【0026】

インデックス付けが方向又は座標軸において使用される場合、命令デコーダ回路は、アレイアクセス命令のパラメータに応答して2つの候補アレイ方向から第1のアレイ方向及び第2のアレイ方向を選択するように構成され得る。例えば、以下に説明する「HV」パラメータを使用することができる。

【0027】

命令処理回路が、それぞれのベクトル要素に関するアレイレジスタのアクセスを制御するために、それぞれのベクトル要素に関連付けられた1つ以上の述語のセットに応答する、動作の述語制御が任意選択的に使用されてもよい。

【0028】

例示的な構成では、ベクトル処理回路がベクトル処理回路に適用可能なベクトル長を選択するように構成されるように、Arm Limitedによるいわゆるスケーラブルベクトル拡張（SVE）又はSVE2配置によって定義されるものなどの技術を使用することができる。

【0029】

これらの技術の実装態様は、以下の図7～図10を参照して説明される。

【0030】

アクセス回路例

記憶位置200のアレイは、少なくとも処理回路及び任意選択的にデコーダ回路50と通信する制御回路250の制御下で、アクセス回路210、220、列選択回路230及び行選択回路240によってアクセス可能である。

【0031】

所与のアクセスに関連して、アクセス回路210のみ又はアクセス回路220のみがアクティブであり得る。

【0032】

10

20

30

40

50

図 7～図 10 を参照して説明したものを含む、本明細書で説明したアレイアクセスのタイプのいずれかに適用可能な、説明中のアクセスのタイプは、以下のいずれかとすることができる。

- n 個の要素を有する（例えば、レジスタ 7 0 の）ベクトルレジスタ 2 6 0 からデータを取得し、各要素をアレイのそれぞれの記憶位置 2 0 0 に記憶する書き込みアクセス；

- メモリ 3 0 の n 個の位置 3 2 のセット 2 7 0 からデータ項目を取得し、各データ項目をアレイのそれぞれの記憶位置 2 0 0 に記憶する書き込みアクセス；

- アレイの n 個の記憶位置 2 0 0 から取り出されたデータをベクトルレジスタ 2 6 0 の各要素に記憶する読み取りアクセス；

- アレイの n 個の記憶位置 2 0 0 から取り出されたデータをメモリ 3 0 の n 個の位置 3 2 のセット 2 7 0 のそれぞれに記憶する読み取りアクセス。

10

【 0 0 3 3 】

言い換えれば、アレイアクセス命令は、データ項目をアレイレジスタ内のそれぞれの位置に記憶するベクトル記憶命令、及びアレイレジスタ内のそれぞれの位置からデータ項目を取り出すベクトル取り出し命令からなるリストから選択された命令を含むことができる。アレイアクセス命令は、入力データベクトルのベクトル要素をアレイレジスタ内のそれぞれの位置に記憶するためのベクトル記憶命令、又は、メインメモリのメモリ位置のセットのデータ項目を宛先データベクトルのそれぞれのベクトル要素に取り出すベクトル取り出し命令を含むことができる。データ処理装置がベクトル処理回路によってアクセス可能なメインメモリを備える場合、ベクトル記憶命令は、アレイレジスタ内のそれぞれの位置から出力データベクトルのベクトル要素を取り出すための第 1 のベクトル取り出し命令、及びアレイレジスタ内のそれぞれの位置からメインメモリのメモリ位置のセットにデータ項目を取り出すための第 2 のベクトル取り出し命令からなるリストから選択された命令を含むことができる。

20

【 0 0 3 4 】

これらのタイプのアクセスの各々は、別個のそれぞれの命令又はオペコードの使用によって、及び／又は命令のそれぞれのパラメータの使用によって選択可能であり得る。例えば、単一の命令は、これらのアクセスのいずれかを提供することができ、方向（上記のような書き込み又は読み取り）は命令パラメータによって定義され、ソース／宛先（ベクトルレジスタ又はメモリ位置のセット）は別のパラメータによって定義及び／又は識別される。

30

【 0 0 3 5 】

レジスタ 2 6 0 又は位置のセット 2 7 0 への書き込み又はそこからの読み取りは、シリアルに、例えば所定の順序で一度に 1 つのデータ項目又は要素で、並列に（全て実質的に同時に）、又は例えば 4 つ又は 8 つのデータ項目又は要素のグループで並列に実行することができる。ベクトル要素又はメモリ位置への、又はベクトル要素又はメモリ位置からのデータ項目のルーティングは、アクセス回路 2 1 0、2 2 0 及び／又は制御回路 2 5 0 の制御下にあり得る。

【 0 0 3 6 】

以下の図面では、単に図を明確にするために、メモリ位置のレジスタ 2 6 0 及びセット 2 7 0 は描かれていない。

40

【 0 0 3 7 】

例示的な線形アレイアクセスの実装態様

図 3 及び上記で参照した米国特許第 1 1, 0 7 4, 2 1 4 号明細書を参照すると、「A 1」として指定された例示的なストレージアレイ 9 0 の場合、第 1 の方向（描かれた水平方向又は「H」方向）の n 個の線形アレイは、それぞれ 1 6 個のデータ項目 0 . . . F（1 6 進表記）であり、この例では A 1 H 0 . . . A 1 H 1 5 として参照され得る。例えば A 0、A 1、A 2 など、複数のそのようなストレージアレイ 9 0 が実装され得ることに留意されたい。図 3 のストレージアレイ 9 0 A 1 の 2 5 6 個のエントリ（1 6 × 1 6 個のエントリ）に記憶された同じ基礎となるデータは、代わりに、A 1 V 0 . . . A 1 V 1 5 と

50

して第2の方向（描かれた垂直方向又は「V」方向）で参照されてもよい。例えば、データ項目260は、A1H0の項目Fであるが、A1V15のアイテム0として参照されることに留意されたい。なお、「H」及び「V」の使用は、ストレージアレイ90を構成するデータ要素の記憶に関する任意の空間的又は物理的レイアウト要件を暗示せず、また、ストレージアレイが、行列処理を含む例示的なアプリケーションにおいて行又は列データを記憶するかどうかに関係しない、ということに留意されたい。

【0038】

例示的な配置では、第2のアレイ方向（例えば、図2に描かれた垂直又は水平）は、第1のアレイ方向（例えば、描かれているようにそれぞれ水平又は垂直）に対して直交する。

【0039】

第1の方向、例えば描かれた水平方向の線形アレイA1H0...A1H15のうちの1つにアクセスするために、任意の線形アレイA1Hm300（ここで、mは、この例では0から15までの任意の数である）がアクセスされている図4を参照する。ここで、行選択回路240は、線形アレイ300に対応する記憶位置の行を選択するように制御回路250によって制御され、アクセス回路210は、インターフェース320を介して処理回路に提供される線形アレイ300の個々のデータ項目310からのアクセス（入力又は出力）を制御する。

【0040】

同様に、図5を参照すると、線形アレイA1Vm400など、描かれた他の方向の任意の線形アレイにアクセスするために、列選択回路230は、線形アレイ400に対応する記憶素子の列を選択し、データは、インターフェース410によって処理回路とインターフェース接続されるアクセス回路220を介して読み取られる（出力される）。

【0041】

次に、図3～図5の構成のいわゆる粒度について説明する。線形アレイA1Hmは、それぞれ32ビットの16個のデータ項目を表す。16個のそのような線形アレイが存在し、第2のアレイ方向の各線形アレイA1Vmはまた、32ビットの16個のエントリを有する。しかしながら、その代わりに、このストレージは、それぞれの方向に8ビットの64個のデータ項目の（いわば）ベクトルとして構成され得る。換言すれば、ストレージアレイ90を提供するストレージへのアクセスの粒度は、32ビットの粒度ではなく8ビットの粒度とすることができる。しかしながら、本実施例では、第1及び第2の方向におけるそれぞれの線形アレイ内の粒度及びデータ項目の数は、同じ（第1の実施例では16、第2の実施例では64）であるべきである。

【0042】

これは、本説明の目的のための単なる例示的な構成であることに留意されたい。一般に、例示的なアーキテクチャは、例えばプロセッサ20が使用中のベクトル長を示す変数VLを維持することによって、上述のようにスケラブルな又はプロセッサ選択可能なベクトル長をサポートすることができる。VLの値は、上述のSVE/SVE2構成によって定義された技術を使用して確立又は選択される。従って、この特定の例では512ビットの例示的なベクトル長が使用されているが、一般に、A1Hmは、それぞれ32ビットの（VL/32）項目、又は更により一般的にはELEM_SIZE（）ビットの（VL/ELEM_SIZE（））項目を表す。

【0043】

例示的な構成では、命令処理回路60は、第1のアレイ方向に配置されたn個の記憶位置のグループ（A1Hm）として、記憶位置のアレイに入力ベクトル又は線形アレイを記憶するように構成されており、データ取り出し命令に応じて、線形アレイとして、データ取り出し命令の制御下で、候補アレイ方向のセットから、選択されたアレイ方向に配置されたn個の記憶位置のセット（例えば、A1Hm又はA1Vm）を取り出し、第1のアレイ方向は所定のアレイ方向（例えば、描かれた水平方向）である。換言すれば、データ書き込みは第1の方向に制約されるが、データ読み取りはいずれの方向にも許可される。し

10

20

30

40

50

かし、当然のことながら、データ書き込み及びデータ読み取りがいずれの方向にも許可される別の例示的な構成が提供され得る。

【0044】

更なる例示的なアクセス技術の実装態様

上述の例は、2次元ストレージアレイに対して線形アレイを記憶又は取り出すために、水平方向又は垂直方向のいずれかの2次元ストレージアレイなどの多次元ストレージアレイにアクセスすることに関する。

【0045】

上述した線形アレイシステムとは対照的に、ベクトルの所与のベクトル要素に対してアクセスされるアレイ位置は、アレイアクセス命令の1つ以上のパラメータによって所与のベクトル要素に関連付けられた1つ以上の座標によって定義される。そのようなパラメータは、例えば、インデックスベクトル又はそのようなインデックスのベクトルを記憶するレジスタへの参照であってもよい。

【0046】

以下に説明する本技術の例は、デコードされ実行されると、ストレージアレイからレジスタ又はメモリ内の宛先／ソースベクトルに（又はそこから）個々の要素を記憶又は収集するために、行（水平）及び／又は列（垂直）によってインデックス付きアクセスを実行するためにインデックスの1つ以上のベクトルの使用を提供する更なる命令又は命令の変形を提供する。

【0047】

これらの例では、以下に説明する技術に従って動作する図1及び図2の装置は、少なくとも $n \times n$ 個の記憶位置を有するアレイレジスタにアクセスするためのベクトル処理回路20であって、 n は1より大きい整数であり、ベクトル処理回路は、

プログラム命令をデコードする命令デコーダ回路50と、

命令デコーダ回路によってデコードされた命令を実行する命令処理回路60と、
を備える、ベクトル処理回路20を備え、

命令デコーダ回路50は、アレイアクセス命令に応答して、 n 個のベクトル要素のベクトルについて、各々がアレイレジスタ内のそれぞれのアレイ位置を有する n 個の記憶位置のセットにアクセスするように命令処理回路60を制御し、ベクトルの所与のベクトル要素に対してアクセスされるアレイ位置は、アレイアクセス命令の1つ以上のパラメータによって所与のベクトル要素に関連付けられた1つ以上の座標によって定義される、データ処理装置10の一例を提供する。

【0048】

以下の説明の目的のために、図6は、アレイがZA0として識別される例示的な 4×4 ストレージアレイ（ 4×4 のアレイサイズは、実際のアレイサイズが実際の実施形態では 4×4 よりも多少大きくてもよいことに留意して、図を明確にするための簡略化である）の図を提供し、行は、「H」+インデックス n 、 m 、 p 、 q （例えば、0～3）によって識別され、列は「V」+インデックスによって識別される。

【0049】

図7は、描かれた垂直方向に適用可能なインデックスのベクトルZcに従って、2次元ZA0アレイから1次元ベクトルレジスタZdにデータを移動させるムーブ（MOV）命令を概略的に示す。

【0050】

宛先ベクトルZdの要素を生成するために、各要素は、図7のアレイZA0のそれぞれの列ZA0Vから導出される。そのような各列について、インデックスベクトルZcは、その列に適用可能なデータ項目を抽出するためのそれぞれの垂直座標又は行を定義する。従って、列ZA0Vnについて、要素aが行ZA0Hnから抽出されるように、それぞれのインデックス要素はnである。次の隣接する列ZA0Vmの場合、インデックスはqであり、要素bが行ZA0Hqから抽出され、以下同様である。これらの演算の各々は、述語ベクトルが、（Zdの要素に対応する）各処理レーンに対して、図示のように演算が行

10

20

30

40

50

われるかどうかを定義するように、述語の対象となる。そうでない場合、述語構成は、Z dのその要素がゼロにされるか、又は変更されないままにされることを可能にすることができる。このようにして、述語が全てのレーン进行处理することを可能にすると仮定すると、それぞれの宛先ベクトル要素の宛先ベクトル内の位置に適用可能な水平位置とインデックスベクトルZ cのそれぞれの要素によって定義された垂直位置とによって定義された記憶位置から4つのそれぞれのデータ値を収集することによって、宛先ベクトルZ dは [a b c d] として組み立てられる。

【 0 0 5 1 】

垂直インデックス付きアクセスの代わりに、水平インデックス付きアクセス構成を使用することができ、（やはり述語が全てのレーン进行处理することを可能にすると仮定して）宛先ベクトルZ dは、それぞれの宛先ベクトル要素の宛先ベクトル内の位置に適用可能な垂直位置と、インデックスベクトルZ cのそれぞれの要素によって定義された水平位置とによって定義された記憶位置から4つのそれぞれのデータ値を収集することによって組み立てられることが理解されよう。そのような構成の一例が、図8によって概略的に示されている。

【 0 0 5 2 】

これらの例で使用されるシンタックスは以下の通りである。

MOV A < Z d > . B、< P g > / M、< Z A t > < H V > . B [< Z c >]

【 0 0 5 3 】

ここで、MOV Aは、アレイ移動命令を表す。Z dは、宛先ベクトルレジスタである。Bは、この例ではバイトフォーマットを示す。P gは、ベクトルレーン毎の動作を制御する述語レジスタである。Mは、述語演算に関連する修飾語であり、例えば、非アクティブ述語が、そのレーンの要素が0に設定されるべきか、その前の値に維持されるべきかを示すかどうかを定義する。Z A tは、使用中のアレイ（描かれたZ A 0など）を定義する。H又はVは、インデックス付きアクセスが水平方向にあるか垂直方向にあるかを定義する。ここでも、Bはバイトフォーマットを示す。Z cはインデックスのベクトルである。

【 0 0 5 4 】

図9は、アレイZ A 0にアクセスするためにそれぞれのベクトルレジスタZ b、Z cによって記憶される2つのインデックスベクトルを使用する例を提供する。

【 0 0 5 5 】

第1の動作では、MOV A Z d . B、P g / M、Z A 0 V . B [Z b]、宛先レジスタZ dは、インデックスベクトルZ bに従ってアレイZ A 0への垂直インデックス付きアクセスを使用して [a b e f] によって取り込まれる。

【 0 0 5 6 】

第2の動作では、MOV A Z e . B、P g / M、Z A 0 V . B [Z c]、宛先レジスタZ eは、インデックスベクトルZ cに従ってアレイZ A 0への垂直インデックス付きアクセスを使用して [c d g h] によって取り込まれる。

【 0 0 5 7 】

以前に提案された一次z i p演算（Z I P 1）は、ベクトルレジスタZ fを取り込むZ I P 1命令は、2つのソースレジスタ（この場合はZ dとZ eの下位半分から隣接するベクトル要素をペアとして読み取り、そのペアをインターリーブしてベクトルに配置し、そのベクトルを宛先レジスタZ fに書き込む。第1のソースレジスタからの第1の対は、2つの最下位ベクトル要素に配置され、後続の対は各ソースレジスタから交互に取得される。

【 0 0 5 8 】

以前に提案された二次z i p演算（Z I P 2）は、ベクトルレジスタZ gを取り込む。Z I P 2演算は、2つのソースベクトルレジスタの上半分から隣接するベクトル要素をペアとして読み取り、ペアをインターリーブしてベクトルに配置し、ベクトルを宛先ベクトルレジスタに書き込む。第1のソースレジスタからの第1の対は、2つの最下位ベクトル要素に配置され、後続の対は各ソースレジスタから交互に取得される。

【0059】

そのような命令の潜在的な使用は、例えば画像からの画素のパッチの処理を提供するための、又は述語外積命令、例えばストリーミングベクトル長を要素サイズで割ったものよりも小さい命令によって生成された小行列の行を抽出するための、ストレージアレイからの小パッチの抽出であり得る。

【0060】

上記の動作の変形例では、ソースベクトルレジスタからストレージアレイへの移動動作を提供することができ、ソースベクトルレジスタのそれぞれのベクトル要素からデータが移動されるストレージアレイ位置は、これらの同じ技術を使用して水平方向又は垂直方向にインデックス付きアクセスによって定義される。ここで、シンタックスは、上述したものと同様であり得るが、「記憶」コマンドを使用し、宛先はアレイへのインデックス付きアクセスによって定義され（例は上で使用した<Z A t><H V>. B [<Z c>]）、ソースはベクトルレジスタによって定義される（例は上で使用した<Z d>. B）。ここでも、上記と同じ方法で述語を使用することができる。

【0061】

本例では、説明した移動命令（MOV A）は、ベクトルレジスタとアレイ位置のセットとの間のいずれかの方向に動作することができ、動作の意味又は方向（アレイ位置からの読み取り又はアレイ位置への書き込み）は、データの起点及び宛先を定義するオペランドの順序付けによって定義される（ここに示す例示的なシンタックスでは、最初に定義された宛先、次に起点）。しかしながら、少なくともここで説明される例では、以下に説明される記憶動作は、常に、セットからアレイ位置へのメモリである。

【0062】

別の変形例は、以下の例示的な命令によって示される。

ST1W {<Z A t><H V>. S [<Z c>]}、<P g>、[<X n | S P> {、<X m>、LSL # 2}]

【0063】

ここで、ST1Wは、単語ベースの記憶命令である。サフィックス。Sは、（例えば）以下を含むことができるリストから選択される、ベクトル内のデータ要素サイズを示す。

- ・ B → 8ビット要素
- ・ H → 16ビット要素
- ・ S → 32ビット要素
- ・ D → 64ビット要素
- ・ Q → 128ビット要素

【0064】

データ宛先は、<Z A t><H V>. S [<Z c>]は、Z cに記憶されたインデックスベクトルによってインデックス付けされた水平（H）又は垂直（V）のいずれかで、アレイZ A tへのアクセスを定義するという点で、上述と同じ方法で定義される。任意選択の述語は、<P g>によって提供される。[<X n | S P> {、<X m>、LSL # 2}]という表現は、ベースアドレス（X n又はS P）、次いでいくつかの要素として定義されるオフセット（X m）を定義することによって、メモリ位置の対応するセットの（S V Eシステムのコンテキストにおける）既知の定義を提供する。

【0065】

上記の例では、命令デコーダ回路は、アレイアクセス命令（上述のムーブ命令又はストア命令など）に応答して、命令処理回路を制御して、n個のベクトル要素のベクトル（ベクトルレジスタ又はメモリ内に具体化されているかどうかにかかわらず）について、各々がアレイレジスタ内のそれぞれのアレイ位置を有するn個の記憶位置のセットにアクセス（例えば、読み取り又は書き込み）し、ベクトルの所与のベクトル要素に対してアクセスされるアレイ位置は、アレイアクセス命令の1つ以上のパラメータによって所与のベクトル要素に関連付けられた1つ以上の座標によって定義される。そのようなパラメータの例には、例えば水平又は垂直インデックスの定義<H V>と組み合わせた、すなわちインデ

ックスベクトルである、 $\langle HV \rangle$ 、 $B[\langle Zc \rangle]$ が含まれる。以下に示す他の例では、そのようなパラメータの例は、2つ（又は実際にはそれ以上）の座標方向のそれぞれにそれぞれのインデックス（インデックスのペアなど）を定義することができる。

【0066】

2次元インデックスの例

上述した技術のいずれも、2次元インデックスの文脈で使用することができる。例示的なストレージアレイZ A 0へのアクセスを提供するために、一对のインデックスベクトルがそれぞれのベクトルレジスタZ x、Z yによって提供される例が図10に概略的に示されている。特定のレーン又は位置に宛先ベクトル（Z d）要素を生成するために、インデックスベクトルの対は、そのレーン又は位置でアクセスされ、そのレーン又は位置に関連するアクセスされる（そこから読み取られる、又はそこに記憶される）アレイ記憶位置を定義する一对の（X、Y）座標を生成する。

【0067】

ここで、シンタックスは、上述したものと同様であり得るがHパラメータとVパラメータの両方を設定できる点（両方向のインデックス付けを示すため）と、インデックスレジスタのペアがインデックス情報のソースとして定義される点異なる。

$MOV A \langle Z d \rangle$ 、 B 、 $\langle P g \rangle / M$ 、 $\langle Z A t \rangle \langle HV \rangle$ 、 $B[\langle Z x \rangle$ 、 $\langle Z y \rangle$ 、 $\dots]$

【0068】

様々な実施形態では、アレイは、以下の、アーキテクチャ的にアドレス指定可能なレジスタ、アーキテクチャ的にアドレス指定不可能なレジスタ、スクラッチパッドメモリ、及びキャッシュ、のうちの1つ以上を備える。

【0069】

2次元以上一例

本明細書に記載の技術は、例えば $n \times n \times n$ 個のストレージアレイなどの3次元アレイなど、2次元を超えるアレイに拡張することができる。ここで、ベクトル要素位置又はレーンに関してアクセスされる記憶位置の1つ以上の座標は、インデックスベクトル内のエントリによって定義することができ、0又は複数の座標は、ベクトル要素位置又はレーンによって暗示することができ、0又は複数の座標は、アクセス命令の1つ以上のパラメータによって指定することができる。

【0070】

仮想マシンの例

図11は、上述の機能の一部又は全てが提供され得る仮想マシンを概略的に示す。仮想マシンは、データ処理回路1100の一実施例としての中央演算処理装置（CPU）と、不揮発性メモリ1110と、制御インターフェース1120と、入力／出力（IO）インターフェース1130とを備え、全てがバス構成1140によって相互接続されている。ランダムアクセスメモリ（RAM）1150は、CPU1100の動作を制御するソフトウェア1160を提供するプログラム命令を記憶する。ソフトウェア1160の制御下で、CPU1100は、上述の処理命令のうちの1つ以上の機能を提供するか、又はその機能をエミュレートする。RAM1150はまた、プログラム命令1170及びデータ1180を記憶し、プログラム命令1170は、図1のプロセッサ20に適用可能な命令であり、仮想マシンとして機能するCPU1100によって解釈、エミュレート、又は別の方法で実行される。データ1180は、プログラム命令1170の（仮想）実行によって操作される図1のデータ32に対応するデータである。従って、図11の構成は、機械可読命令（例えば、ソフトウェア1160）を含むコンピュータプログラムを実行するデータプロセッサ（CPU1100など）を備える仮想マシンの一実施例を提供し、コンピュータプログラムの実行によって、データプロセッサが上記のタイプのデータ処理装置として動作する。例示的な実施形態はまた、コンピュータによって実行されると、コンピュータに、後述する図12の方法を含む本明細書に記載されている技術のうちの1つ以上を実行させるコンピュータソフトウェアによって、及び、このようなコンピュータソフトウェア

10

20

30

40

50

を記憶する非一時的機械可読記憶媒体によって表される。

【0071】

方法概要

上記の技術は、ストレージアレイ内の適切な要素にアクセスするように制御回路にアクセス及び選択回路210、220、230、240を制御させる処理回路（制御回路を備えてもよく、又は制御してもよい）によって実装されてもよい。

【0072】

要約すると、図12は、データ処理方法を示す概略フローチャートであり、この方法は、

少なくとも $n \times n$ 個の記憶位置を有するアレイレジスタに（ステップ1200で）アクセスすることであって、 n は1より大きい整数である、アクセスすることと、

（ステップ1210で）プログラム命令をデコードすることと、

デコードするステップによってデコードされた命令を（ステップ1220で）実行することを含み、

デコードするステップ1210は、アレイアクセス命令に応答して、 n 個のベクトル要素のベクトルについて、各々がアレイレジスタ内のそれぞれのアレイ位置を有する n 個の記憶位置のセットにアクセスするように実行ステップ1220を制御し、ベクトルの所与のベクトル要素についてアクセスされるアレイ位置は、アレイアクセス命令の1つ以上のパラメータによって所与のベクトル要素に関連付けられた1つ以上の座標によって定義される。

【0073】

本出願において、「～ように構成された（configured to...）」という用語は、装置の要素が、定義された動作を行うことが可能である構成を有することを意味するために使用される。この文脈において、「構成」とは、ハードウェア又はソフトウェアの配置又は相互接続の方法を意味する。例えば、装置は、定義された動作を提供する専用ハードウェアを有し得るか、又はプロセッサ若しくは他の処理デバイスが、機能を実施するようにプログラムされ得る。「ように構成された」は、装置要素が、定義された動作を提供するために何らかの変更がなされる必要があることを意味しない。

【0074】

本技術の例示的な実施形態が添付の図面を参照して本明細書で詳細に説明されてきたが、本技術はそれらの正確な実施形態に限定されず、添付の特許請求の範囲によって定義される技術の範囲及び精神から逸脱することなく、当業者によって様々な変更、追加、及び修正を行うことができることを理解されたい。例えば、従属請求項の特徴の様々な組み合わせは、本技術の範囲から逸脱することなく、独立請求項の特徴によって作製され得る。

10

20

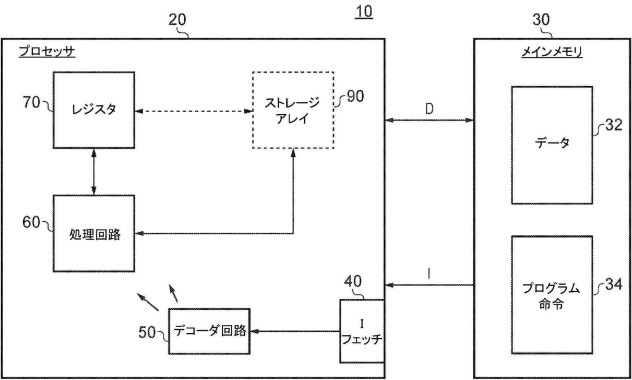
30

40

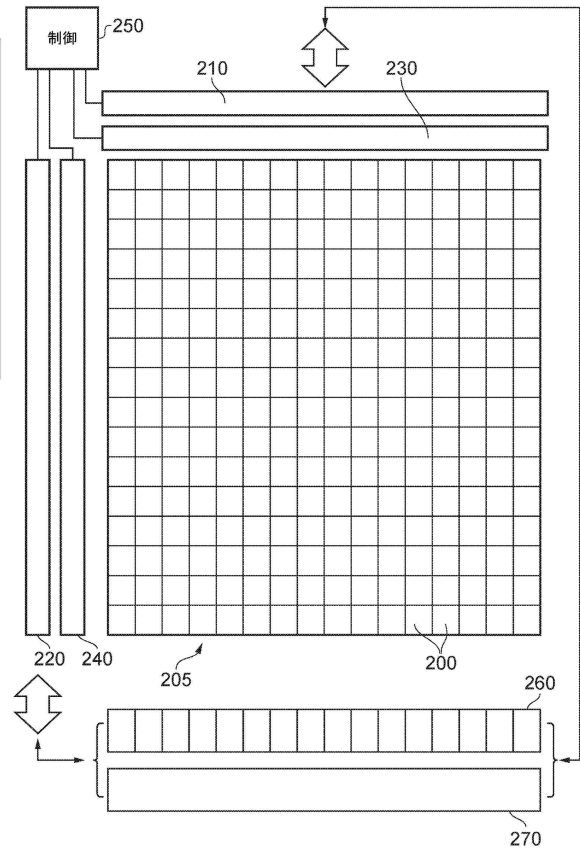
50

【図面】

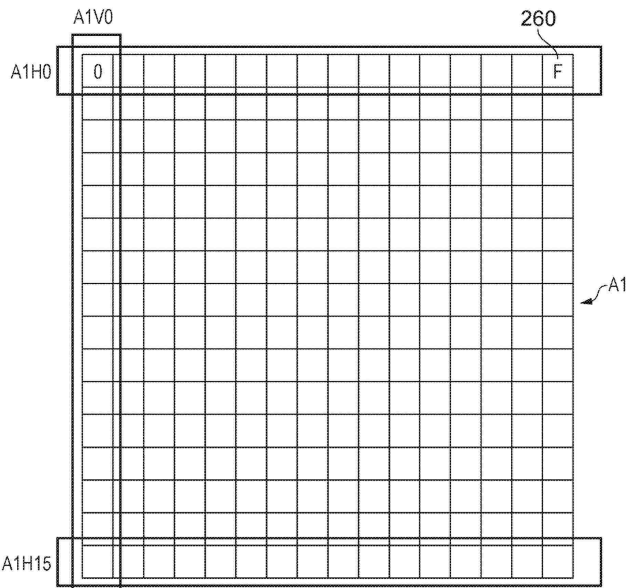
【図 1】



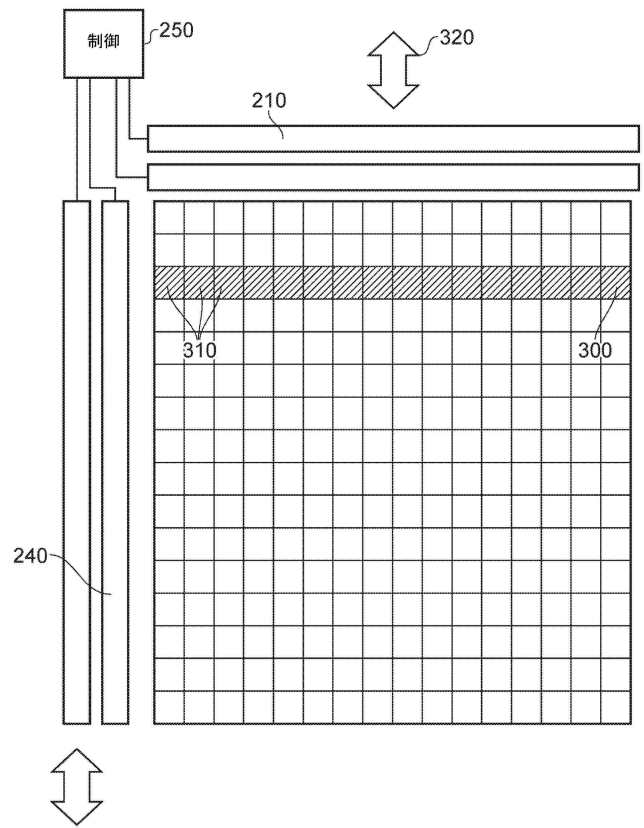
【図 2】



【図 3】



【図 4】



10

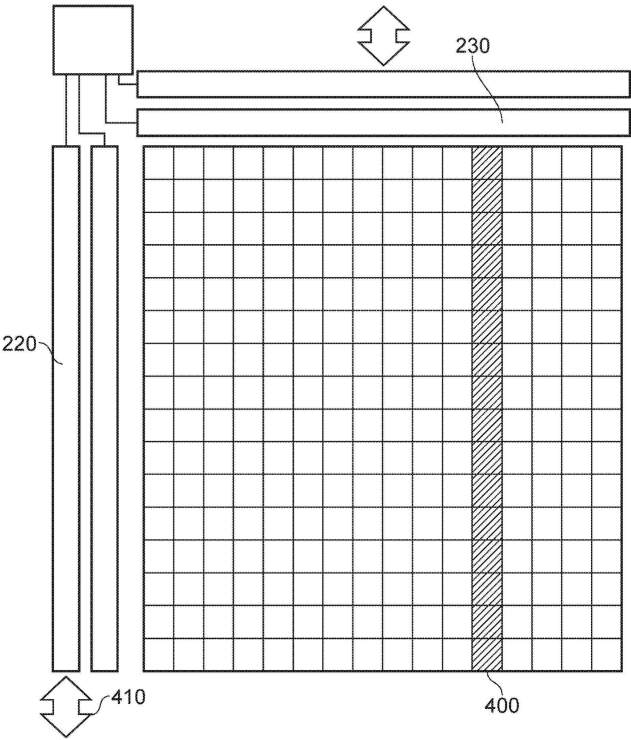
20

30

40

50

【図 5】



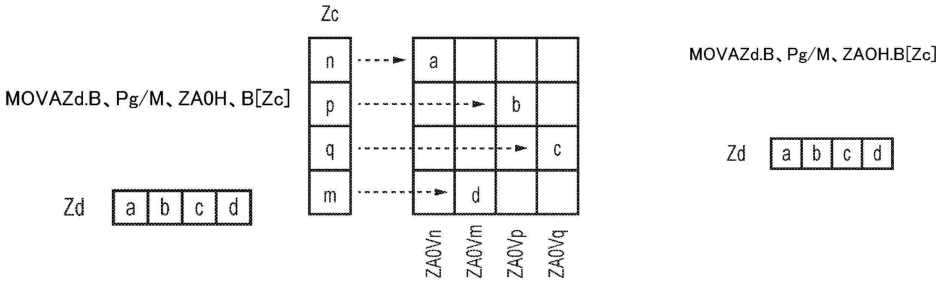
【図 6】

	ZA0Vn	ZA0Vm	ZA0Vp	ZA0Vq
ZA0Hn				
ZA0Hm				
ZA0Hp				
ZA0Hq				

【図 7】

Zc	n	q	m	q
ZA0Hn	a			
ZA0Hm			c	
ZA0Hp				
ZA0Hq		b	d	
	ZA0Vn	ZA0Vm	ZA0Vp	ZA0Vq

【図 8】



10

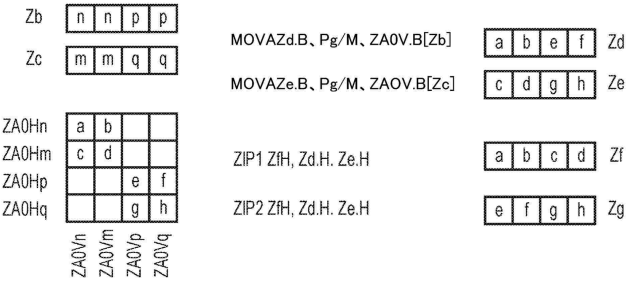
20

30

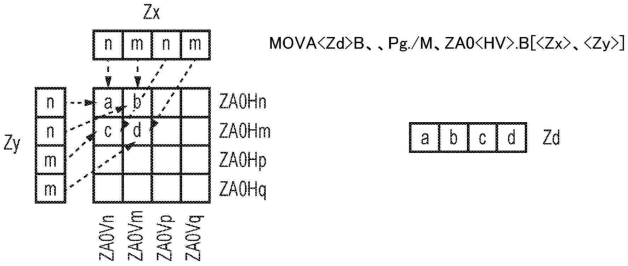
40

50

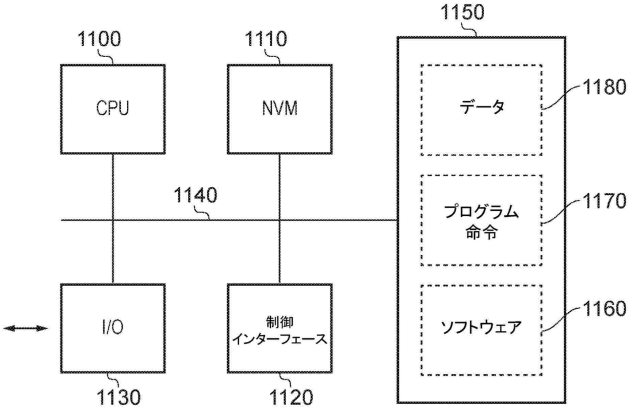
【図 9】



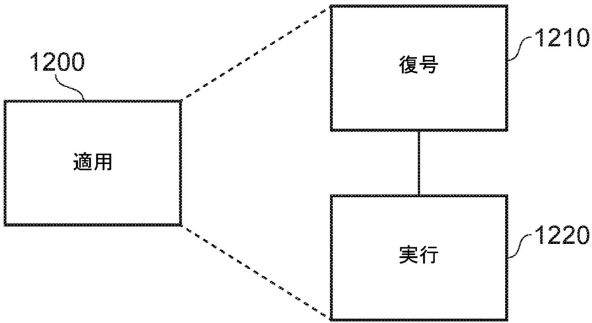
【図 10】



【図 11】



【図 12】



10

20

30

40

50

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/GB2022/053215

A. CLASSIFICATION OF SUBJECT MATTER INV. G06F9/30 ADD. According to International Patent Classification (IPC) or to both national classification and IPC				
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G06F Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data				
C. DOCUMENTS CONSIDERED TO BE RELEVANT				
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.		
X	US 2019/250915 A1 (YADAVALLI SITARAM [US]) 15 August 2019 (2019-08-15) figure 3c paragraph [0044] - paragraph [0057]; figure 7	1-18		
A	GB 2 594 971 A (ADVANCED RISC MACH LTD [GB]) 17 November 2021 (2021-11-17) figures 10,11-13,15 page 9, line 22 - page 11, line 26 page 30, line 25 - page 37, line 29	1-18		
A	US 2021/042261 A1 (MILANOVIC JELENA [FR] ET AL) 11 February 2021 (2021-02-11) the whole document	1-18		
A	EP 3 629 154 A2 (INTEL CORP [US]) 1 April 2020 (2020-04-01) figure 24	1-18		
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.				
* Special categories of cited documents : <table border="0"> <tr> <td> "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed </td> <td> "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family </td> </tr> </table>			"A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
"A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family			
Date of the actual completion of the international search		Date of mailing of the international search report		
15 March 2023		27/03/2023		
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Moraiti, Marina		

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/GB2022/053215

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2019250915 A1	15-08-2019	NONE	
GB 2594971 A	17-11-2021	CN 115552371 A	30-12-2022
		EP 4150447 A1	22-03-2023
		GB 2594971 A	17-11-2021
		KR 20230005393 A	09-01-2023
		WO 2021229232 A1	18-11-2021
US 2021042261 A1	11-02-2021	CN 113490914 A	08-10-2021
		EP 3931688 A1	05-01-2022
		IL 285752 A	31-10-2021
		JP 2022543332 A	12-10-2022
		KR 20220038579 A	29-03-2022
		TW 202107279 A	16-02-2021
		US 2021042261 A1	11-02-2021
		WO 2021023957 A1	11-02-2021
EP 3629154 A2	01-04-2020	CN 110955454 A	03-04-2020
		CN 114237713 A	25-03-2022
		CN 114625418 A	14-06-2022
		EP 3629154 A2	01-04-2020
		EP 4141661 A1	01-03-2023
		US 2020104135 A1	02-04-2020
		US 2021318874 A1	14-10-2021
		US 2022100505 A1	31-03-2022
		US 2022100515 A1	31-03-2022

10

20

30

40

50

フロントページの続き

,MC,ME,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,
ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,C
O,CR,CU,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,I
R,IS,IT,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,MG,MK,MN,MW,MX
,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,
SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

アンティポリス、ビオット、アベニュー ド ルーマニル 7 3 8 , アーム フランス エスエーエス宛

(72)発明者 サヴィツジ、ジョー

イギリス国 ケンブリッジシャー シービー 1 9 エヌジェイ ケンブリッジ、フルボーン ロード
1 1 0 , アーム リミテッド宛

F ターム (参考) 5B033 AA04 DD09
5B056 AA05 BB32 FF07 FF10