

發明專利說明書 200533100

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：P3141038

※ 申請日期：13, 12, 29 ※IPC 分類：H04B 17/60

一、發明名稱：(中文/英文)

測試型樣之產生

TEST PATTERN GENERATION

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商高通公司

QUALCOMM INCORPORATED

代表人：(中文/英文)

喬治 A 懷坦

WHITTEN, GEORGE A.

住居所或營業所地址：(中文/英文)

美國加州聖地牙哥市摩豪斯大道5775號

5775 MOREHOUSE DRIVE, SAN DIEGO, CA 92121-1714, U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 1 人)

姓 名：(中文/英文)

李淘

LI, TAO

國 籍：(中文/英文)

中國大陸 PEOPLE'S REPUBLIC OF CHINA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2003年12月30日；10/749,526

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明通常係關於測試資料型樣之產生。更特定而言，本發明係關於產生用於積體電路之測試資料型樣之方法及裝置。

【先前技術】

典型之現代電子電路包含數以千萬計整合在一單一晶片內之單個組件，人工測試極為困難。為測試該些複雜的電子電路，電路設計者們不得不依靠自動化測試。

測試可藉由在受測試晶片外部產生測試資料型樣且經由該晶片之輸入管腳饋送該等測試型樣信號來達成。使用一外部測試產生器需要該晶片提供其某些管腳供測試用。此將會減少可用於晶片實際功能之有限管腳數量。此外，外部測試型樣之產生不僅成本高、耗時多且維護更加複雜。

設計用於支援分碼多重擷取(CDMA)通訊之晶片尤為複雜。通常，CDMA晶片包括其它應用中不需要之額外信號處理功能。為使用真實信號刺激來測試該等CDMA晶片，該測試資料型樣產生器通常需要藉由相對複雜之信號處理來產生資料型樣。一先前解決方案(針對去除外部測試產生器)包括一位於該CDMA晶片自身內的內部測試資料產生器電路。然而，此將因增加CDMA晶片之硬體而增加本已複雜之CDMA晶片之複雜性。另一針對減少CDMA晶片之硬體需求之先前技術方案包括可產生隨機測試資料型樣之簡約內部硬體。然而，此無法滿足藉由真實刺激來測試

CDMA晶片之需要。

相應地，人們期望無需一外部測試資料型樣產生器且無需明顯增加CDMA晶片之硬體及複雜性即可產生真實測試資料型樣。

【發明內容】

在本發明之一態樣中，一分碼多重擷取積體電路包括：一解碼器，其經組態以使輸入資料與複數個編碼相關聯；及一測試資料型樣產生器，其經組態以使用該等複數個編碼之一來擴展一輸入測試資料，以形成一擴展測試資料，並將該擴展測試資料提供至解碼器。

在本發明之另一態樣中，一分碼多重擷取積體電路包括：關聯構件，其用來使一輸入資料與複數個編碼相關聯；及擴展構件，其使用該等複數個編碼之一來擴展一輸入測試資料以形成一擴展測試資料且以輸入資料形式提供該擴展測試資料。

在本發明之再一態樣中，一種測試一分碼多重擷取積體電路之方法包括下列步驟：在一解碼器內使一輸入資料與複數個編碼相關聯；使用該等編碼之一來擴展一輸入資料來形成一擴展測試資料；及提供該擴展測試資料至解碼器。

應瞭解，依據下文之詳細闡釋，本發明之其它實施例對熟悉此項技術者即顯而易見；其中本發明之各種實施例皆以圖示說明方式加以顯示及闡釋。應瞭解，本發明可具有其它及不同之實施例且可對其數個細節做其它不同之修

改，而所有此等皆不脫離本發明之精神及範圍。因此，該等附圖及詳細闡釋皆應視為具有圖示說明性而非限制性。

【實施方式】

下文結合附圖所陳述之詳細敘述，係本發明之各種實施例的詳細敘述，而這並不表示本發明僅能實現於該等實施例。本發明所敘述之每一實施例僅提供用作本發明之一實例或舉例說明，不應理解成其較佳或優於其它實施例。該詳細敘述包括具體細節，係為了提供對本發明之全盤了解。然而，對熟悉此項技術者而言，顯然無需此等具體細節亦可實施本發明。在某些情形下，以方塊圖形式顯示衆所習知之結構及裝置，以避免本發明之概念模糊不清。使用常用頭字語及其它描述性術語只是為了便利及清楚，而不是有意限制本發明之範圍。

在下文詳細敘述中，將於一CDMA通訊裝置之架構下，敘述本發明之各種系統及技術。儘管此等技術適用於此類型之應用中，熟悉此項技術者應不難瞭解，此等系統及技術亦適用於任一通訊裝置。因此，任何對一CDMA通訊裝置之引用，僅為了說明本發明之該等發明性態樣，且應瞭解此等發明性態樣具有廣泛的應用。

圖1係一圖解說明CDMA應用之一無線通訊裝置102之一可能組態之概念性方塊圖。如熟悉此項技術者所瞭解，該無線通訊裝置102之精確組態隨具體應用及整體設計侷限而不同。無線通訊裝置102可配置一基於軟體之處理器，或任何其它組態。圖1所示之實施例中，該基於軟體之處

理器可具有一配備有記憶體105之微處理器104。該微處理器104可提供一平臺，以執行軟體程式，尤其是處理各種使用者介面(未顯示)之所有管理功能，及協調與基地台(未顯示)之間命令及控制傳訊功能的軟體程式。該基地台可用來支援多個無線裝置間之通訊，或者，可用來將一無線裝置連接至一網路，例如，一電路交換網路或封包交換網路。

無線通訊裝置102可包括一CDMA積體電路或晶片106，以執行特定演算法來減少微處理器104上之處理需求。該CDMA晶片106可係一數位信號處理器(DSP)、一特殊應用積體電路(ASIC)、一場可程式化閘極陣列(FPGA)或其它可程式化邏輯裝置、離散閘、電晶體邏輯電路、離散硬體組件、或能夠實施本文所述一個或多個功能之任何其它等效或非等效結構。CDMA晶片106所執行之特定演算法可包括編碼及調變功能，以及其它各種用於CDMA通訊之擴頻作業。在一隨後更詳細闡述之形式中，該CDMA晶片106亦可包括一測試功能以確保硬體在工廠的正常運作。

當無線通訊裝置102通電時，其可使用一擷取程序嘗試與一基地台(未顯示)建立通訊。該擷取程序可涉及攫取一個或多個基地台所發射之一導頻信號。每一基地台所發射之導頻信號可藉由一不同基地台所特有之攪亂碼予以加攪。對每一導頻信號之攫取皆包括用於針對各個基地台確定其攪亂碼之眾所周知之程序。此等攪亂碼可存儲在記憶體105內供CDMA晶片106隨後使用。

一旦無線裝置102攫取該等導頻信號，其即可使用各種控制及訊務通道與各基地台進行通訊。可藉由使用一諸如沃爾什編碼之正交碼擴展每一通道來辨別該等控制及訊務通道。在某些應用中，可使用可變長度之沃爾什編碼來支援更高的資料速率。在現代技術中，通常將可變長度之沃爾什編碼稱為正交可變擴頻因子(OVSF)編碼。每一控制通道之沃爾什編碼可固定，且因此，可在工廠被程式規劃於微處理器或CDMA晶片內。無線通訊裝置102可使用此等沃爾什編碼來擷取控制通道，基地台可使用該等控制通道指配OVSF編碼來支援該等不同之訊務通道。該等所指配之OVSF編碼亦可存儲在記憶體105內供CDMA晶片106隨後使用。

圖2係一圖解敘述一CDMA晶片之實例之概念性方塊圖。該CDMA晶片106包括一接收機前端210、一搜尋器220、一解調器230、及一解碼器240。該接收機前端210經由一類比前端(未顯示)自一天線(未顯示)接收一經數位化之接收信號，且對該所接收之數位化信號實施基頻過濾。首先，解調器230對經過濾的數位信號實施CDMA信號處理，例如但不僅限於：藉由各種攪亂碼對信號進行解攪來識別基地台發射源，且藉由各種OVSF編碼對信號進行解擴頻來分離各基地台之訊務及控制通道。接下來，解碼器240可用於提供額外的信號處理功能，例如但不僅限於：解交錯及解碼。

解調器230可配置成多種形式。舉例而言，可使用一耙

式接收器(未顯示)藉由分集技術來抑制衰落。通常，耙式接收器會利用可分解多路徑信號之獨立衰落來達成分集增益。此可藉由搜尋器220與耙式接收器間之協力而達成。更具體而言，搜尋器220可組態為使用適合之攪亂碼來識別每一導頻信號之強多路徑抵達。然後，搜尋器220可指配手指狀通道(Finger)來識別該等多路徑信號之時間偏差。耙式接收器可使用該等手指狀通道作為一時間基準來關聯一OVSF通道之每一所期望多路徑反射之訊務。隨後，可將各OVSF通道之單獨關聯進行相干組合並提供至解碼器240供解交錯及解碼使用。

一駐存於CDMA晶片106上之測試資料型樣產生電路200可用於測試目的。於一實施例中，一測試資料型樣產生電路200顯示於解調器230內。該測試資料型樣產生器電路200產生測試資料型樣用來測試各種CDMA晶片組件，例如但不僅限於：接收器前端210、搜尋器220、解調器230、解碼器240或其任一組合。於其它實施例中，測試資料型樣產生電路200可作為一單獨組件設置於一CDMA晶片106內或其它CDMA晶片組件之一內。一測試微處理器或記憶體(未顯示)可用來代替圖1中之微處理器104及記憶體105來指配各種攪亂碼及OVSF編碼以運作耙式接收器。

圖3係該測試資料型樣產生電路200之一方塊圖。該測試資料型樣產生電路200包括多工器310、組合器320、擴展器340、一加法器360及一延遲元件380。於一實施例中，該組合器320係邏輯XOR電路。一多工器310之輸入包括由

該測試微處理器及記憶體所產生之多個OVSF碼302及多個攪亂碼306。此構造允許有效重複使用CDMA晶片106內之現有硬體電路，而無需在測試資料型樣產生電路200內重複類似硬體。

該等OVSF編碼302及攪亂碼306係一邏輯XOR電路320之輸入。然後，展頻碼322(其係OVSF編碼302與攪亂碼306之一邏輯組合)將作為饋送至一擴展器340之兩個輸入中之一。擴展器340之第二輸入係一輸入測試資料型樣326，其亦可由該測試微處理器及記憶體產生。輸入測試型樣326之特徵係基於所期望之測試計劃(profile)而選擇，且為熟悉此項技術者所習知。該擴展測試資料型樣342係該輸入測試資料型樣326之擴頻形式，其中使用熟悉此項技術者所習知之擴頻技術。然後，使用一輸出擴展測試資料型樣382(其對應於擴展測試資料型樣342)來測試CDMA晶片106之各種組件，例如接收器前端210、搜尋器220、解調器230、解碼器240或其任一組合，但不限於此。若存在複數個擴展測試資料型樣342，則輸出擴展測試資料型樣382係該等複數個擴展測試資料型樣342之一疊加。若僅存在一個擴展測試資料型樣342，則輸出擴展測試資料型樣382與擴展測試資料型樣342相同。

於一實施例中，展頻碼322失效，且擴展器340由一交錯器(未顯示)替代，其中該交錯器經組態以將輸入測試資料型樣326交錯為一經交錯之測試資料型樣，而用來測試CDMA晶片106之解碼器240。此處，於該測試組態中，不

使用解碼器 240 之解碼功能。於另一實施例中，展頻碼 322 失效，且擴展器 340 由一編碼器(未顯示)替代，其中該編碼器經組態以將輸入測試資料型樣 326 編碼為一經編碼之測試資料型樣，而用來測試 CDMA 晶片 106 之解碼器 240。此處，於該測試組態中，不使用解碼器 240 之交錯功能。於再一實施例中，擴展器 340 由一交錯器及一編碼器替代，且其中該交錯器及編碼器經組態以將輸入測試資料型樣 326 交錯並編碼為一經編碼及交錯之測試資料型樣，而用來測試 CDMA 晶片 106 之解碼器 240。

於一實施例中，來自多個手指狀通道之 OVFSF 編碼 302 及攪亂碼 306 被分別輸入至兩個多工器 310。於一實施例中，一個多工器 310 之輸入包括十二個 OVFSF 編碼 302，且另一多工器 310 之輸入包括十二個攪亂碼 306。由測試微處理器所產生的一致能信號 312 可順序地致能多個 OVFSF 編碼 302 及攪亂碼 306 集合中之每一個碼，以順序產生輸出 XOR 信號 322。此順序方法允許僅使用測試資料型樣產生電路內的一個擴展器 340 合成擴展測試資料型樣 342。

於一實施例中，多個 OVFSF 編碼 302 及多個攪亂碼 306 之額外平行路徑被分別輸入至兩個多工器 310 之平行集合中。於一實施例中，如圖 3 所示，多個 OVFSF 編碼 302 及多個攪亂碼 306 之三個平行路徑被分別輸入至兩個多工器 310 之三個平行集合中。於此實施例中，具有六個多工器 310、三個邏輯 XOR 電路 320 及三個擴展器 340。一加法器 360 添加該等平行路徑作為一單一輸出擴展測試資料型樣

382。

於一實施例中，若需要，可配置邏輯「AND」閘315來關閉OVSF編碼302之路徑。於另一實施例中，若需要，可配置邏輯「AND」閘350來關閉任一擴展測試資料型樣342之路徑。來自測試微處理器之致能信號可致能該等邏輯「AND」閘315、350。此外，於一實施例中，可配置一延遲元件380來匹配與CDMA晶片106相關聯之時間延遲。

結合本文所揭示實施例敘述之各種邏輯塊、模組及電路可由以下裝置構建或實施：一通用處理器、一數位信號處理器(DSP)、一特殊應用積體電路(ASIC)、一場可程式化閘極陣列(FPGA)或其它可程式化邏輯裝置、離散閘或電晶體邏輯電路、離散硬體組件、或其設計用來實施本文所述功能之任一組合。一通用處理器可係一微處理器，但另一選擇為，該處理器可係任一傳統型處理器、控制器、微控制器、或狀態機。一處理器亦可構建為一計算裝置之組合，例如，一DSP與一微處理器之組合、複數個微處理器、一個或多個微處理器結合一DSP核心、或任一其它此類組態。

結合本文所揭示實施例敘述之方法或演算法可直接包含在硬體、一可由一處理器執行之軟體模組，或兩者之組合內。一軟體模組可駐存於：RAM記憶體、閃光記憶體、ROM記憶體、EPROM記憶體、EEPROM記憶體、暫存器、硬碟、一可移動式磁盤、一CD-ROM、或先前技術中已知之任一其它形式之存儲媒體。一存儲媒體可耦合至處理

器，以使該處理器能夠自該存儲媒體讀取資訊且能夠將資訊寫入該存儲媒體。另一選擇為，該存儲媒體可與該處理器合而為一。該處理器及存儲媒體可駐存於一ASIC內。該ASIC可駐存於無線通訊裝置內或別處。另一選擇為，該處理器及存儲媒體可作為離散組件駐存於無線通訊裝置內或別處。

提供上述對所揭示實施例之敘述旨在使任一熟悉此項技術者能夠製造或使用本發明。熟悉此項技術者可極易聯想出對此等實施例之各種改造且可將本文所定義之一般原理應用於其它實施例，此等並未脫離本發明之精神或範圍。因此，不應將本發明侷限於本文所示之實施例，且應賦予其符合本文所揭示原理及新穎特徵之最寬廣範疇。

【圖式簡單說明】

附圖以舉例說明而非限制方式圖解敘述本發明之各個態樣，其中：

圖1係一圖解敘述一無線電通訊裝置之實例之概念性方塊圖；

圖2係一圖解敘述一供用在一無線通訊裝置內之CDMA晶片之概念性方塊圖；

圖3係一圖解敘述一測試資料型樣產生電路之實例之概念性方塊圖。

【主要元件符號說明】

102	無線通訊裝置
104	微處理器

105	記憶體
106	CDMA晶片
210	接收器前端
220	搜尋器
230	解調器
240	解碼器
200	測試資料型樣產生電路
302	OVSF碼
306	攪亂碼
310	多工器
312	致能信號
315	邏輯「AND」閘
320	組合器
322	展頻碼
326	輸入測試資料型樣
340	擴展器
342	擴展測試資料型樣
350	邏輯「AND」閘
360	加法器
380	延遲元件
382	輸出擴展測試資料型樣

五、中文發明摘要：

一種用於測試一CDMA積體電路之設備及方法，其中該CDMA積體電路包括一解調器與一測試資料型樣產生器，該解調器用於使輸入資料與一組編碼中之一編碼相關聯，而該測試資料型樣產生器則用於藉由該組編碼中之一編碼來擴展輸入測試資料，以形成一擴展測試資料，並將該擴展測試資料提供至該解調器。該組編碼可結合該輸入測試資料，以產生一組擴展測試資料，隨後並饋送至該CDMA晶片之各種組件，以供測試該等各種組件。在一實施例中，該組編碼之每一編碼皆包括一攪亂碼及一展頻碼。

六、英文發明摘要：

十、申請專利範圍：

1. 一種分碼多重擷取(CDMA)積體電路，其包括：

一解調器，其經組態以使一輸入資料與複數個編碼相關聯；及

一測試資料型樣產生器，其經組態以使用至少該等複數個編碼之一來擴展一輸入測試資料，以形成一擴展測試資料，並將該擴展測試資料提供至該解調器。

2. 如請求項1之積體電路，其進一步包括一經組態以將該輸入資料及擴展測試資料多工傳輸至該解調器之多工器。
3. 如請求項1之積體電路，其中至少該等複數個編碼之一包括一攪亂碼及一擴展碼。
4. 如請求項3之積體電路，其中該攪亂碼包括一偽-亂碼(PN)，且該擴展碼包括一沃爾什編碼。
5. 如請求項3之積體電路，其中該測試型樣產生器進一步包括複數個經組態以關閉該攪亂碼之「AND」閘。
6. 如請求項3之積體電路，其中該測試型樣產生器進一步包括複數個經組態以關閉該擴展碼之「AND」閘。
7. 如請求項1之積體電路，其中該測試資料型樣產生器進一步包括一經組態以組合複數個攪亂碼與複數個擴展碼來形成該等複數個編碼之組合器。
8. 如請求項7之積體電路，其中該組合器包括一邏輯XOR電路。
9. 如請求項7之積體電路，其中該測試資料型樣產生器進

一步包括一多工器，其經組態以自複數個攪亂碼中選擇該攪亂碼，自複數個擴展碼中選擇該擴展碼及將該攪亂碼及擴展碼提供至該組合器。

10. 如請求項9之積體電路，其中該解調器進一步包括一具有複數個手指狀通道之耙式接收器，該等手指狀通道之一經組態以接收該攪亂碼及該擴展碼。

11. 如請求項1之積體電路，其中該測試資料型樣產生器進一步包括複數個經組態以使用該等複數個編碼來擴展該輸入測試資料，以形成複數個擴展測試資料之擴展器。

12. 如請求項11之積體電路，其中該測試資料型樣產生器進一步包括複數個經組態以關閉至少一個擴展測試資料之「AND」閘。

13. 一種分碼多重擷取(CDMA)積體電路，其包括：

使一輸入資料與複數個編碼相關聯之構件；及

使用至少複數個編碼之一來擴展一輸入測試資料，以形成一擴展測試資料，並提供該擴展測試資料作為該輸入資料之構件。

14. 如請求項13之積體電路，其進一步包括對該輸入資料及擴展測試資料實施多工之構件。

15. 如請求項13之積體電路，其中至少該等複數個編碼之一包括一攪亂碼及一擴展碼。

16. 如請求項15之積體電路，其中該攪亂碼包括一偽-亂碼(PN)，且該擴展碼包括一沃爾什編碼。

17. 如請求項15之積體電路，其進一步包括用以關閉該攪亂

碼之構件，及用以關閉該擴展碼之構件。

18. 如請求項13之積體電路，其進一步包括組合複數個攪亂碼與複數個擴展碼來形成該等複數個編碼之構件。

19. 如請求項18之積體電路，其進一步包括自複數個攪亂碼中選擇該攪亂碼之構件，及自複數個擴展碼中選擇該擴展碼之構件。

20. 一種測試一分碼多重擷取(CDMA)積體電路之方法，其包括下述步驟：

使一輸入資料與一解調器內之複數個編碼相關聯；及
使用至少該等複數個編碼之一來擴展一輸入測試資料，以形成一擴展測試資料，並將該擴展測試資料提供至該解調器。

21. 如請求項20之方法，其進一步包括對該輸入資料及擴展測試資料實施多工之步驟。

22. 如請求項20之方法，其中至少該等複數個編碼之一包括一攪亂碼及一擴展碼。

23. 如請求項20之方法，其進一步包括組合複數個攪亂碼與複數個擴展碼來形成該等複數個編碼之步驟。

十一、圖式：

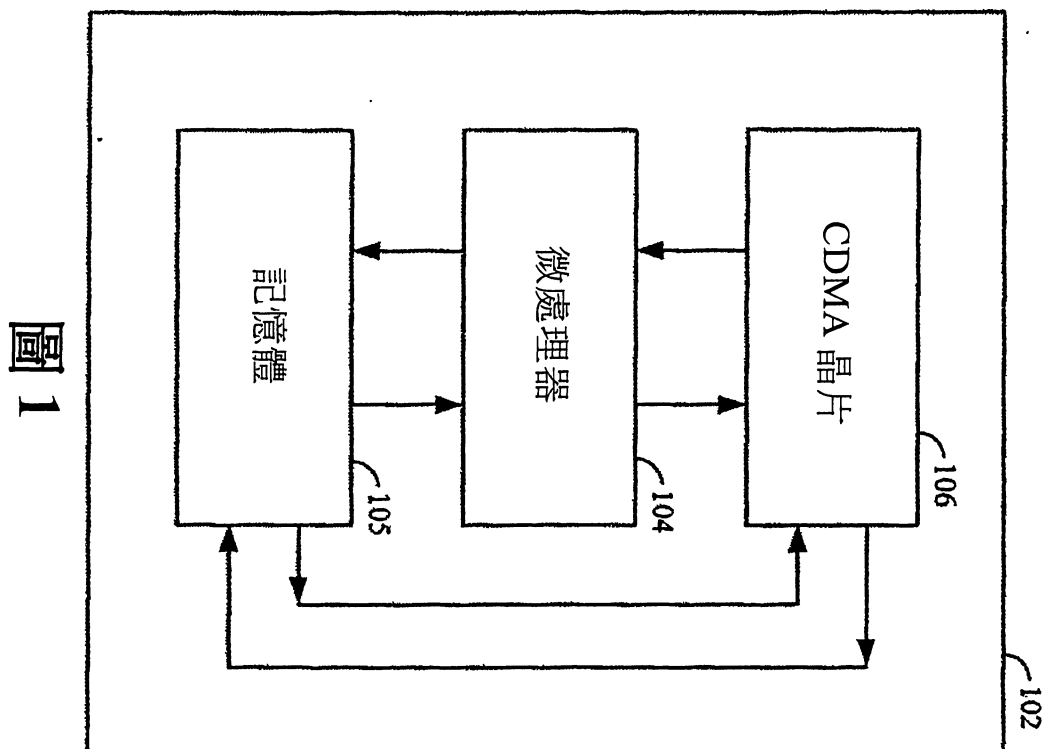


圖 1

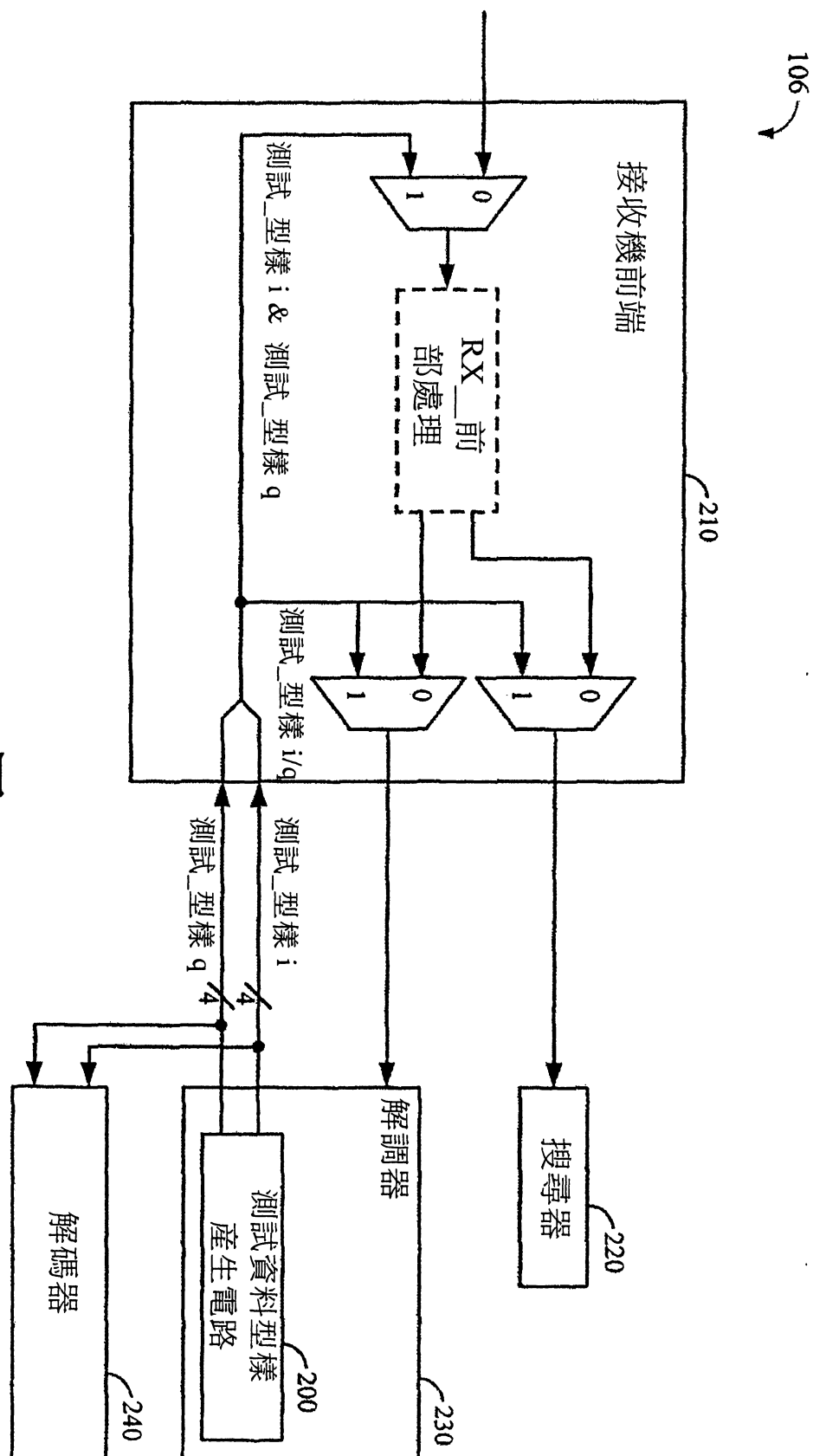


圖 2

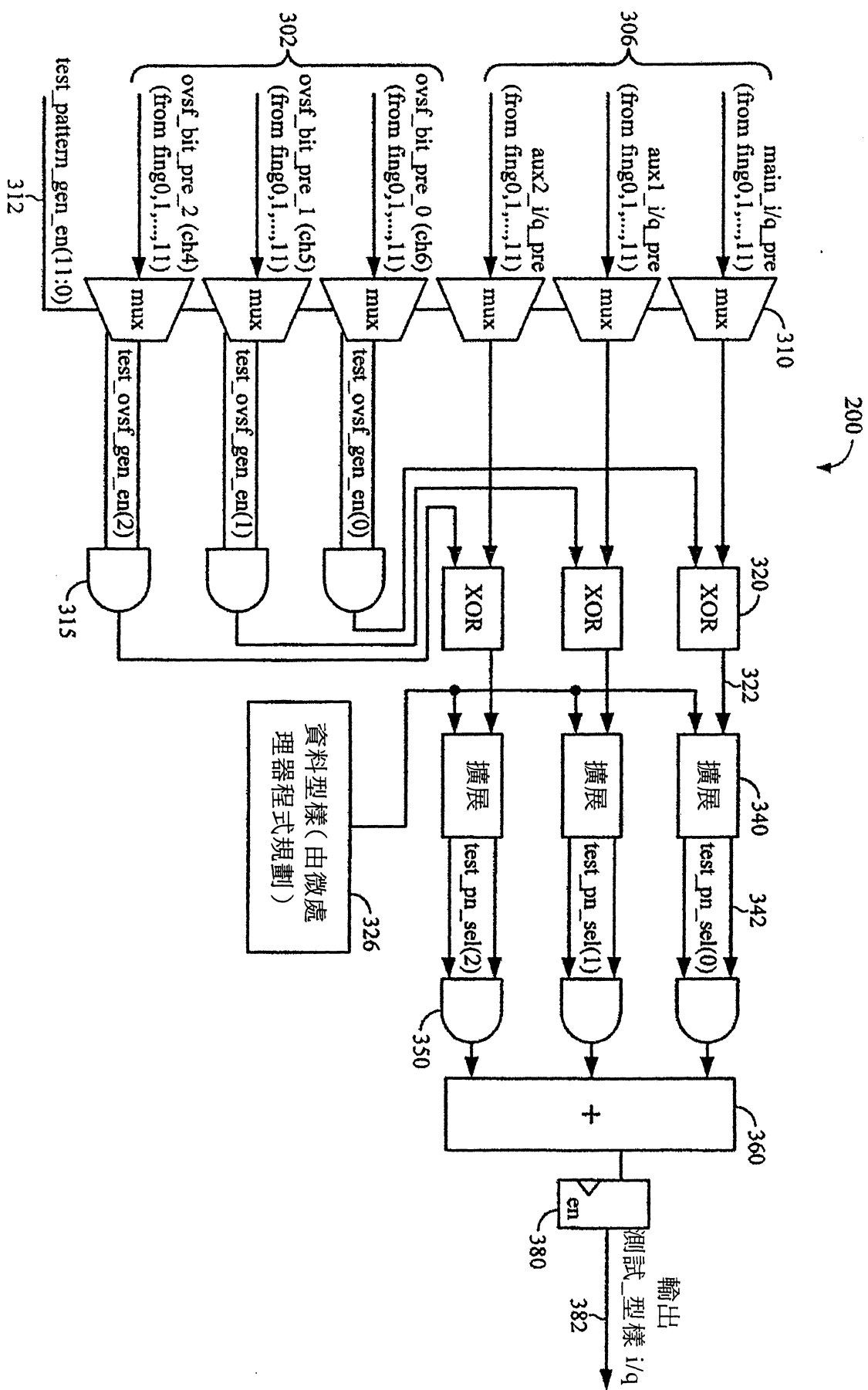


圖 3

七、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

200	測試資料型樣產生電路
302	OVSF碼
306	攪亂碼
310	多工器
312	致能信號
315	邏輯「AND」閘
320	組合器
322	展頻碼
326	輸入測試資料型樣
340	擴展器
342	擴展測試資料型樣
350	邏輯「AND」閘
360	加法器
380	延遲元件
382	輸出擴展測試資料型樣

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)