



(12)发明专利

(10)授权公告号 CN 106531758 B

(45)授权公告日 2018.09.28

(21)申请号 201610137827.6

(22)申请日 2016.03.10

(65)同一申请的已公布的文献号
申请公布号 CN 106531758 A

(43)申请公布日 2017.03.22

(30)优先权数据
2015-178165 2015.09.10 JP

(73)专利权人 阿尔发得株式会社
地址 日本东京

(72)发明人 加贺广持 田岛纯平 冈俊行
宫部主之

(74)专利代理机构 北京律盟知识产权代理有限
责任公司 11287
代理人 张世俊

(51)Int.Cl.

H01L 27/15(2006.01)

H01L 33/64(2010.01)

(56)对比文件

US 2012/0043563 A1,2012.02.23,

CN 102208512 A,2011.10.05,

CN 102201426 A,2011.09.28,

CN 102956663 A,2013.03.06,

US 2012/0104424 A1,2012.05.03,

TW 201115729 A,2011.05.01,

US 2011/0018013 A1,2011.01.27,

US 2009/0008654 A1,2009.01.08,

审查员 廖艳闰

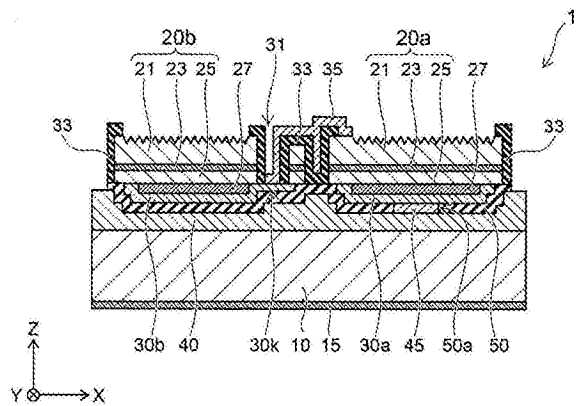
权利要求书2页 说明书10页 附图11页

(54)发明名称

半导体发光装置

(57)摘要

实施方式的半导体发光装置包括:导电性的衬底;及2个以上的发光体,并列设置在所述衬底上,且分别包含第1导电型的第1半导体层、第2导电型的第2半导体层、及设置在所述第1半导体层与所述第2半导体层之间的发光层。2个以上的发光体包含电连接于所述衬底的第1发光体、及串联连接于所述第1发光体的第2发光体。此外,本发明包括:第1电极,设置在所述第1发光体与所述衬底之间,且电连接于所述第1发光体的第1半导体层及所述衬底;第2电极,设置在所述第2发光体与所述衬底之间,且电连接于所述第2发光体的第1半导体层;及第1配线,将所述第1发光体的第2半导体层与所述第2电极电连接。



1. 一种半导体发光装置,其特征在于包括:

导电性的衬底;

2个以上的发光体,并列设置在所述衬底上,分别包含第1导电型的第1半导体层、第2导电型的第2半导体层、及设置在所述第1半导体层与所述第2半导体层之间的发光层,且所述2个以上的发光体包括:第1发光体、及串联连接于所述第1发光体的第2发光体;

第1电极,设置在所述第1发光体与所述衬底之间,且电连接于所述第1发光体的第1半导体层;

第2电极,设置在所述第2发光体与所述衬底之间,且电连接于所述第2发光体的第1半导体层,而不与所述衬底电连接;及

第1配线,具有横跨所述第1发光体与所述第2发光体的第1部分、及在所述第2发光体中延伸且电连接于所述第2电极的第2部分,且将所述第1发光体的第2半导体层与所述第2电极电连接;且

所述第1电极及所述第2发光体的第2半导体层的任一者电连接于所述衬底。

2. 根据权利要求1所述的半导体发光装置,其特征在于:

还包括设置在所述第2电极与所述衬底之间的绝缘层。

3. 根据权利要求1所述的半导体发光装置,其特征在于还包括:

绝缘层,具有设置在所述第1电极与所述衬底之间、及所述第2电极与所述衬底之间的部分;及

导电体,贯通所述绝缘层且电连接于所述第1电极;且

所述第1电极经由所述导电体而电连接于所述衬底。

4. 根据权利要求3所述的半导体发光装置,其特征在于:

所述导电层为金属层。

5. 根据权利要求1所述的半导体发光装置,其特征在于:

所述第2发光体具有与所述第2电极连通的接触孔,且

所述第1配线的第2部分设置在所述接触孔中。

6. 根据权利要求3所述的半导体发光装置,其特征在于:

所述2个以上的发光体还包括:

第3发光体,串联连接于所述第2发光体;

所述半导体发光装置还包含:

第3电极,设置在所述第3发光体与所述衬底之间,且电连接于所述第3发光体的第1半导体层;及

第2配线,具有横跨所述第2发光体与所述第3发光体的第1部分、及在所述第3发光体中延伸且电连接于所述第3电极的第2部分,且将所述第2发光体的第2半导体层与所述第3电极电连接。

7. 根据权利要求3所述的半导体发光装置,其特征在于:

所述2个以上的发光体还包含:第4发光体,与所述第1发光体共有所述第1电极;及第5发光体,串联连接于所述第4发光体。

8. 根据权利要求1所述的半导体发光装置,其特征在于:

所述第1发光体与所述第2发光体之间间隔比从所述第1发光体及所述第2发光体中的任

一者的外缘到所述衬底的外缘的距离短。

9. 根据权利要求1所述的半导体发光装置,其特征在于:

所述第1配线具有包含多层金属层的积层构造,且其最表面为Au层。

10. 根据权利要求1所述的半导体发光装置,其特征在于:

所述第2发光体具有贯通所述第1半导体层与所述发光层并到达第2半导体层的凹槽部;

所述第2发光体的第2半导体层是通过所述凹槽部而电连接于所述衬底。

11. 根据权利要求10所述的半导体发光装置,其特征在于还包括:

接合垫,其在所述衬底上,电连接于所述第1电极;且

所述第1电极包含沿著所述衬底而延伸至所述第1发光体的外侧的部分;

所述接合垫是设置于所述第1电极的所述部分上。

12. 根据权利要求10所述的半导体发光装置,其特征在于还包括:

绝缘层,设置在所述衬底与所述第2电极之间;及

金属层,设置在所述绝缘层与所述衬底之间且电连接于所述衬底,并且具有在所述凹槽部中延伸且电连接于所述第2发光体的所述第2半导体层的部分。

半导体发光装置

[0001] [相关申请案]

[0002] 本申请案享有以日本专利申请案2015-178165号(申请日:2015年9月10日)为基础申请案的优先权。本申请案通过参照该基础申请案而包含基础申请案的全部内容。

技术领域

[0003] 本发明的实施方式主要涉及一种半导体发光装置。

背景技术

[0004] 有将发光二极管(Light Emitting Diode:LED)作为光源的半导体发光装置。这种半导体发光装置能够通过将多个LED集成化在衬底上而实现高亮度化。而且,通过将多个LED串联连接,例如与利用相同的电力驱动经并联连接的LED的情况相比,能够降低驱动电流,并提高半导体发光装置的可靠性。然而,为了将多个LED串联连接,必须使它们与衬底电气绝缘,而且,也必须将用以与外部电路连接的接合垫配置在衬底上。因此,存在LED的散热受到阻碍且难以实现装置的小型化的情况。

发明内容

[0005] 本发明的实施方式提供一种提高经串联连接的LED的散热且能够实现小型的半导体发光装置。

[0006] 实施方式的半导体发光装置包括:导电性的衬底;及2个以上的发光体,并列设置在所述衬底上,且分别包含第1导电型的第1半导体层、第2导电型的第2半导体层、及设置在所述第1半导体层与所述第2半导体层之间的发光层。2个以上的发光体包含电连接于所述衬底的第1发光体、及串联连接于所述第1发光体的第2发光体。此外,本发明包括:第1电极,设置在所述第1发光体与所述衬底之间,且电连接于所述第1发光体的第1半导体层及所述衬底;第2电极,设置在所述第2发光体与所述衬底之间,且电连接于所述第2发光体的第1半导体层;及第1配线,具有横跨所述第1发光体与所述第2发光体的第1部分及在所述第2发光体中延伸且电连接于所述第2电极的第2部分,且将所述第1发光体的第2半导体层与所述第2电极电连接。

附图说明

[0007] 图1是表示第1实施方式的半导体发光装置的剖视图。

[0008] 图2(a)及(b)是表示第1实施方式的半导体发光装置的俯视图及等效电路的电路图。

[0009] 图3是表示第1实施方式的变化例的半导体发光装置的俯视图。

[0010] 图4(a)~图4(c)、5(a)及5(b)、6(a)及6(b)、7(a)及7(b)是表示第1实施方式的半导体发光装置的制造过程的剖视图。

[0011] 图8是表示第2实施方式的半导体发光装置的剖视图。

- [0012] 图9是表示第3实施方式的半导体发光装置的剖视图。
- [0013] 图10是表示第3实施方式的变化例的半导体发光装置的剖视图。
- [0014] 图11是表示第4实施方式的半导体发光装置的剖视图。
- [0015] 图12(a) ~ (d) 是表示接合垫相对于发光体的面积比的图表。

具体实施方式

[0016] 以下,一边参照附图,一边对实施方式进行说明。对于附图中的相同部分标注相同的编号并适当省略其详细的说明,对不同的部分进行说明。另外,附图为示意图或概念图,各部分的厚度与宽度的关系、部分间的大小的比率等未必与实物相同。而且,即便在表示相同部分的情况下,也存在根据附图将相互的尺寸或比率不同地表示的情况。

[0017] 此外,使用各图中所表示的X轴、Y轴及Z轴对各部分的配置及构成进行说明。X轴、Y轴、Z轴相互正交,且分别表示X方向、Y方向、Z方向。而且,存在将Z方向设为上方、将其反方向设为下方进行说明的情况。

[0018] 实施方式的记载为例示,并非将发明限定于此。而且,各实施方式所记载的构成要素只要在技术上允许,则能够共通地应用。以下,将第1导电型设为n型、将第2导电型设为p型进行说明,但也可将第1导电型设为p型、将第2导电型设为n型。

[0019] [第1实施方式]

[0020] 图1是表示第1实施方式的半导体发光装置1的剖视图。图2(a)是表示半导体发光装置1的俯视图。图1是沿图2(a)中所表示的A-A线的剖视图。而且,图2(b)是半导体发光装置1的等效电路的电路图。

[0021] 如图1所示,半导体发光装置1具备衬底10、第1发光体(以下称为发光体20a)、及第2发光体(以下称为发光体20b)。衬底10具有导电性,例如为硅衬底。发光体20a及20b分别包含n型半导体层21、发光层23及p型半导体层25。发光层23设置在n型半导体层21与p型半导体层25之间。

[0022] n型半导体层21例如包含n型氮化镓层(GaN层)。而且,n型半导体层21也可还包括包含GaN、氮化铝(AlN)、氮化铝镓(AlGaIn)等的缓冲层。在此情况下,n型GaN层设置在缓冲层与发光层23之间。

[0023] 发光层23例如包含量子井,该量子井由包含氮化镓(InGaN)的井层与包含GaN的势垒层构成。而且,发光层23也可具有包含多个量子井的多重量子井构造。

[0024] p型半导体层25例如具有积层有p型AlGaIn层与p型GaN层的构造。p型AlGaIn层形成在发光层23之上,p型GaN层形成在p型AlGaIn层之上。

[0025] 半导体发光装置1还具备p侧接触层27、第1电极(以下称为p侧电极30a)及第2电极(以下称为p侧电极30b)。p侧接触层27分别电连接于发光体20a及20b的p型半导体层25。p侧电极30a及30b在p型半导体层25的表面上分别覆盖p侧接触层27。p侧电极30a经由p侧接触层27电连接于发光体20a的p型半导体层25。p侧电极30b经由另一p侧接触层27电连接于发光体20b的p型半导体层25。

[0026] p侧接触层27优选使用对p型半导体层25的接触电阻较小且对发光层23的放射光的反射率较高的材料。p侧接触层27例如为包含银(Ag)的金属层。p侧电极30a及30b使用对发光层23的放射光的反射率较高的材料、例如铝。

[0027] 发光体20a及20b隔着接合层40及绝缘层50设置在衬底10之上。接合层40具有导电性,且设置在衬底10与绝缘层50之间。p侧电极30a及p侧接触层27位于绝缘层50与发光体20a之间。p侧电极30b及p侧接触层27位于绝缘层50与发光体20b之间。

[0028] 绝缘层50具有与p侧电极30a连通的接触孔50a。在接触孔50a的内部例如设置着连接于p侧电极30a的导体45。即,发光体20a经由p侧接触层27、p侧电极30a、导体45及接合层40电连接于衬底10。另一方面,发光体20b利用绝缘层50而与接合层40及衬底10电气绝缘。实施方式并不限于此,例如也可为未设置导体45而接合层40的一部分延伸到接触孔50a的内部并连接于p侧电极30a的构造。

[0029] 半导体发光装置1还具备将发光体20a的n型半导体层21与p侧电极30b电连接的配线35。发光体20b具有从其上表面连通到p侧电极30b的接触孔31。配线35的一端在设置在发光体20b的接触孔31中延伸,并连接于p侧电极30b。而且,配线35的另一端向发光体20a侧延伸,并连接于发光体20a的n型半导体层21。由此,发光体20b串联连接于发光体20a。

[0030] 配线35形成在绝缘层33之上。绝缘层33覆盖发光体20a及20b各自的上表面的一部分、各自的侧面及接触孔31的内壁。配线35是通过绝缘层33而与发光体20b的n型半导体层21、发光层23及p型半导体层25电气绝缘。而且,配线35通过绝缘层33与发光体20a的发光层23及p型半导体层25电气绝缘。配线35优选在其最表面具有例如金(Au)层。

[0031] 图2(a)是表示半导体发光装置1的上表面(以下称为芯片面)的配置的示意图。半导体发光装置1具备多个发光体20及n侧接合垫60。相邻的发光体20通过配线35而电连接。而且,也可在相邻的发光体20间配置2条以上的配线35。由此,能够降低流经配线35的各自的电流。

[0032] 多个发光体20例如还具备串联连接于发光体20的第3发光体(以下称为发光体20c)。在衬底10与发光体20c之间设置着第3电极(以下称为p侧电极30c)。而且,发光体20b的n型半导体层21利用配线35电连接于p侧电极30c。配线35经由设置在发光体20c的接触孔31而连接于p侧电极30c。

[0033] 如图2(b)所示,多个发光体20例如包含2个发光体群GA及GB。发光体群GA及GB分别包含经串联连接的8个发光体20。发光体群GA及GB并联连接于衬底10及n侧接合垫60。例如,发光体20a及20d位于发光体群GA及GB的一端,且电连接于衬底10。

[0034] 发光体20a及20d具有相同的构造,且分别经由导体45电连接于衬底10(参照图1)。而且,发光体20f及20g分别位于发光体群GA及GB的另一端,且电连接于n侧接合垫60。

[0035] 如图2(a)所示,n侧接合垫60横跨发光体20f及20g之上而设置。接合垫60电连接于发光体20f及20g的阴极侧、例如n型半导体层21。

[0036] 如此,在半导体发光装置1中,经串联连接的发光体20的一端电连接于衬底10,另一端电连接于配置在芯片面上的n侧接合垫60。由此,能够从芯片面省略阳极侧或者阴极侧的接合垫,从而能够扩大发光体20的发光面积。例如,为了将直径100微米(μm)的接合垫配置在芯片面上,必须设置直径140 μm 左右的非发光区域。其在具有1mm见方的芯片尺寸的半导体发光装置中相当于发光区域的面积的3%。

[0037] 图12(a)~图12(d)是表示接合垫相对于发光体20的面积比的图表。横轴为配置在衬底10之上的发光体20的数量。纵轴为接合垫相对于1个发光体20的面积比。各图的PA1表示配置在衬底10之上的接合垫的数量为1个的情况。PA2表示配置在衬底10之上的接合垫的

数量为2个的情况。

[0038] 图12(a)表示衬底10的1边的尺寸、即芯片尺寸为3mm的情况。图12(b)~图12(d)的芯片尺寸分别为2.5mm、2.0mm及1.5mm。如图12(a)~图12(d)所示,发光体20的数量越增加,接合垫的面积比率越大。而且,如果将接合垫的数量设为1个,则接合垫的面积比降低。而且,芯片尺寸越小,接合垫的面积比越大。

[0039] 如图2(a)所示,发光体20的尺寸优选相同。例如,优选通过使经串联连接的各发光体20的发光层23的面积相同而使流经各发光层23的驱动电流的密度相同。由此,各发光体20的亮度变得均等,从而能够使芯片面上的发光分布均匀。例如,如果配置尺寸不同的多个发光体20,则存在尺寸较小的发光体20中电流密度增高而亮度降低的情况。而且,在电流密度较高的部分容易产生电迁移等。因此,通过使发光体20的尺寸相同,能够使半导体发光装置1的发光均匀化,从而能够提高其可靠度。

[0040] 此外,相邻的发光体20间之间隔 W_e 较理想为比包围多个发光体20的切割线DL的宽度 W_D 窄。由此,能够缩小半导体发光装置的尺寸。而且,能够缩小相邻的发光体20间的低亮度区域,从而实现发光的均匀化。而且,p侧电极30的外缘30p例如较理想为在芯片面上以位于发光体20的内侧的方式形成。

[0041] 图3是表示第1实施方式的变化例的半导体发光装置2的俯视图。半导体发光装置2具备多个发光体20及n侧接合垫65。多个发光体20包含发光体群GA及GB。发光体群GA及GB并联连接于未图示的衬底10与n侧接合垫65(参照图2(b))。

[0042] n侧接合垫65与发光体20f及20g相邻地配置。而且,n侧接合垫65经由配线65a及65b分别电连接于发光体20f及20g的n型半导体层21。

[0043] 而且,在本例中,发光体20a与发光体20d共有p侧电极30h。p侧电极30h设置在衬底10与发光体20a之间、及衬底10与发光体20d之间。而且,p侧电极30h经由绝缘层50的接触孔50a电连接于衬底10(参照图1)。

[0044] 此外,多个发光体20包含串联连接于发光体20d的发光体20e。在衬底10与发光体20e之间设置着p侧电极30e。而且,发光体20d的n型半导体层21利用配线35而电连接于p侧电极30e。配线35经由设置在发光体20e的接触孔31而连接于p侧电极30e。

[0045] 然后,参照图4(a)~图7(b)对第1实施方式的半导体发光装置1的制造方法进行说明。图4(a)~图7(b)是依次表示半导体发光装置1的制造过程的剖视图。

[0046] 如图4(a)所示,在衬底100之上依次积层n型半导体层21、发光层23及p型半导体层25。在本说明书中,经积层的状态包含直接相接的状态,此外也包含在中间插入有其他要素的状态。

[0047] 衬底100例如为硅衬底或蓝宝石衬底。n型半导体层21、发光层23及p型半导体层25分别包含氮化物半导体。n型半导体层21、发光层23及p型半导体层25例如包含 $A_{1-x}Ga_{1-x-y}In_yN$ ($x \geq 0, y \geq 0, x+y \leq 1$)。

[0048] n型半导体层21例如包含掺杂有作为n型杂质的硅(Si)的n型GaN接触层与掺杂有Si的n型AlGaIn披覆层。n型AlGaIn披覆层例如配置在n型GaIn接触层与发光层23之间。n型半导体层21也可还包含缓冲层。例如,n型GaIn接触层配置在缓冲层与n型AlGaIn披覆层之间。缓冲层例如包含AlN、AlGaIn及GaIn中的至少任1种。

[0049] 发光层23例如具有多重量子井(MQW)构造。在MQW构造中,例如多层势垒层与多层

井层交替地积层。例如,井层使用AlGaInN或者GaInN。势垒层例如使用掺杂有Si的n型AlGaInN或者掺杂有Si的n型Al_{0.1}Ga_{0.9}N。势垒层的厚度例如为2纳米(nm)以上、30nm以下。多层势垒层中最靠近p型半导体层25的势垒层(p侧势垒层)的组成或者厚度可与其他势垒层不同。

[0050] 从发光层23释放的光(发光光)的波长(峰值波长)例如为210nm以上且700nm以下。发光光的峰值波长例如也可为370nm以上且480nm以下。

[0051] p型半导体层25例如包含非掺杂的AlGaInN间隔层、掺杂有作为p型杂质的镁(Mg)的p型AlGaInN披覆层、掺杂有Mg的p型GaInN层、及相对较高浓度地掺杂有Mg的p型GaInN接触层。在p型GaInN接触层与发光层23之间配置有p型GaInN层。在p型GaInN层与发光层23之间配置有p型AlGaInN披覆层。在p型AlGaInN披覆层与发光层23之间配置有AlGaInN间隔层。例如,p型半导体层25包含Al_{0.11}Ga_{0.89}N间隔层、p型Al_{0.28}Ga_{0.72}N披覆层、p型GaInN层、及p型GaInN接触层。

[0052] 此外,在p型半导体层25的上选择性地形成p侧接触层27及p侧电极30a、30b。p侧接触层27例如为包含Ag的金属层,且使用真空蒸镀法而形成。p侧电极30a及30b分别覆盖p侧接触层27。p侧电极30a及30b例如为包含铝(Al)的金属层,且使用真空蒸镀法而形成。

[0053] 如图4(b)所示,形成覆盖p侧电极30a、30b及p型半导体层25的表面的绝缘层50。绝缘层50例如为使用CVD(Chemical Vapor Deposition,化学气相沉积)而形成的硅氧化层或者硅氮化层。而且,绝缘层50例如也可具有积层有硅氧化层与硅氮化层的构造。

[0054] 如图4(c)所示,在绝缘层50形成接触孔50a,并嵌入导体45。导体45例如包含铝(Al)或者氮化钛(TiN)。

[0055] 如图5(a)所示,在绝缘层50及导体45的上形成金属层41及43。金属层41例如包含Ti、Pt、Ni中的至少任1种。而且,金属层43例如包含焊接材料等接合金属。金属层43例如包含Ni-Sn系、Au-Sn系、Bi-Sn系、Sn-Cu系、Sn-In系、Sn-Ag系、Sn-Pb系、Pb-Sn-Sb系、Sn-Sb系、Sn-Pb-Bi系、Sn-Pb-Cu系、Sn-Pb-Ag系、及Pb-Ag系焊接材料中的至少任1种。

[0056] 如图5(b)所示,在金属层43的上方配置衬底10。衬底10在与金属层43相对的表面具有金属层47及49。金属层47例如包含Ti、Pt、Ni中的至少任1种。而且,金属层49例如包含焊接材料等接合金属。金属层43例如包含Ni-Sn系、Au-Sn系、Bi-Sn系、Sn-Cu系、Sn-In系、Sn-Ag系、Sn-Pb系、Pb-Sn-Sb系、Sn-Sb系、Sn-Pb-Bi系、Sn-Pb-Cu系、Sn-Pb-Ag系、及Pb-Ag系焊接材料中的至少任1种。

[0057] 然后,使金属层49接合在金属层43。例如,使金属层49压接在金属层43并升温到接合金属的熔点以上的温度。由此,金属层43与金属层49融合,而衬底10接合在衬底100的上方。

[0058] 如图6(a)所示,将衬底100去除,并将n型半导体层21、发光层23及p型半导体层25移栽到衬底10的上方。接合层40包含金属层41、43、47及49。金属层43与金属层47融合而一体化。

[0059] 衬底100例如是使用研磨及干式蚀刻(例如RIE:Reactive Ion Etching,反应式离子蚀刻)等方法而去除。而且,在衬底100为蓝宝石衬底的情况下,例如使用LLO(Laser Lift Off,激光剥离)去除。

[0060] 如图6(b)所示,例如利用使用氯气的干式蚀刻处理选择性地对n型半导体层21的表面进行蚀刻。除该处理以外也实施湿式蚀刻,由此使成为发光体20的表面的部分(表面20s)粗面化。由此,能够提高光提取效率。而且,形成配线35的部分(配线部29)也凹陷,而n

型半导体层21的Z方向的厚度比其他部分薄。由此,容易形成配线35,且能够防止因阶差而导致断线等不良情况。

[0061] 如图7(a)所示,选择性地去除n型半导体层21、发光层23及p型半导体层25而分割成多个发光体20。例如,使用RIE或湿式蚀刻等方法选择性地对n型半导体层21、发光层23及p型半导体层25进行蚀刻而形成分离槽37。绝缘层50的表面在分离槽37的底面露出。优选同时形成接触孔31。接触孔31例如形成为发光体20b的上表面至p侧电极30的深度。接触孔31与p侧电极30的延伸部30k连通。

[0062] 如图7(b)所示,形成将发光体20串联连接的配线35。同时形成未图示的n侧接合垫60(参照图2(a))。例如形成覆盖多个发光体20及绝缘层50的表面的绝缘层33。绝缘层33例如为使用等离子体CVD而形成的硅氧化层。然后,例如使用异向性干式蚀刻选择性地对绝缘层33进行蚀刻而使发光体20的表面20s露出。同时,使p侧电极30的表面在接触孔31的底面露出。然后,在形成成为配线35的金属层后,选择性地对该金属层进行蚀刻,由此形成配线35及侧接合垫60。配线35及n侧接合垫60例如具有积层有多层金属层的构造,且以在其最表面包含Au层的方式形成。

[0063] 此外,在衬底10的背面形成金属层15。例如,在对衬底10的背面侧进行研磨而形成特定的厚度后,依次对钛(Ti)、铂(Pt)、金(Au)进行蒸镀而形成金属层15。

[0064] 在本实施方式中,通过使用导电性的衬底10,能够使发光体20的焦耳热经由衬底10及金属层15而释放。而且,通过将形成在芯片面的接合垫设为1个而使半导体发光装置1的小型化容易。

[0065] [第2实施方式]

[0066] 图8是表示第2实施方式的半导体发光装置3的示意剖视图。半导体发光装置3具备衬底10、发光体20x、及发光体20y。发光体20x及20y分别包含n型半导体层21、发光层23及p型半导体层25。

[0067] 半导体发光装置3还具备p侧接触层27、p侧电极30x及p侧电极30y。p侧接触层27分别电连接于发光体20x及20y的p型半导体层25。p侧电极30x及30y在p型半导体层25的表面上分别覆盖p侧接触层27。p侧电极30x经由p侧接触层27电连接于发光体20x的p型半导体层25。p侧电极30y经由另一p侧接触层27电连接于发光体20y的p型半导体层25。

[0068] 发光体20x及20y隔着接合层40及绝缘层50设置在衬底10之上。接合层40具有导电性,且设置在衬底10与绝缘层50之间。p侧电极30x及p侧接触层27位于绝缘层50与发光体20x之间。p侧电极30y及p侧接触层27位于绝缘层50与发光体20y之间。

[0069] 此外,发光体20y具有从p型半导体层25的表面贯通发光层23并到达n型半导体层21的凹槽部81。而且,n侧电极83设置在凹槽部81的底面。n侧电极83电连接于n型半导体层21。n侧电极83例如为包含铝的金属层。绝缘层50在凹槽部81中延伸,并覆盖其壁面。而且,接合层40具有在凹槽部81中延伸的部分(延伸部40g)。延伸部40g电连接于n侧电极83。即,发光体20y的n型半导体层21经由n侧电极83及接合层40电连接于衬底10。

[0070] 另一方面,设置在发光体20x与衬底10之间的p侧电极30x利用绝缘层50与接合层40及衬底10电气绝缘。即,发光体20x与衬底10电气绝缘。而且,p侧电极30x具有电连接于p侧接合垫70的延伸部30e。

[0071] 半导体发光装置3还具备将发光体20x的n型半导体层21与p侧电极30y电连接的配

线35。发光体20y具有从其上表面连通到p侧电极30y的接触孔31。配线35的一端在设置在发光体20y的接触孔31中延伸,并电连接于p侧电极30y。而且,配线35的另一端向发光体20x侧延伸,并电连接于发光体20x的n型半导体层21。由此,发光体20y串联连接于发光体20x。

[0072] 在所述例中,发光体20y直接连接于发光体20x,也可使其他发光体20介存于发光体20y与发光体20x之间而将3个以上的发光体20串联连接。

[0073] 如此,也可将发光体20的n型半导体层21电连接于衬底10,并将电连接于p侧电极30的p侧接合垫70配置在芯片面上。由此,能够省略电连接于n型半导体层21的接合垫,从而扩大发光区域占芯片面的面积。由此,能够容易地使半导体发光装置3小型化。

[0074] [第3实施方式]

[0075] 图9是表示第3实施方式的半导体发光装置4的示意剖视图。半导体发光装置4具备衬底110、发光体120a、及发光体120b。衬底110具有导电性。衬底110为硅衬底。发光体120a及120b设置在衬底110之上。在衬底110的背面侧设置着金属层115。发光体120a及发光体120b例如包含氮化物半导体。金属层115例如包含钛(Ti)、铂(Pt)、金(Au)。

[0076] 发光体120a及120b分别包含n型半导体层121、发光层123及p型半导体层125。发光层123设置在n型半导体层121与p型半导体层125之间。发光体120a及120b分别具有发光部120e及非发光部120n。发光部120e包含n型半导体层121、发光层123及p型半导体层125。非发光部120n为n型半导体层121的一部分,且不包含发光层123及p型半导体层125。发光体120a及120b的与衬底110为相反侧的表面120s经粗面化。

[0077] 半导体发光装置4还具备p侧接触层127、p侧顶盖层129a、129b、及n侧电极130a及130b。p侧接触层127分别电连接于发光体120a及120b的p型半导体层125。p侧接触层127例如为包含银(Ag)的金属层。

[0078] p侧顶盖层129a覆盖电连接于发光体120a的p型半导体层125的p侧接触层127。p侧顶盖层129b覆盖电连接于发光体120b的p型半导体层125的p侧接触层127。p侧顶盖层129a及129b例如为包含铝(Al)、钛(Ti)、铂(Pt)及镍(Ni)中的至少1种的金属层,且使用真空蒸镀法而形成。

[0079] n侧电极130a在发光体120a的非发光部120n电连接于n型半导体层121。n侧电极130b在发光体120b的非发光部120n电连接于n型半导体层121。n侧电极130a及130b例如为包含铝(Al)的金属层。

[0080] 发光体120a及120b隔着接合层140及绝缘层150设置在衬底110之上。接合层140设置在衬底110与绝缘层150之间,且具有导电性。接合层140例如包含焊接材料等接合金属。绝缘层150例如为硅氧化层。

[0081] 一侧的p侧接触层127及p侧顶盖层129a设置在绝缘层150与发光体120a之间。另一侧的p侧接触层127及p侧顶盖层129b设置在绝缘层150与发光体120b之间。n侧电极130a设置在发光体120a的非发光部120n与绝缘层150之间。n侧电极130b设置在发光体120b的非发光部120n与绝缘层150之间。

[0082] 此外,半导体发光装置4包含配线131、133、135及p侧接合垫170。配线131将发光体120a与p侧接合垫170电连接。配线133将发光体120a与发光体120b电连接。配线135将发光体120b与衬底110电连接。配线131、133及135例如为包含铝(Al)的金属层。

[0083] 配线131设置在绝缘层150中,且与衬底110电气绝缘。配线131连接于p侧顶盖层

129a。而且,配线131经由导电体137电连接于p侧接合垫170。导电体137设置在形成于绝缘层150的接触孔中。

[0084] 配线133设置在绝缘层150中,且与衬底110电气绝缘。配线133连接于n侧电极130a与p侧顶盖层129b。

[0085] 配线135经由n侧电极130b与接合层140将发光体120b与衬底110电连接。配线135设置在绝缘层150中,且与衬底110电气绝缘。配线135连接于n侧电极130b。而且,配线135经由导电体139电连接于接合层140。导电体139设置在形成于绝缘层150的接触孔中。

[0086] 如此,半导体发光装置4具备在p侧接合垫170与衬底110之间串联连接的发光体120a及120b。在半导体发光装置4中,通过省略n侧接合垫,能够扩大发光区域占芯片面的面积。在本例中,发光体120a直接连接于发光体120b,也可使其他发光体120介存于发光体120a与发光体120b之间而将3个以上的发光体120串联连接。

[0087] 图10是表示第3实施方式的变化例的半导体发光装置5的示意剖视图。半导体发光装置5具备衬底110、发光体120a、及发光体120b。在本例中,发光体120a及120b在衬底110与n侧接合垫180之间串联连接。

[0088] 如图10所示,发光体120a经由导电体141及接合层140电连接于衬底110。导电体141设置在形成于绝缘层150的接触孔中,并与p侧顶盖层129a及接合层140相接。

[0089] 配线133连接于n侧电极130a及p侧顶盖层129b,并将发光体120a与发光体120b电连接。配线135将发光体120b与n侧接合垫180电连接。配线135连接于电连接于发光体120b的n型半导体层121的n侧电极130b。而且,配线135经由导电体143电连接于n侧接合垫180。导电体143设置在形成于绝缘层150的接触孔中,并与配线135及n侧接合垫180相接。

[0090] 如此,在半导体发光装置4中,通过省略p侧接合垫,能够扩大发光区域占芯片面的面积。而且,也可使其他发光体120介存于发光体120a与发光体120b之间而将3个以上的发光体120串联连接。

[0091] [第4实施方式]

[0092] 图11是表示第4实施方式的半导体发光装置6的示意剖视图。半导体发光装置6具备发光体220a及发光体220b。发光体220a及220b例如包含氮化物半导体。

[0093] 发光体220a及220b分别包含n型半导体层221、发光层223及p型半导体层225。发光层223设置在n型半导体层221与p型半导体层225之间。发光体220a及220b例如隔着接合层240及绝缘层250设置在衬底210之上。发光体220a及220b的与衬底210为相反侧的表面220s经粗面化。

[0094] 衬底210具有导电性。在衬底210的背面侧设置着金属层215。衬底210例如为硅衬底。接合层240例如包含焊接材料等接合金属,且具有导电性。绝缘层250例如为硅氧化层。金属层215例如包含钛(Ti)、铂(Pt)、金(Au)。

[0095] 半导体发光装置6还具备p侧电极230a、230b、n侧电极260a、260b及绝缘层270。p侧电极230a电连接于发光体220a的p型半导体层225。p侧电极230b电连接于发光体220b的p型半导体层225。p侧电极230a及230b分别包含p侧接触层231与p侧顶盖层233。p侧接触层231电连接于p型半导体层225。p侧顶盖层233在p型半导体层225的表面上覆盖p侧接触层231。

[0096] 绝缘层270分别覆盖p侧电极230a及230b。绝缘层270将p侧电极230a与n侧电极260a之间电气绝缘。而且,绝缘层270将p侧电极230b与n侧电极260b之间电气绝缘。

[0097] n侧电极260a及260b设置在绝缘层250与绝缘层270之间。n侧电极260a经由设置在发光体220a的凹槽部261a电连接于n型半导体层221。n侧电极260b经由设置在发光体220b的凹槽部261b电连接于n型半导体层221。凹槽部261a及261b以具有贯通p型半导体层225及发光层223并到达n型半导体层221的深度的方式设置。绝缘层270在各个发光体220a及220b,沿凹槽部261a及261b的内壁延伸,并将发光层223及p型半导体层225与n侧电极260a及260b电气绝缘。

[0098] n侧电极260a及260b例如分别包含n侧接触层265与嵌入层267。n侧接触层265例如具有包含铝(Al)层、镍(Ni)层、铜(Cu)层的多层构造。铝(Al)层与n型半导体层221相接并电连接。铜(Cu)层例如作为镀Cu的籽晶层发挥功能。嵌入层267例如为镀Cu层。

[0099] 半导体发光装置6还具备p侧接合垫280、配线290、及导电体295。p侧接合垫280设置在p侧电极230a的延出部233ea之上。延出部233ea为沿绝缘层270延出至发光体220a的外侧的p侧顶盖层233的一部分。

[0100] 配线290将发光体220a与发光体220b电连接。配线290设置在绝缘层270中,并连接于p侧电极230b的延出部233eb及n侧电极260a。延出部233eb为沿绝缘层270延出至发光体220b的外侧的p侧顶盖层233的一部分。即,配线290将p侧电极230b与n侧电极260a电连接。

[0101] 导电体295经由接合层240电连接于衬底210。而且,导电体295经由n侧电极260b电连接于发光体220b。导电体295形成在绝缘层250中形成的接触孔中,并与接合层240及n侧电极260b相接。

[0102] 在本例中,发光体220a及发光体220b在p侧接合垫280与衬底210之间串联连接。实施方式并不限于此,也可使其他发光体220介存于发光体220a与发光体220b之间而将3个以上的发光体220串联连接。

[0103] 在所述第1~第4实施方式的半导体发光装置1~6中,能够缩小配置在芯片面的接合垫的面积,从而增大发光区域的面积、即发光体的占有面积。此外,能够通过使用具有导电性的衬底而将发光体所产生的焦耳热高效率地释放。例如,在蓝宝石等绝缘衬底上设置着发光体20的情况下,存在散热性受到阻碍而导致发光体20的发光效率及可靠性降低的情况。而且,虽也可使用氮化铝等热导率较高的衬底,但他们的价格高。

[0104] 另外,在本说明书中,所谓“氮化物半导体”,包含 $B_xIn_yAl_zGa_{1-x-y-z}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq z \leq 1, 0 \leq x+y+z \leq 1$)的III-V族化合物半导体,此外,也包含除N(氮)以外也含有磷(P)或砷(As)等作为V族元素的混晶。而且,在所述组成中,还包含为了控制导电型等各种物性而添加的各种元素的半导体、及还包含意外包含的各种元素的半导体也包含在“氮化物半导体”中。

[0105] 已对本发明的几个实施方式进行了说明,但这些实施方式是作为示例而提出,并非意图限定发明的范围。这些新颖的实施方式能以其他各种形态实施,且能够在不脱离发明主旨的范围内进行各种省略、替换、变更。这些实施方式或其变化包含在发明的范围或主旨中,并且包含在权利要求书所记载的发明及其均等的范围内。

[0106] [符号的说明]

[0107] 1~6 半导体发光装置

[0108] 10、100、110、210 衬底

[0109] 15、41、43、47、49、115、215 金属层

[0110]	20、20a、20b、20c、20d、20e、20x、	
[0111]	20y、120a、120b、220a、220b	发光体
[0112]	20s、120s、220s	表面
[0113]	21、121、221	n形半导体层
[0114]	23、123、223	发光层
[0115]	25、125、225	p形半导体层
[0116]	27、127、231	p侧接触层
[0117]	29	配线部
[0118]	30、30a、30b、30c、30d、	
[0119]	30e、30h、30x、30y、230a、230b	p侧电极
[0120]	30k、40g	延伸部
[0121]	30p	外缘
[0122]	31、50a	接触孔
[0123]	33、50、150、250、270	绝缘层
[0124]	35、65a、131、133、135、290	配线
[0125]	37	分离槽
[0126]	40、140、240	接合层
[0127]	45、137、141、143、295	导电体
[0128]	60、65、180	n侧接合垫
[0129]	70、170、280	p侧接合垫
[0130]	81、261a、261b	凹槽部
[0131]	83、130a、130b、260a、260b	n侧电极
[0132]	120e	发光部
[0133]	120n	非发光部
[0134]	129a、129b、233	p侧顶盖层
[0135]	233ea、233eb	延出部
[0136]	265	n侧接触层
[0137]	267	嵌入层
[0138]	DL	切割线
[0139]	GA、GB	发光体群

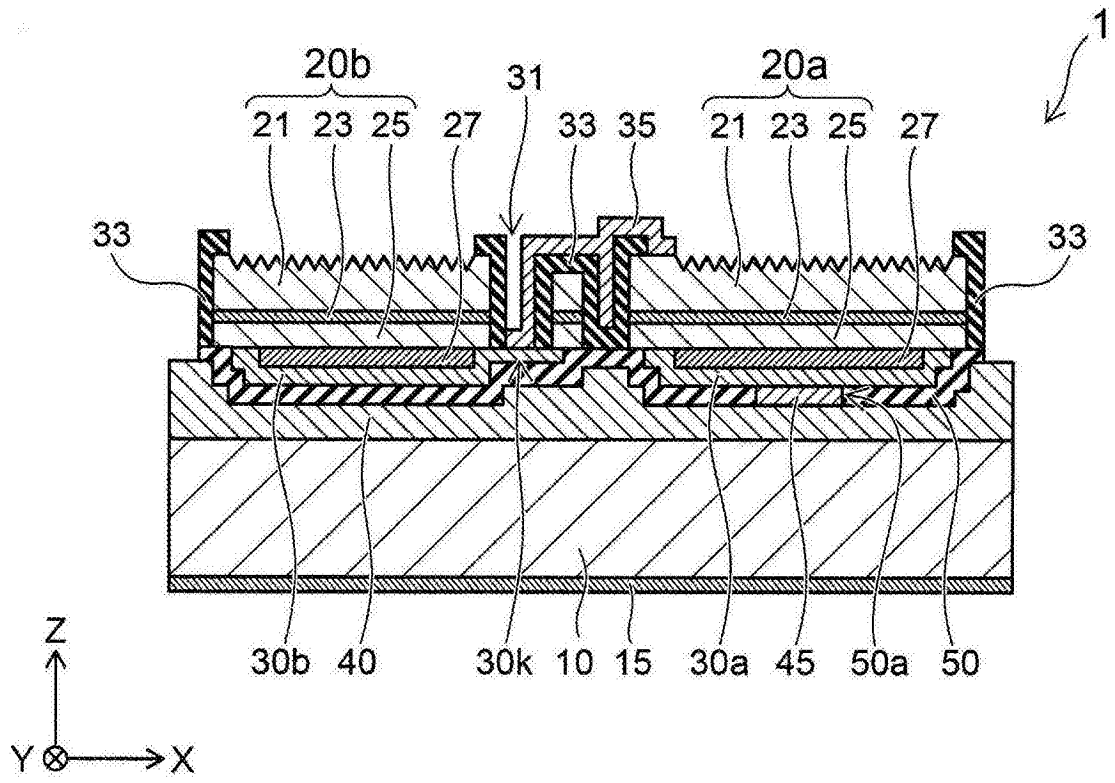


图1

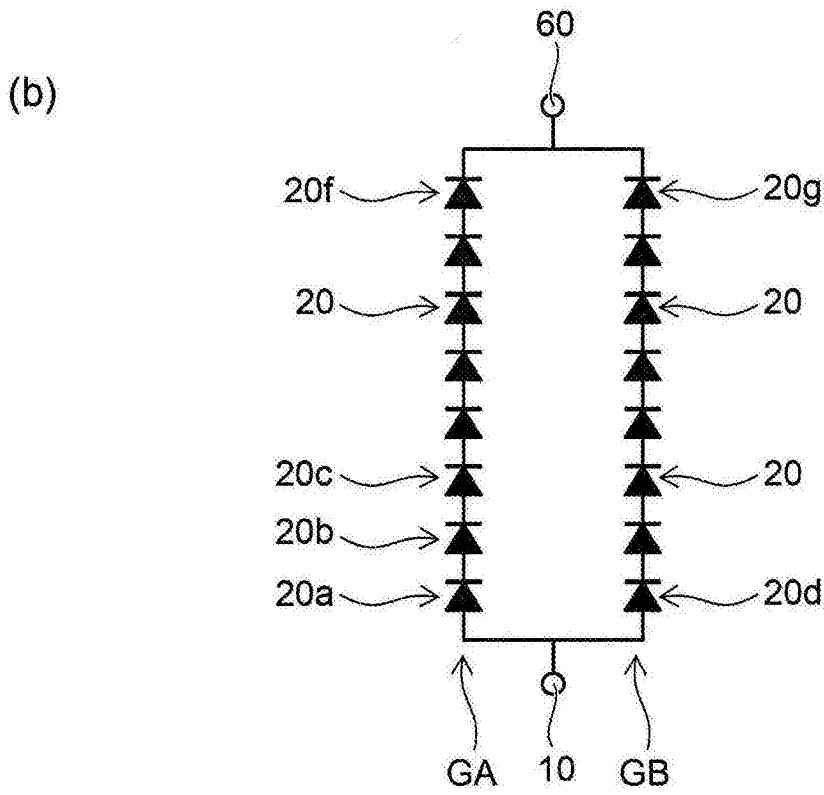
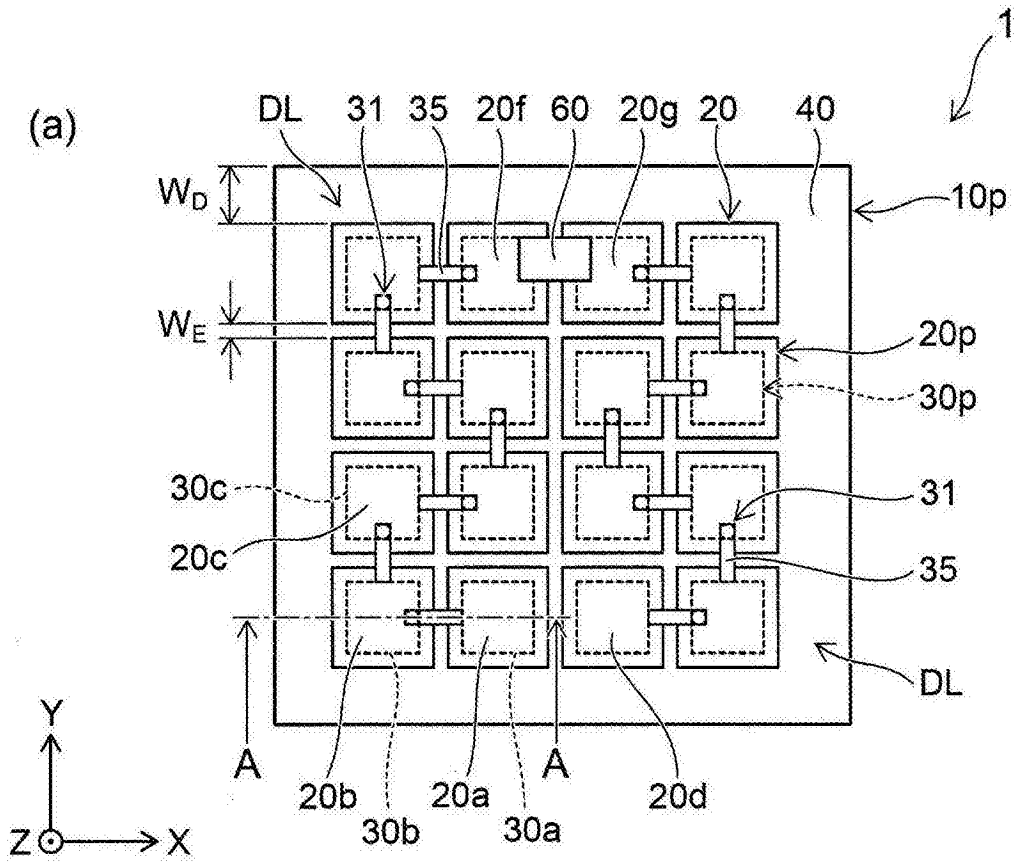


图2

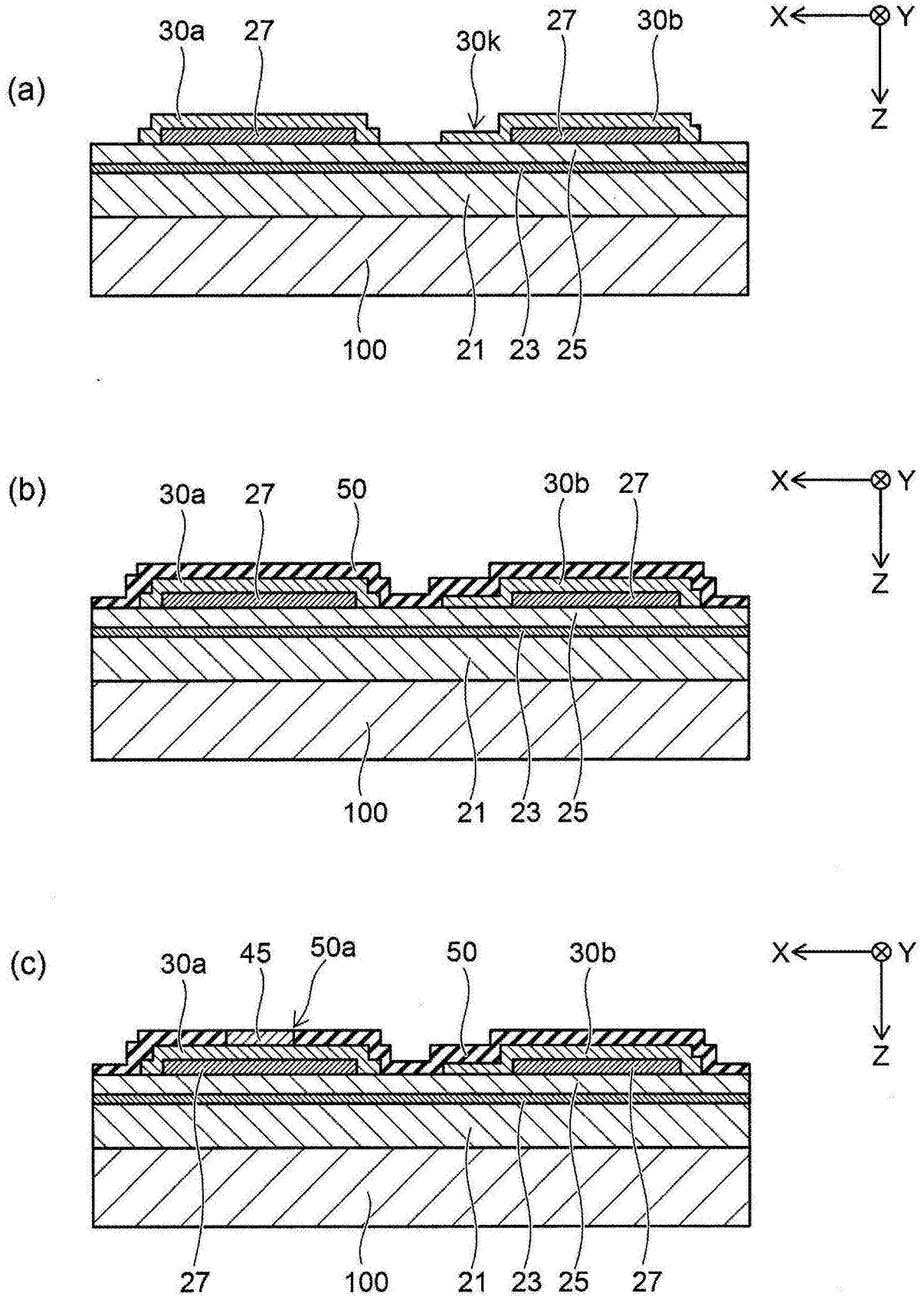


图4

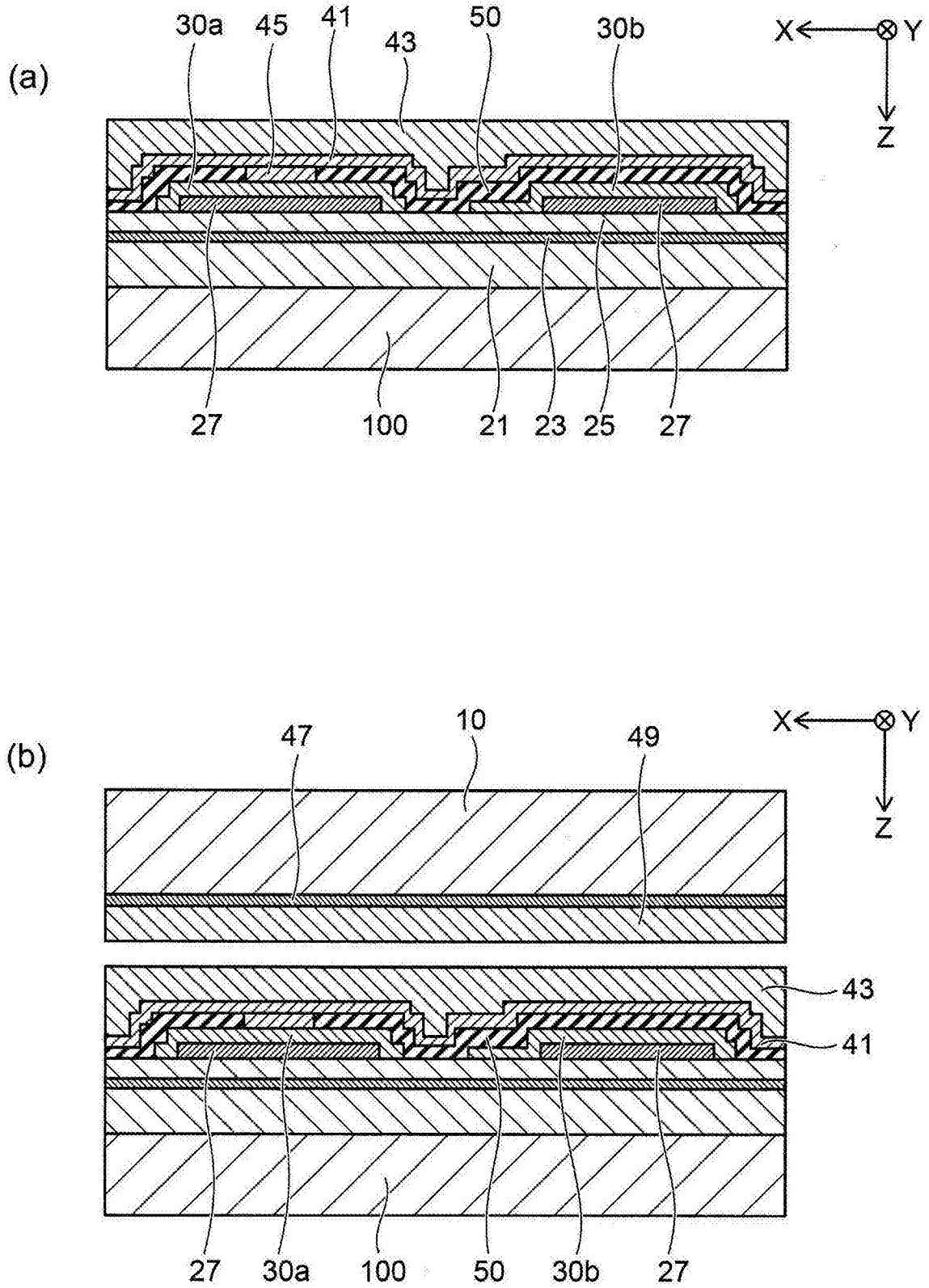


图5

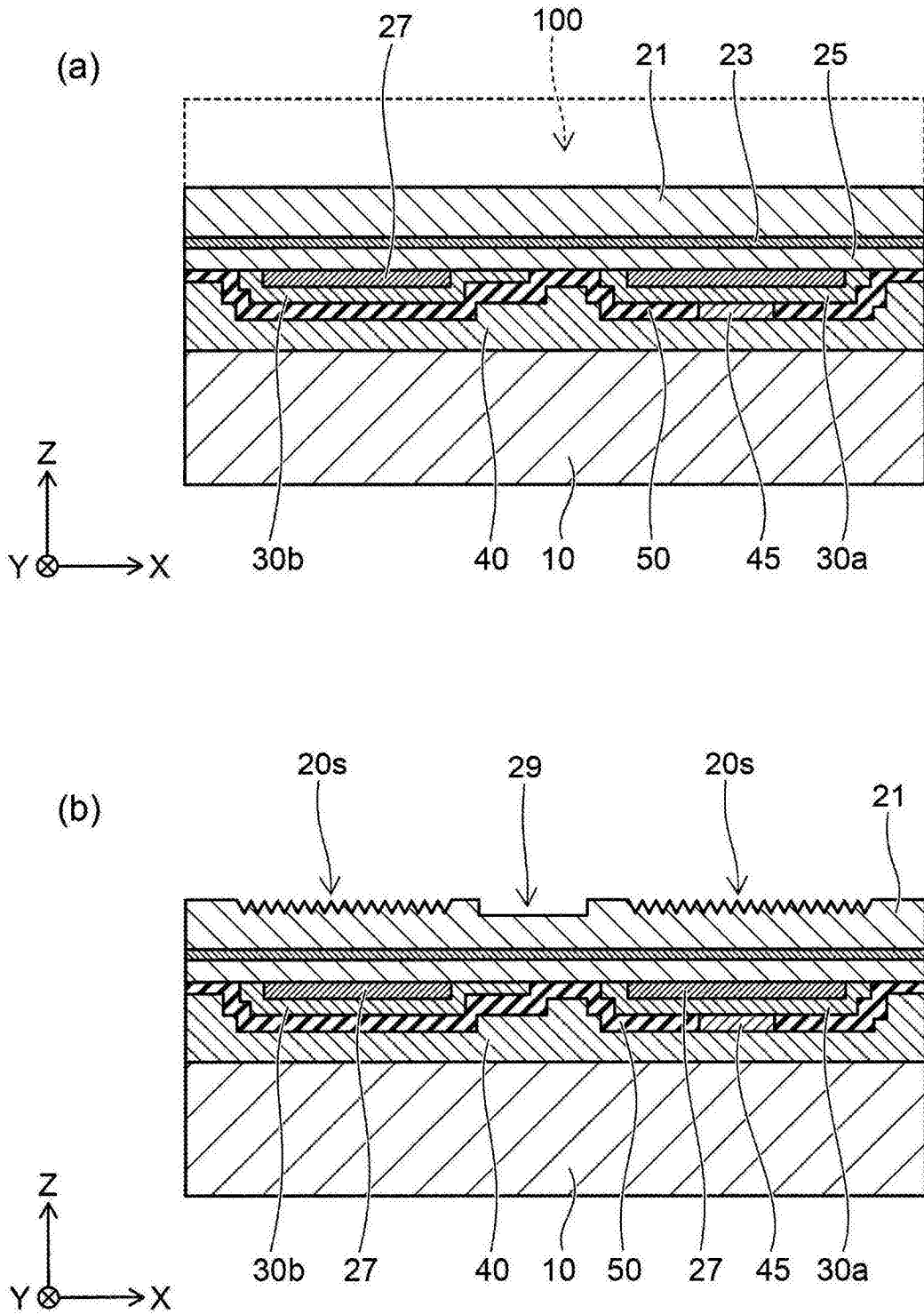


图6

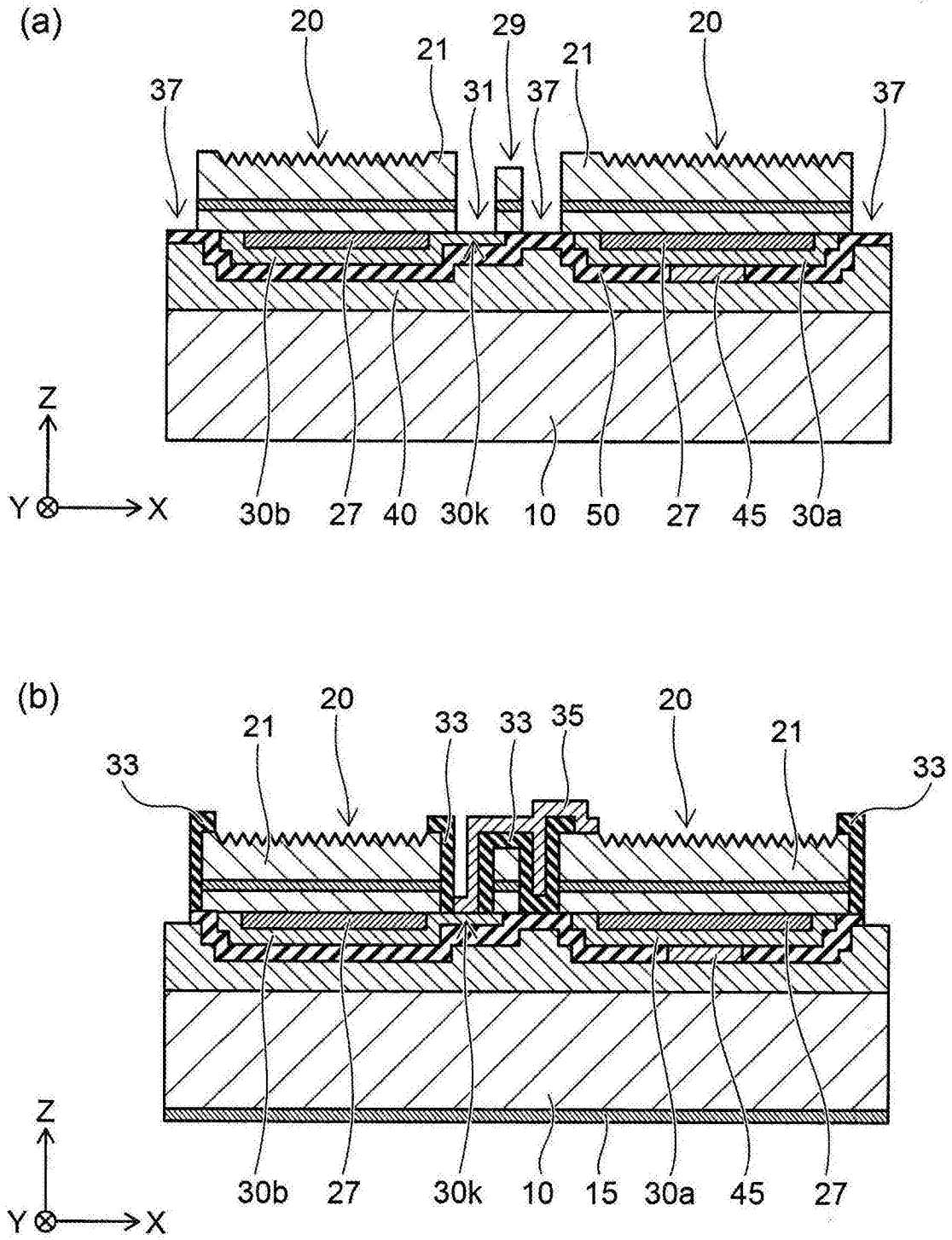


图7

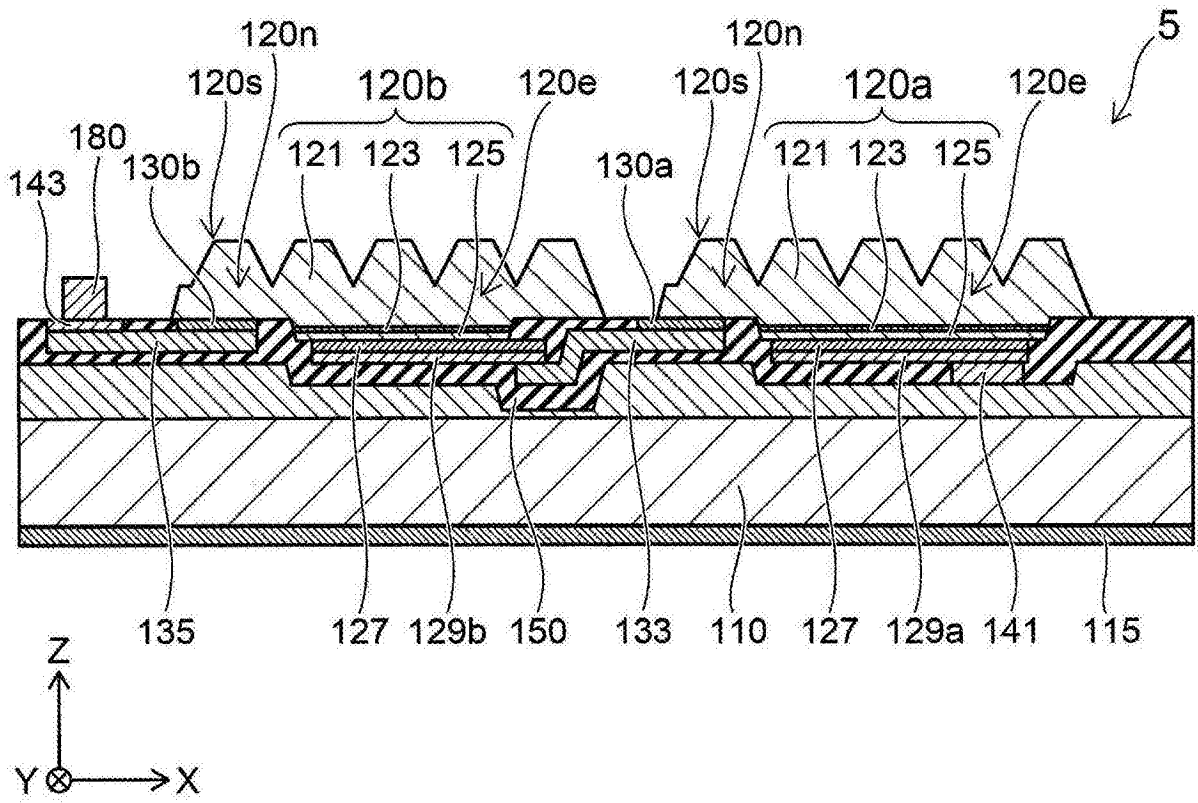


图10

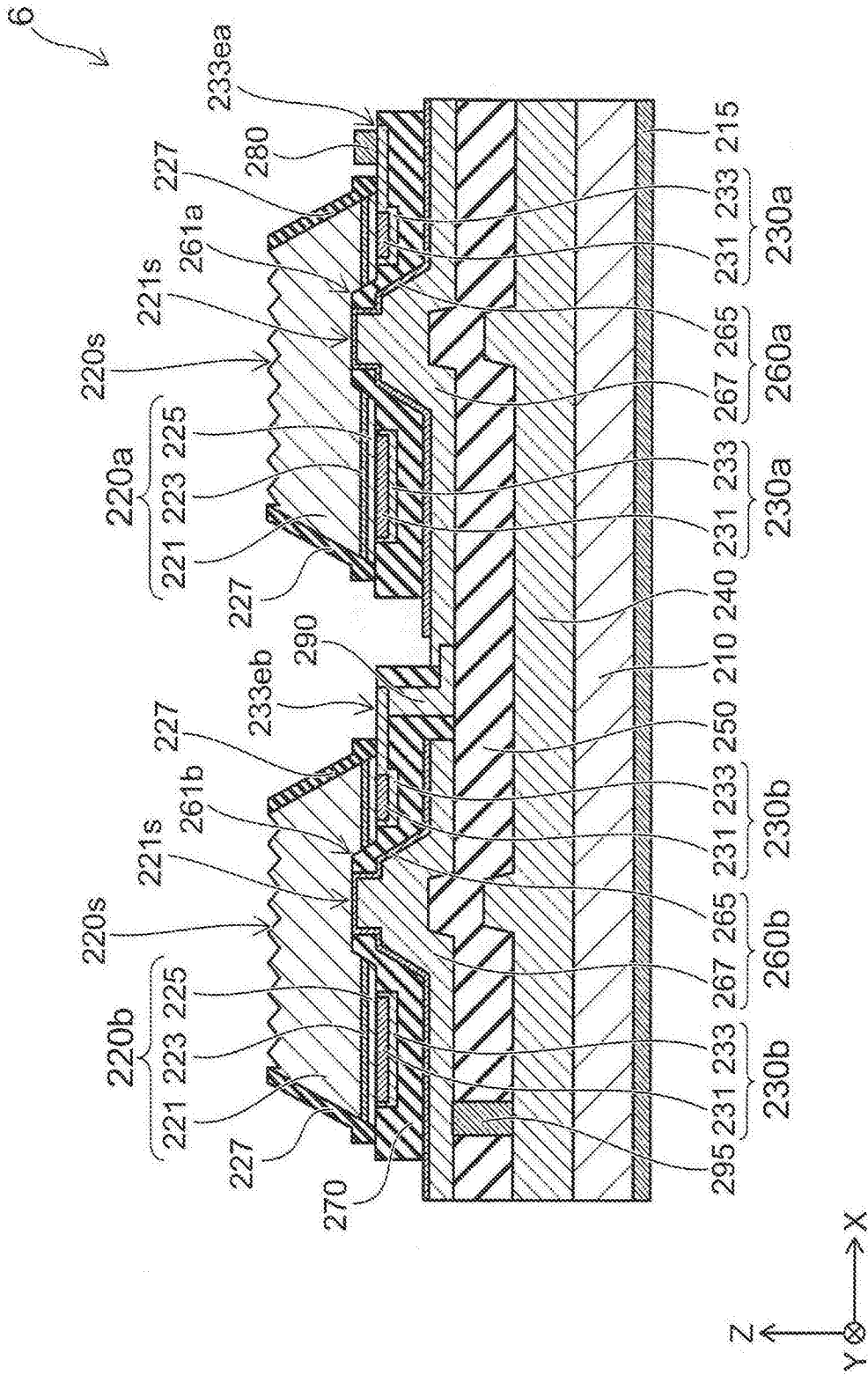


图11

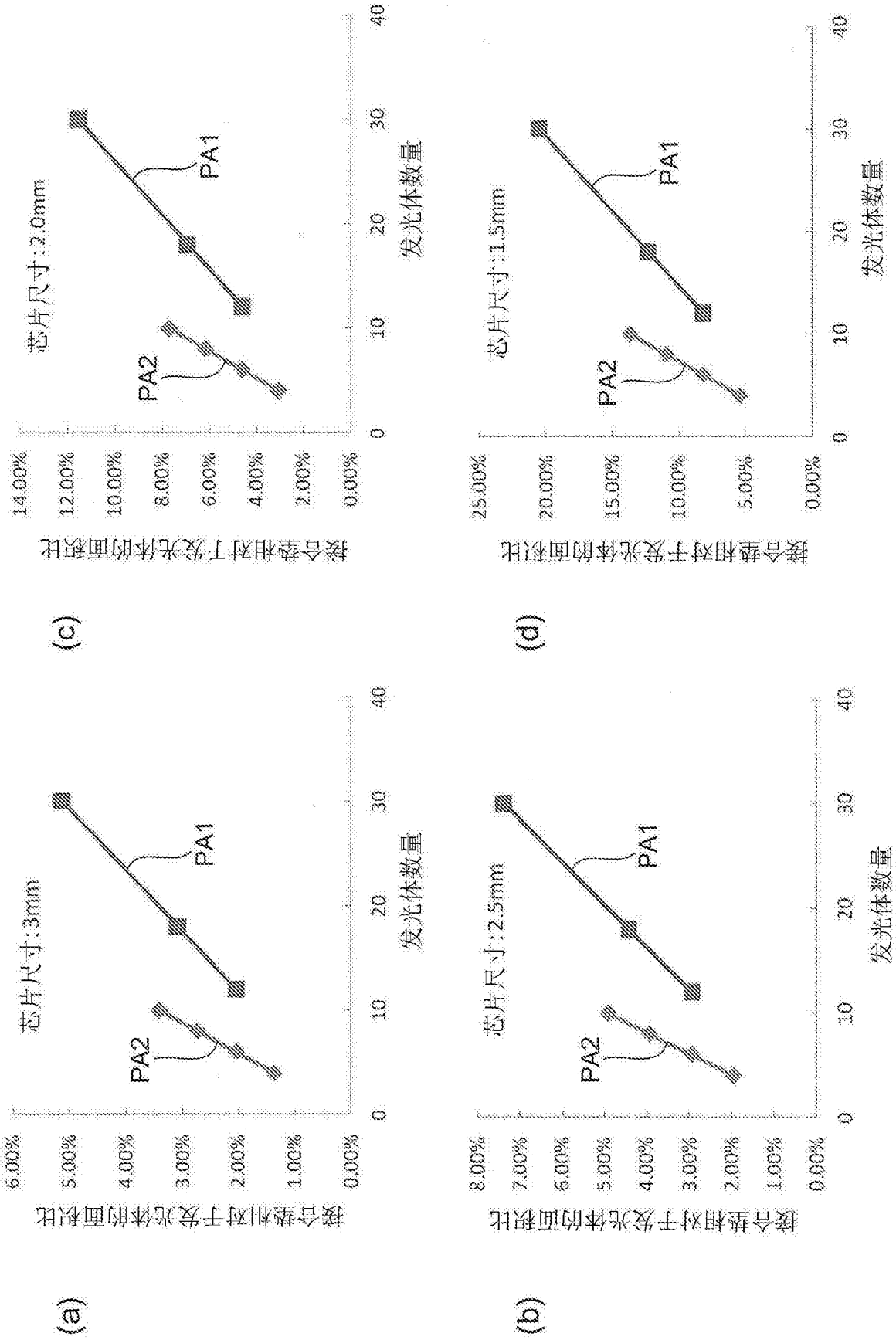


图12