

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成28年9月1日 (2016.9.1)

【公開番号】特開2015-26341(P2015-26341A)
 【公開日】平成27年2月5日 (2015.2.5)
 【年通号数】公開・登録公報2015-008
 【出願番号】特願2013-157090(P2013-157090)
 【国際特許分類】

G 0 6 F 7/575 (2006.01)

G 0 6 F 1/02 (2006.01)

【F I】

G 0 6 F 7/575

G 0 6 F 1/02

【手続補正書】
 【提出日】平成28年7月19日 (2016.7.19)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

N (Nは、 $N \geq 2$ の整数) ビット長のビット列の入力を受け入れて、前記入力されるビット列が表すアドレスに、当該入力されるビット列に含まれる各ビット間の論理演算結果を表すビットをその一部に含む多ビット長のデータを格納してなるルックアップテーブルを記憶するメモリデバイスと、

前記メモリデバイスにアクセスし、前記受け入れたビット列が表すアドレスに格納されたデータに含まれるビットを出力する出力手段と、

を含む論理演算装置。

【請求項 2】

請求項 1 記載の論理演算装置であって、

前記メモリデバイスに格納されたデータには、前記入力されるビット列に含まれる各ビット間の論理演算結果と、その反転ビットとが含まれ、

前記出力手段は、当該ビット間の論理演算結果と、その反転ビットとの一方を選択的に出力する論理演算装置。

【請求項 3】

請求項 2 記載の論理演算装置であって、

M (Mは、 $M > N$ なる整数) ビット長のビット列の入力を受けて、当該Mビット長のビット列からNビットのビット列を抽出して、当該抽出したNビットのビット列を時分割的に前記メモリデバイスに出力する分割手段をさらに含み、

時分割的に前記Nビットのビット列が出力されるタイミングにおいて、前記出力手段が、前回出力したビットを用いて、メモリデバイスにアクセスして取り出したビット間の論理演算結果と、その反転ビットとの一方を選択的に出力する論理演算装置。

【請求項 4】

請求項 1 から 3 のいずれか一項に記載の論理演算装置であって、

前記メモリデバイスに格納された論理演算結果は、入力ビット列に含まれる各ビット間の排他的論理和の演算結果である論理演算装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正の内容】

【0036】

また i 番目のスリーステートバッファ 21__ i の出力端子 Y_i は、メモリデバイス 12 のアドレスバスのうち $(i \bmod 8)$ 番目のピンに接続される。ここで $(i \bmod k)$ は、 i を k で除したときの余りを意味する。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正の内容】

【0037】

クロック供給部 25 は、図 6 に示すように、定期的に立ち上がりと立ち下りとを繰り返すクロック信号 CLK を生成してこれを出力する。またこのクロック供給部 25 は、 n 個 (n は論理演算の対象となるビット数 $8n$ を、メモリデバイス 12 のアドレスバス幅である 8 で除した値) のサブクロック信号 ϕ_i ($i = 1, 2, \dots, n$) を生成する。このサブクロック信号 ϕ_i は、所定の時点から j 回目にクロック信号 CLK が立ち上る際に、 $i = (j \bmod n) + 1$ のサブクロック信号 ϕ_i が立ち上がり、 j 回目にクロック信号 CLK が立ち下る際に、 $i = (j \bmod n) + 1$ のサブクロック信号 ϕ_i が立ち下るようにしておく。この際、 $i \neq (j \bmod n) + 1$ なるサブクロック信号 ϕ_i は Low の状態を維持するものとする。またクロック供給部 25 は次のようなサブクロック信号 ϕ_0 を生成する。すなわち、この ϕ_0 は、 j 回目にクロック信号 CLK が立ち上がる際に $(j \bmod n) = 0$ であるときに立ち上がり、その後のクロック信号 CLK の $n/2$ 回目の立ち上がりまたは $(n-1)/2$ 回目の立ち下り時など、その後、クロック信号 CLK が n 回目に立ち上がるまでに立ち下るようにする。図 6 には、 $n = 4$ の場合のサブクロック信号 $\phi_1, \phi_2, \phi_3, \phi_4$ と、 ϕ_0 とを例示している。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正の内容】

【0038】

ここでクロック供給部 25 は、サブクロック信号 ϕ_1 を第 1 番目のスリーステートバッファ 21__1 から第 8 番目のスリーステートバッファ 21__8 に供給し、サブクロック信号 ϕ_2 を第 9 番目のスリーステートバッファ 21__9 から第 16 番目のスリーステートバッファ 21__16 に供給し…というように、サブクロック $\phi_{\lfloor (p-1)/8 \rfloor + 1}$ を、8 つのスリーステートバッファ 21__ p (p は $p \geq 1$ の整数) に供給する。ここで $\lfloor * \rfloor$ は $*$ を超えない最大の整数を意味するものとする。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0064

【補正方法】変更

【補正の内容】

【0064】

ここでの例では、セレクト部 4 1 b は、セレクト部 4 1 a から受け入れたビットが「0」であるときには、メモリデバイス 1 2 から読み出したデータのうち MSB 側のビット（信号線 d3 が出力する論理演算結果）を選択してラッチし、出力する。またこのセレクト部 4 1 b は、セレクト部 4 1 a から受け入れたビットが「1」であるときには、メモリデバイス 1 2 から読み出したデータのうち上記信号線 d3 の次の信号線 d4 の表すビット（論理演算結果の反転ビットを表す）を選択してラッチし、出力する。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0066

【補正方法】変更

【補正の内容】

【0066】

そしてセレクト部 4 1 c は、クロック供給部 2 5 から入力されるサブクロック信号 $\phi 3$ が立ち上がるタイミングで、メモリデバイス 1 2 が格納しているデータのうち、スリーステートバッファ 2 1 が出力するビット列が表すアドレスに格納されているデータを読み出してラッチする。ここでの例におけるセレクト部 4 1 c はセレクト部 4 1 b から受け入れたビットが「0」であるときには、メモリデバイス 1 2 から読み出したデータのうち MSB 側のビット（信号線 d5 が出力する論理演算結果）を選択してラッチし、出力する。またこのセレクト部 4 1 c は、セレクト部 4 1 b から受け入れたビットが「1」であるときには、メモリデバイス 1 2 から読み出したデータのうち上記信号線 d5 の次の信号線 d6 の表すビット（論理演算結果の反転ビットを表す）を選択してラッチし、出力する。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0068

【補正方法】変更

【補正の内容】

【0068】

そしてセレクト部 4 1 d は、クロック供給部 2 5 から入力されるサブクロック信号 $\phi 4$ が立ち上がるタイミングで、メモリデバイス 1 2 が格納しているデータのうち、スリーステートバッファ 2 1 が出力するビット列が表すアドレスに格納されているデータを読み出してラッチする。ここでの例におけるセレクト部 4 1 d はセレクト部 4 1 c から受け入れたビットが「0」であるときには、メモリデバイス 1 2 から読み出したデータのうち MSB 側のビット（信号線 d7 が出力する論理演算結果）を選択してラッチし、出力する。またこのセレクト部 4 1 c は、セレクト部 4 1 b から受け入れたビットが「1」であるときには、メモリデバイス 1 2 から読み出したデータのうち上記信号線 d7 の次の信号線 d8 の表すビット（論理演算結果の反転ビットを表す）を選択してラッチし、出力する。このセレクト部 4 1 d の出力は、外部に出力される。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0071

【補正方法】変更

【補正の内容】

【0071】

このとき、出力ユニット 40 のセレクト部 4 1 a が、メモリデバイス 1 2 が格納しているデータのうち、スリーステートバッファ 2 1 __ 1 から 2 1 __ 8 が出力するビット列が表すアドレスに格納されているデータを読み出す。なお、ここでセレクト部 4 1 a には外部から「0」の信号が入力されているものとする。セレクト部 4 1 a は、ラッチを備え、こ

のラッチがサブクロック信号 $\phi 1$ の立ち上るタイミング（図6の時刻 $t 1$ ）においてメモリデバイス12から読み出したデータのうちMSBのビット（データバスの信号線d1を介して出力されるデータ、つまり論理演算結果）を演算結果R1としてラッチし、出力する。この出力R1はセレクトア部41bに出力される。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0072

【補正方法】変更

【補正の内容】

【0072】

セレクトア部41bは、この出力R1を受け入れておく。次にクロック供給部25の出力するクロック信号CLKと、サブクロック信号 $\phi 2$ とが立ち上るタイミング（図6の時刻 $t 3$ ）において、スリーステートバッファ21__9から21__16が、入力されたビットb9, b10, … b16を、メモリデバイス12のアドレスバスに供給する。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0073

【補正方法】変更

【補正の内容】

【0073】

そしてセレクトア部41bは、メモリデバイス12が格納しているデータのうち、スリーステートバッファ21__9から21__16が出力するビット列が表すアドレスに格納されているデータを読み出す。そしてセレクトア部41bは、セレクトア部41aから入力されたビットが「0」であるとき（演算結果R1が「0」であったとき）には、メモリデバイス12から読み出したデータのうちMSB側のビット（データバス上、d3の信号線の出力、つまり論理演算結果）を演算結果R2として、サブクロック信号 $\phi 2$ が立ち上るタイミング（図6の時刻 $t 3$ ）においてラッチし、出力する。またこのセレクトア部41bは、セレクトア部41aから入力されたビットが「1」であるとき（演算結果R1が「1」であったとき）には、メモリデバイス12から読み出したデータのうちd4の信号線の出力（論理演算結果の反転ビット）を演算結果R2として、サブクロック信号 $\phi 2$ が立ち上るタイミング（図6の時刻 $t 3$ ）においてラッチし、出力する。この出力R2は、セレクトア部41cによって受け入れられる。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0074

【補正方法】変更

【補正の内容】

【0074】

以下セレクトア部41c…も同様に動作する。そしてクロック供給部25の出力するサブクロック信号 $\phi 4$ が立ち上るタイミングにおいてスリーステートバッファ21__25から21__32が、入力されたビットb25, b26, … b32を、メモリデバイス12のアドレスバスに供給すると、セレクトア部41dは、メモリデバイス12が格納しているデータのうち、スリーステートバッファ21__25から21__32が出力するビット列が表すアドレスに格納されているデータを読み出す。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】 0 0 7 5

【補正方法】 変更

【補正の内容】

【0 0 7 5】

そしてセレクタ部 4 1 d は、セレクタ部 4 1 c から入力されたビットが「0」であるとき（演算結果 R3 が「0」であったとき）には、メモリデバイス 1 2 から読み出したデータのうち MSB 側のビット（データバス上、d7 の信号線の出力、つまり論理演算結果）を演算結果 R としてサブクロック信号 $\phi 4$ が立ち上るタイミングにおいてラッチし、出力する。またこのセレクタ部 4 1 d は、セレクタ部 4 1 c から入力されたビットが「1」であるとき（演算結果 R3 が「1」であったとき）には、メモリデバイス 1 2 から読み出したデータのうち d8 の信号線の出力（論理演算結果の反転ビット）を演算結果 R としてサブクロック信号 $\phi 4$ が立ち上るタイミングにおいてラッチし、出力する。

【手続補正 1 3】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 7 6

【補正方法】 変更

【補正の内容】

【0 0 7 6】

このように、本実施の形態のこの例では、出力ユニット 4 0 に含まれる各セレクタ部 4 1 が、時分割的に N ビットずつのビット列が出力されるタイミングにおいて、前回出力したビットを用いて、メモリデバイスにアクセスして取り出したビット間の論理演算結果と、その反転ビットとの一方を選択的に出力する手段として機能している。そして 4 回目には出力ユニット 4 0 が、 $8 \times 4 = 32$ ビット長のデータ D に含まれる各ビットの論理演算結果（ここでの例では排他的論理和）を演算結果 R として出力することとなる。

このように、本実施の形態のこの例では、出力ユニット 4 0 が、時分割的に N ビットのビット列が出力されるタイミングにおいて、前回出力したビットを用いて、メモリデバイスにアクセスして取り出したビット間の論理演算結果と、その反転ビットとの一方を選択的に出力する手段として機能している。

【手続補正 1 4】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 8 0

【補正方法】 変更

【補正の内容】

【0 0 8 0】

この図 1 0 の例では、各論理演算装置 1 が出力する 1 ビットの出力を、それぞれ図 1 1 に例示したものと同一 8 入力排他的論理和回路 1 0 0 に入力して、その排他的論理和の演算結果 1 ビットを得ている。この回路構成によると、比較的小規模な回路構成により、 $8 \times 4 \times 8 = 256$ ビット長のビット列に含まれる各ビット間の排他的論理和が得られる。

【手続補正 1 5】

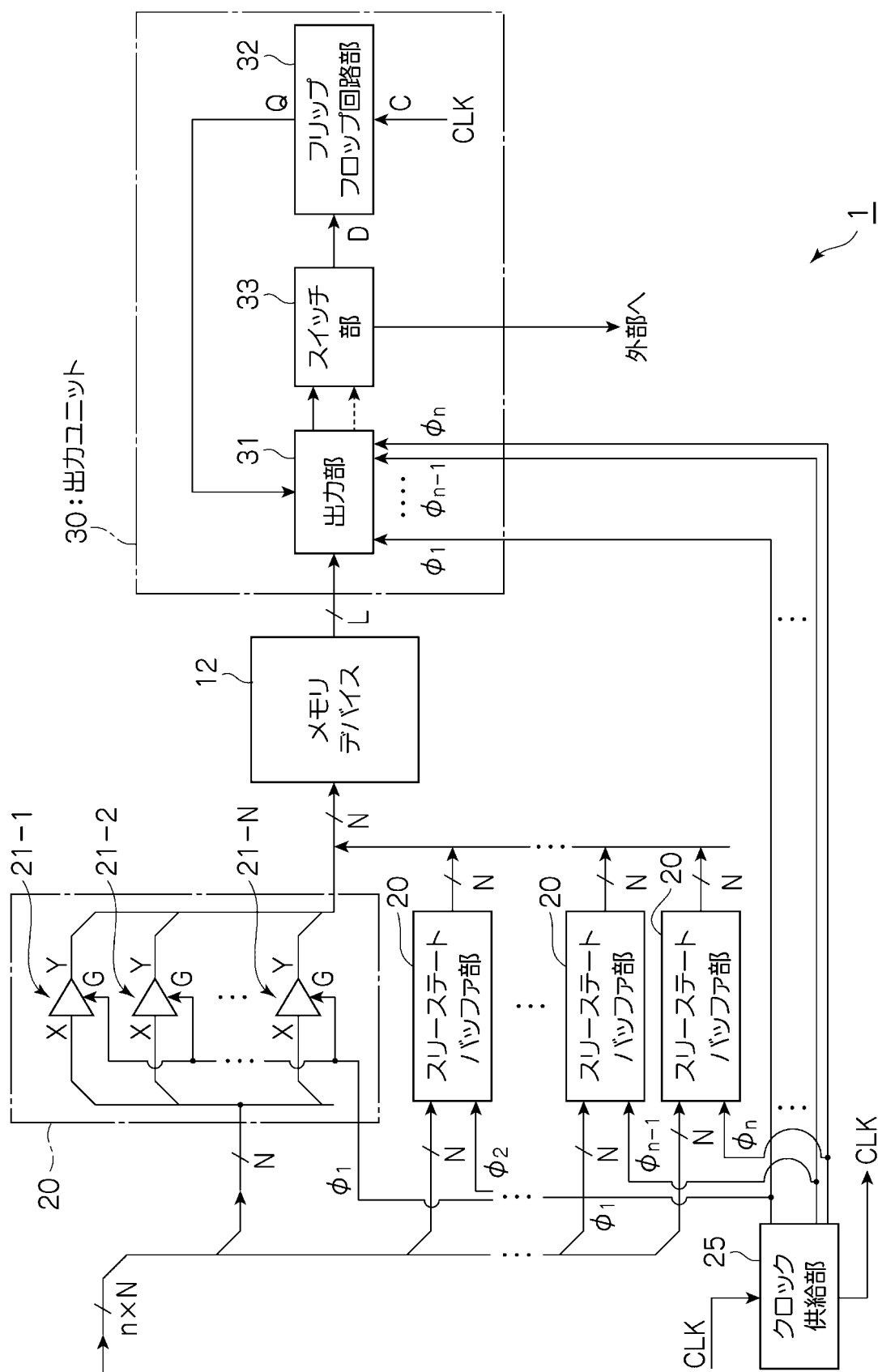
【補正対象書類名】 図面

【補正対象項目名】 図 5

【補正方法】 変更

【補正の内容】

【図 5】



【手続補正 1 6】

【補正対象書類名】図面

【補正対象項目名】図 6

【補正方法】変更

【補正の内容】

【図 6】

