

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4088422号
(P4088422)

(45) 発行日 平成20年5月21日 (2008. 5. 21)

(24) 登録日 平成20年2月29日 (2008. 2. 29)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

G09G 3/36

G02F 1/133 505

G09G 3/20 611A

G09G 3/20 623R

請求項の数 3 (全 16 頁)

(21) 出願番号 特願2001-128620 (P2001-128620)
 (22) 出願日 平成13年4月26日 (2001. 4. 26)
 (65) 公開番号 特開2002-323877 (P2002-323877A)
 (43) 公開日 平成14年11月8日 (2002. 11. 8)
 審査請求日 平成15年8月11日 (2003. 8. 11)
 審判番号 不服2005-12748 (P2005-12748/J1)
 審判請求日 平成17年7月6日 (2005. 7. 6)

(73) 特許権者 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (73) 特許権者 502356528
 株式会社 日立ディスプレイズ
 千葉県茂原市早野3300番地
 (74) 代理人 100100310
 弁理士 井上 学
 (72) 発明者 斎藤 一成
 千葉県茂原市早野3300番地 株式会
 社日立製作所ディスプレイグループ内
 (72) 発明者 伊藤 茂
 千葉県茂原市早野3300番地 株式会
 社日立製作所ディスプレイグループ内

最終頁に続く

(54) 【発明の名称】 表示データの伝送方法及び液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

液晶表示パネルと、前記液晶表示パネルに階調電圧を出力する駆動回路とを有する液晶表示装置であって、

前記駆動回路は、外部からデータが入力されるデータ入力端子と、次段の駆動回路にデータを出力するデータ出力端子と、

外部からデータ反転信号が入力されるデータ反転信号入力端子と、次段の駆動回路に前記データ反転信号を出力するデータ反転信号出力端子と、

前記データ入力端子に入力されたデータを前記データ出力端子に伝送する内部データ配線とを有し、

前記内部データ配線はデータラッチ回路にデータを送るために分岐し、

前記データ反転信号は前記データと同様に前記データラッチ回路に入力しており、

前記内部データ配線上の前記入力されたデータは、前記データラッチ回路によりラッチされ、

前記データラッチ回路にラッチされたデータ毎に、前記データ反転信号に基づき、反転させたり或いは反転させなかったりして、表示データへ変換するデータ反転演算が前記データラッチ回路からの出力以後にデータ演算回路で行われ、

前記表示データに従い前記階調電圧を出力するデコーダ回路と、前記階調電圧を前記液晶表示パネルに出力する出力アンプとを有することを特徴とする液晶表示装置。

【請求項 2】

前記液晶表示パネルは、透明絶縁基板を有しており、

前記駆動回路の前記データ入力端子には、前記透明基板上に設けられた配線を経由してデータが入力され、前記データ出力端子から前記次段の駆動回路へは、前記透明基板上に設けられた配線を経由してデータが出力されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

透明絶縁基板上に設けられた配線を経由して駆動回路に入力されるデータとデータ反転信号との伝送方法であって、

前記入力されたデータは、前記駆動回路内部の内部データ配線に供給され、

前記データは、内部データ配線から分岐してデータラッチ回路に入力し、

前記データ反転信号も前記データと同様に前記データラッチ回路に入力し、

前記データは、前記データラッチ回路によりラッチされ、

データラッチ回路にラッチされたデータ毎に、前記データ反転信号に基づき、前記データを変換するデータ反転演算が前記データラッチ回路からの出力以後にデータ演算回路で行われ、

前記データ反転演算が行われた表示データがデコード回路に供給され、前記デコード回路に供給された前記表示データに従い階調電圧を選択し、前記選択された階調電圧を映像信号線に出力され、

前記内部データ配線の前記入力されたデータと、前記入力されたデータ反転信号とは、前記透明絶縁基板上に設けられた配線を経由して次段の駆動回路に出力されることを特徴とする表示データの伝送方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置に係り、特にフリップチップ方式で実装したドライバ IC に駆動信号を供給するための配線構成を最適化し、新規な信号電送方式を採用して省電力化を図った液晶表示装置に関する。

【0002】

【従来の技術】

STN (Super Twisted Nematic) 方式、あるいは TFT (Thin Film Transistor) 方式の液晶表示装置は、ノート型パソコン等の表示装置として広く使用されている。これらの液晶表示装置は、液晶表示パネルと、液晶表示パネルを駆動する駆動回路を備えている。

【0003】

そして、このような液晶表示装置において、例えば、USP 5739887 号 (特開平 08 - 122806 号) 公報に記載されているように、液晶表示パネルを形成する透明絶縁基板上に、シリコンチップを搭載した所謂フリップチップ方式 (FCA) が知られている。シリコンチップには接続端子 (パンプ) が形成され、透明絶縁基板上の電極と電氣的に接続される。また、シリコンチップには駆動回路が形成されており、透明絶縁基板上の電極から制御信号、電源電圧等が入力し、透明絶縁基板上の電極に液晶表示パネルを駆動する信号を出力する。

【0004】

特開平 6 - 13724 号公報には、シリコンチップ相互間の接続に液晶表示パネルの基板上に形成した配線を用いるもの (順次直列供給方式、バケツリレー方式) が提案されている。(以下、データ転送方式と称する。)

【0005】

【発明が解決しようとする課題】

シリコンチップ相互間の配線により伝送される信号の一つとして表示データがある。表示データは液晶表示パネルに画像を表示するためのデータで、駆動回路へデジタル信号として伝送される。液晶表示装置の階調が増加すると、表示データのビット数も増加し配線数も増加する。透明絶縁基板上に形成された配線は配線抵抗と寄生容量を有しており、その

10

20

30

40

50

ため表示データが頻繁に変化すると消費電力が増加するという問題が生じる。また、シリコンチップ内の配線による消費電力も無視できなくなっている。特に階調数が増加し配線数が増加するとそれに伴い消費電力が増加し問題点が顕著となる。

【 0 0 0 6 】

本発明は、前記従来技術の問題点を解決するためになされたものであり、液晶表示装置において、駆動回路間の配線により消費される電力が減少する技術を提供する。

【 0 0 0 7 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【 0 0 0 8 】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

【 0 0 0 9 】

即ち本発明は、液晶表示パネルと、前記液晶表示パネルに階調電圧を出力する駆動回路とを有する液晶表示装置において、前記駆動回路は、外部からデータが入力されるデータ入力端子と、次段の駆動回路にデータを出力するデータ出力端子と、外部からデータ反転信号が入力されるデータ反転信号入力端子と、次段の駆動回路に前記データ反転信号を出力するデータ反転信号出力端子と、内部データ配線と、前記データ入力端子に入力されたデータを、前記データ反転信号に基づき、反転させたり或いは反転させなかったりして、前記内部データ配線に表示データとして出力する第1のデータ演算回路と、前記内部データ配線の前記表示データに従い前記階調電圧を出力するデコード回路と、前記階調電圧を前記液晶表示パネルに出力する出力アンプと、前記内部データ配線の前記表示データを、前記データ反転信号に基づき、反転或いは反転させなかったりして前記データ出力端子にデータを出力する第2のデータ演算回路とを有する構成とすることにより液晶表示装置の低消費電力を実現する。

【 0 0 1 0 】

また本発明は、液晶表示パネルと、前記液晶表示パネルに階調電圧を出力する駆動回路とを有する液晶表示装置において、前記駆動回路は、外部からデータが入力されるデータ入力端子と、次段の駆動回路にデータを出力するデータ出力端子と、外部からデータ反転信号が入力されるデータ反転信号入力端子と、次段の駆動回路に前記データ反転信号を出力するデータ反転信号出力端子と、前記データ入力端子に入力されたデータを前記データ出力端子に伝送する内部データ配線と、前記内部データ配線上の前記入力されたデータを、前記データ反転信号に基づき、反転させたり或いは反転させなかったりして、表示データへ変換するデータ演算回路と、前記表示データに従い前記階調電圧を出力するデコード回路と、前記階調電圧を前記液晶表示パネルに出力する出力アンプとを有する構成とすることにより液晶表示装置の低消費電力を実現する。

【 0 0 1 1 】

更に本発明は、透明絶縁基板上に設けられた配線を経由して駆動回路に入力されるデータとデータ反転信号との伝送方法において、前記入力されたデータは、前記入力されたデータ反転信号に基づき、反転させたり或いは反転させなかったりして、前記駆動回路内部の内部データ配線に表示データとして出力され、前記内部データ配線の前記表示データは、デコード回路に供給され、前記デコード回路に供給された前記表示データに従い階調電圧を選択し、前記選択された階調電圧を映像信号線に出力されるとともに、前記内部データ配線の前記表示データは、前記データ反転信号に基づき、反転させたり或いは反転させなかったりして、前記透明絶縁基板上に設けられた配線を経由して次段の駆動回路に出力される、或いは、前記入力されたデータは、前記駆動回路内部の内部データ配線に供給され、前記内部データ配線の前記入力されたデータは、前記入力されたデータ反転信号に基づき、反転させたり或いは反転させなかったりしてデコード回路に供給され、前記デコード回路に供給された前記表示データに従い階調電圧を選択し、前記選択された階調電圧を

10

20

30

40

50

映像信号線に出力され、前記内部データ配線の前記入力されたデータと、前記入力されたデータ反転信号とは、前記透明絶縁基板上に設けられた配線を経由して次段の駆動回路に出力されることにより、消費電力を低減したデータの転送を実現する。

【 0 0 1 2 】

【 発明の実施の形態 】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

【 0 0 1 3 】

なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【 0 0 1 4 】

図 1 は、本発明の実施の形態の液晶表示装置の概略構成を示すブロック図である。

【 0 0 1 5 】

1 は液晶表示パネル、2 は表示部である。表示部 2 に表示データに従い像が表示される。

【 0 0 1 6 】

3 はコントローラである。コントローラ 3 には外部（コンピュータ等）から表示データ、制御信号等が入力する。コントローラ 3 は外部から表示データ、制御信号等を受け、液晶表示パネル 1 に表示データ、各種クロック信号、各種制御信号とを供給する。4 は電源回路である。電源回路 4 は液晶表示パネル 1 を駆動するための各種の駆動電圧を発生する。

【 0 0 1 7 】

コントローラ 3 にはデータバスライン 5 が接続している。コントローラ 3 はデータバスライン 5 に表示データを出力する。またコントローラ 3 は、外部から入力した制御信号を変換し液晶表示パネル 1 を制御する信号を出力する。コントローラ 3 が出力する制御信号としては、ソースドライバ 6 が表示データを取り込むためのクロック信号、ソースドライバ 6 から液晶表示パネルへの出力を切り替えるためのクロック信号、ゲートドライバ 7 を駆動するフレーム開始指示信号と順次走査信号を出力するためのゲートクロック信号などのタイミング信号がある。

【 0 0 1 8 】

また、電源回路 4 は正極階調電圧と負極階調電圧、対向電極電圧、走査信号電圧等を発生させ出力する。

【 0 0 1 9 】

コントローラ 3 が出力した表示データは、データバスライン 5 を介してソースドライバ 6 に転送される（以下、伝送されとも言う）。表示データはデジタルデータであり、転送するデータ量に応じてデータバスライン 5 の本数が定められる。例えば 6 ビットのデータの場合ではデータバスラインは 6 本となる。なお、液晶表示パネル 1 は、カラー表示を行うために、赤（R）、緑（G）、青（B）の画素を有しており、赤（R）、緑（G）、青（B）の各表示データが 1 組として転送される。そのため、赤（R）、緑（G）、青（B）の各表示データを 1 組として転送する場合には、合計 18 本のデータバスラインが用いられる。

【 0 0 2 0 】

コントローラ 3 はデータバスライン 5 に単位時間に 1 画素分のデータを出力する。またデータバスライン 5 上に順番に表示データを出力する。ソースドライバ 6 は順番に出力される表示データの中から表示すべきデータを取り込む。ソースドライバ 6 が表示データを取り込むタイミングはクロック信号に従う。なお、コントローラ 3 からデータバスライン 5 に表示データを出力しソースドライバにデータを取り込む方法については後述する。

【 0 0 2 1 】

表示部 2 の周辺に沿って、横方向（X 方向）にソースドライバ 6（駆動回路）が配置される。このソースドライバ 6 の出力端子は液晶表示パネル 1 の映像信号線 8 に接続している。映像信号線 8 は図中 Y 方向に延在し、薄膜トランジスタ 10 のドレイン電極に接続している。また、映像信号線 8 は図中 X 方向に複数本並列に配置されている。ソースドライバ 6 は、データバスライン 5 から表示データを取り込み、表示データに従い階調電圧を映像

10

20

30

40

50

信号線 8 に出力する。映像信号線 8 により液晶を駆動するための電圧（階調電圧）が薄膜トランジスタ 10 に供給される。

【 0 0 2 2 】

なお、ソース、ドレインの呼び方は、バイアスの関係で逆になることもあるが、ここでは、映像信号線 8 に接続される方をドレインと称する。

【 0 0 2 3 】

表示部 2 周辺に沿って縦方向には、ゲートドライバ（走査回路）7 が配置される。ゲートドライバ 7 の出力端子は液晶表示パネル 1 の走査信号線 9 に接続している。走査信号線 9 は図中 X 方向に延在し、薄膜トランジスタ 10 のゲート電極に接続している。また、走査信号線 9 は図中 Y 方向に複数本並列に配置される。ゲートドライバ 7 はコントローラ 3 から送られてくるフレーム開始指示信号およびシフトクロックに基づき、1 水平走査期間毎に、順次、走査信号線 9 にハイレベルの走査電圧を供給する。薄膜トランジスタ 10 はゲート電極に印加された走査電圧によりオンとオフが制御される。

【 0 0 2 4 】

液晶表示パネル 1 の表示部 2 は、マトリクス状に配置される画素部 11 を有している。ただし、図 1 では図を簡略化するため 1 つの画素部 11 だけを示している。各画素部 11 は、薄膜トランジスタ 10 と画素電極を有している。各画素部 11 は隣接する 2 本の映像信号線 8 と、隣接する 2 本の走査信号線 9 との交差領域（4 本の信号線で囲まれた領域）に配置される。

【 0 0 2 5 】

前述したように、走査信号線 9 にはゲートドライバ 7 から走査信号が出力している。この走査信号により薄膜トランジスタ 10 がオン・オフする。映像信号線 8 には階調電圧が供給されており、薄膜トランジスタ 10 がオンになると、映像信号線 8 から画素電極に階調電圧が供給される。画素電極に対向するように対向電極（コモン電極）が配置されており、画素電極と対向電極との間には液晶層（図示せず）が設けられている。なお、図 1 に示す回路図上では画素電極と対向電極との間は等価的に液晶容量が接続されているように表示した。

【 0 0 2 6 】

画素電極と対向電極との間に電圧を印加することにより液晶層の配向が変化する。液晶表示パネルでは液晶層の配向の変化により光の透過率が変化することを利用し表示が行われる。液晶表示パネル 1 が表示する画像は画素により構成される。画像を構成する各画素の階調は、画素電極に供給される電圧に従う。ソースドライバ 6 は表示する階調を表示データで受け対応する階調電圧を出力する。そのため、液晶表示パネル 1 が表示する階調数の増加に従い、表示データのデータ量やデータバスライン 5 の本数も増加する。

【 0 0 2 7 】

直流電圧を液晶に長時間印加すると液晶が劣化することが知られている。液晶の劣化を防止するため液晶層に印加する電圧の極性を周期的に反転させる交流化駆動が行われている。交流化駆動では対向電極に対して、画素電極に正極性、負極性の信号電圧が印加される。そのため、電源回路 4 は正極階調電圧生成回路と負極階調電圧生成回路を有している。ソースドライバ 6 は交流化信号により、同じ表示データであっても正極性、負極性の階調電圧を選択する。

【 0 0 2 8 】

図 2 に、ソースドライバ 6 内部の概略ブロック図を示す。コントローラ 3 から出力した表示データはデータバスライン 5 を経て入力ラッチ回路 20 に入力する。入力ラッチ回路 20 には内部データバスライン 21 が接続されている。入力ラッチ回路 20 ではクロックコントローラ 23 が出力するクロック信号に表示データを同期させて、該同期化した表示データを内部データバスラインに出力している。シフトレジスタ回路 22 にもクロックコントローラ 23 からクロック信号が入力しており、クロック信号に従って順次にタイミング信号が出力している。

【 0 0 2 9 】

10

20

30

40

50

データラッチ回路 24 はタイミング信号が入力すると内部データバスライン 21 上の表示データを取り込む。全てのデータラッチ回路 24 に表示データが取り込まれた状態で、データラッチ回路 24 の表示データがラインラッチ回路 25 に取り込まれる。ラインラッチ回路 25 はデコーダ回路 26 に表示データを出力し、デコーダ回路 26 では表示データに従った階調電圧が選択され出力アンプ回路 27 に入力する。さらに出力アンプ回路 27 では階調電圧を電流増幅し液晶表示パネル 1 に出力する。階調電圧は階調電圧線 15 によりデコーダ回路 26 に供給されている。なお、図 2 では各回路への電源電圧を供給する配線については省略したが、各々の回路には必要な電圧が供給されている。

【0030】

コントローラ 3 から出力した表示データは、データバスライン 5 を経てソースドライバ 6 10
に入力するが、データバスライン 5 の本数が増加した場合には、データバスライン 5 で消費される電力も無視できなくなる。すなわち、データバスライン 5 は容量成分と抵抗成分を有しており、データの値が変化した場合に、配線負荷への充放電が生じ電力が消費される。

【0031】

データバスライン 5 での電力消費を抑えるため、表示データの値をなるべく変化させずに、表示データを転送する方法が考えられている。28 はデータ反転信号線である。データ反転信号線 28 は入力ラッチ回路 20 に接続されている。データ反転信号は入力ラッチ回路に入力した表示データの値を反転して出力するか、反転せずに出力するかを制御する。表示データはデジタル信号なので、データバスライン 5 上の信号の値は 1 (ハイレベル) 20
か 0 (ロウレベル) である。すなわち、データ反転信号により表示データの値を反転するとは、入力ラッチ回路 20 に入力した表示データの値が 1 の場合に 0 を出力し、入力が 0 の場合は 1 を出力することである。

【0032】

表 1 に、データ反転信号が 1 の時に表示データを反転するとした場合におけるデータバスライン上の表示データの値とデータ反転信号との関係を示す。表 1 に示すように、表示データとデータ反転信号との演算は、排他的論理和となる。

【0033】

以下データ反転信号を用いる方法について説明する。まず、最も効果的な場合として、データバスライン 5 上の第 1 の表示データが (000000) で、第 2 の表示データが (1 30
111111) の場合を考える。データ反転信号を用いないと、第 1 の表示データとしてデータバスラインに (000000) の値を出力している状態で、次の表示データとして第 2 の表示データ (111111) がコントローラ 3 から出力する。この場合、データバスライン上の全ての値が 0 から 1 に変化する。

【0034】

対してデータ反転信号を用いる場合は、第 2 の表示データとしてコントローラ 3 からはデータバスライン 5 上に (000000) を出力する。この場合、データバスライン上の値は 0 のままで状態の変化はない。データ反転信号により入力ラッチ回路 20 において表示データの値を反転させると、入力ラッチ回路 20 からは第 2 の表示データ (111111) 40
) が出力する。このように、データ反転信号を用いることで、データバスライン 5 上の表示データの値をなるべく変化させることなく表示データを転送することができる。

【0035】

【表 1】

入力		出力
表示データ信号	データ反転信号	
0	0	0
0	1	1
1	0	1
1	1	0

10

【 0 0 3 6 】

続いて消費電力について表示データが (0 0 0 0 0 0) で、次の表示データが (1 1 1 1 1 1) の場合を用いて説明する。データバスライン 5 上の表示データが (0 0 0 0 0 0) から (1 1 1 1 1 1) に変化すると、6本のデータバスラインの値が0から1に変化する。このため、6本のデータバスライン全てをハイレベルに充電しなくてはならない。対してデータバスラインの表示データは (0 0 0 0 0 0) のままで、データ反転信号を用いて入力ラッチ回路 2 0 の出力を (1 1 1 1 1 1) とすると、データバスライン 5 の表示データは変化しないので、データバスライン 5 の充放電は行われぬ。このため、データバスライン 5 を充放電する電力を減少させることができる。ただし、この場合は6本の内部データバスラインの 2 1 値は (0 0 0 0 0 0) から (1 1 1 1 1 1) に変化するため、内部データバスライン 2 1 の充放電には考慮されていない。

20

【 0 0 3 7 】

別の例として、表示データが (0 1 0 1 0 1) であり、次の表示データが (1 1 1 0 0 0) となる場合について説明する。この場合、状態が変化するデータバスライン 5 の本数は4本となり、状態が変化するデータバスライン 5 の本数は、状態が変化しない本数よりも多い。そのため、この場合はコントローラ 3 からデータバスライン 5 に (0 0 0 1 1 1) を出力し、データ反転信号を用いて入力ラッチ回路 2 0 から (1 1 1 0 0 0) を出力するようにする。データバスライン 5 上では、表示データが (0 1 0 1 0 1) から (0 0 0 1 1 1) に変化しており、状態が変化するデータバスライン 5 の本数は2本となる。状態が変化するデータバスラインの本数は4本から2本と半分になっており、低消費電力化が実現できる。

30

【 0 0 3 8 】

前述した例に示すように、データバスライン 5 において状態が変化する配線の本数が、全データバスラインの半数以上であれば、コントローラ 3 からはデータバスライン 5 に表示データの各ビット値を反転した信号を出力し、データバスライン 5 から入力ラッチ回路 2 0 に入力する信号をデータ反転信号により反転して出力した方が低消費電力となる。

【 0 0 3 9 】

対してデータバスライン 5 において状態が変化する本数が、全データバスラインの半数以下の場合では、コントローラ 3 からはデータバスライン 5 に表示データを出力し、入力ラッチ回路 2 0 からも、データバスライン 5 から入力した信号を出力する。

40

【 0 0 4 0 】

次に図 3 に、ソースドライバ 6 内の配線を用いて表示データを転送する場合の概略ブロック図を示す。まず、コントローラ 3 からソースドライバ 6 までデータバスライン 5 が配線されている。ソースドライバ 6 は入力端子 1 3 を有しており、入力端子 1 3 とデータバスライン 5 とが接続される。表示データは入力端子 1 3 からソースドライバ 6 に入力する。隣合うソースドライバの間にもデータバスライン 5 が配線されている。ソースドライバには出力端子 1 4 が設けられており、出力端子 1 4 とデータバスラインが接続され出力端子 1 4 から次段のソースドライバに表示データが出力する。入力端子 1 3 と出力端子 1 4 と

50

の間のソースドライバ 6 内部に配線が設けられており、表示データは内部の配線を転送される。

【 0 0 4 1 】

電源回路 4 から出力される正極階調電圧や負極階調電圧はフレキシブル回路基板 1 2 で供給される。なお、図示していないが、各種クロック信号、交流化駆動信号、データ反転信号は表示データと同様にソースドライバ内の配線で転送される。

【 0 0 4 2 】

図 4 にソースドライバ 6 内の配線を用いて表示データを転送する方式に対応したソースドライバ 6 の概略ブロック図を示す。データバスライン 5 は入力ラッチ回路 2 0 に接続されており、表示データは入力ラッチ回路 2 0 に入力する。入力ラッチ回路 2 0 では表示データとクロックコントローラ 2 3 から出力するクロック信号との間で同期がとられる。また、入力ラッチ回路 2 0 では消費電力が減少するように表示データとデータ反転信号との間で反転演算が行われる。

10

【 0 0 4 3 】

入力ラッチ回路 2 0 には内部データバスラインが接続され、入力ラッチ回路 2 0 から表示データが内部データバスライン 2 1 へ出力する。内部データバスライン 2 1 はデータラッチ回路 2 4 に接続され表示データがデータラッチ回路 2 4 に転送される。また、内部データバスライン 2 1 はソースドライバ 6 内を配線され出力ラッチ回路 3 0 に接続される。さらに、出力ラッチ回路 3 0 から出力した表示データは次段のソースドライバ 6 へ転送される。ただし前述したように、入力ラッチ回路 2 0 では表示データとデータ反転信号との間で演算が行われているので、出力端子から出力する表示データはデータ反転信号との間で逆演算を行い元の状態に戻して次段のソースドライバ 6 に転送される。

20

【 0 0 4 4 】

図 4 に示す回路では、データ反転信号で消費電力を減少することができるのは、ソースドライバ 6 外のデータバスライン 5 にとどまっており、内部データバスライン 2 1 の消費電力を減少させることについては考慮されていない。ただし、データバスライン 5 を液晶表示パネル 1 上に形成するためには、配線にクロム等の抵抗値が高い導体を用いられる場合が多い。そのため、データバスラインの配線負荷が内部データバスラインの配線負荷に比較して高い場合には、データ反転信号を用い、ソースドライバ間のデータバスライン 5 での消費電力を減少させることが、低消費電力化に有効である。

30

【 0 0 4 5 】

図 5 に転送用データバスライン 3 3 を設けたソースドライバ 6 の概略ブロック図を示す。入力ラッチ回路 2 0 からは内部データバスライン 2 1 に平行して転送用データバスライン 3 3 が配線されている。内部データバスライン 2 1 はデータラッチ回路 2 4 に接続され、データラッチ回路 2 4 に表示データを転送している。転送用データバスライン 3 3 はソースドライバ内部を配線され出力ラッチ回路 3 0 に接続され、次段のソースドライバ 6 に表示データを転送する。入力ラッチ回路 2 0 ではデータ反転信号と表示データとの間で演算が行われ、出力ラッチ回路 3 0 ではデータ反転信号と表示データとの間で逆演算が行われる。

【 0 0 4 6 】

内部データバスライン 2 1 にはスタンバイ回路 3 1 が設けられている。スタンバイ回路 3 1 はデータラッチ回路 2 4 が内部データバスライン 2 1 から表示データを取込めない場合に、内部データバスライン 2 1 の値が変化しないようにしている。スタンバイ回路 3 1 を設けると、複数のソースドライバ 6 のうちで、内部データバスライン 2 1 の充放電が生じているものは、データラッチ回路 2 4 に表示データが取り込まれている一つのソースドライバのみとなるため低消費電力化が可能となる。

40

【 0 0 4 7 】

また、内部データバスライン 2 1 はデータラッチ回路 2 4 に接続されているため、転送用データバスライン 3 3 に比べて配線負荷が大きい。図 5 に示す回路では、次段のソースドライバ 6 への表示データの転送を配線負荷の小さな転送用データバスライン 3 3 で行って

50

おり低消費電力化が図られている。

【 0 0 4 8 】

次に図 6 に、データバスラインを入力ラッチ回路 2 0 の前で分離したソースドライバ 6 の概略ブロック図を示す。入力ラッチ回路 2 0 (1) ではデータ反転信号と表示データとの間で演算が行われている。対して入力ラッチ回路 2 0 (2) では入力ラッチ回路 2 0 ではデータ反転信号と表示データとの間での演算が行われない。そのため、転送用データバスライン 3 3 により転送される表示データはデータ反転信号によって演算されておらず、転送用データバスライン 3 3 での低消費電力化も可能となっている。また、出力ラッチ回路 3 0 での逆演算の必要もない。出力ラッチ回路 3 0 では表示データとデータ反転信号との位相を合わせるため、クロック信号を用いて表示データとデータ反転信号とを同期化して

10

【 0 0 4 9 】

図 6 の回路にも内部データバスライン 2 1 にはスタンバイ回路 3 1 が設けられている。スタンバイ回路 3 1 を設けることで、内部データバスライン 2 1 での充放電を減少させることができ、より低消費電力化が可能となっている。

【 0 0 5 0 】

次に図 7 に、データバスラインを入力ラッチ回路 2 0 に入力し、入力ラッチ回路 2 0 からは、内部データバスライン 2 1 と転送用データバスライン 3 3 とが出力するソースドライバ 6 の概略ブロック図を示す。入力ラッチ回路 2 0 に接続された内部データバスラインにはデータ反転信号との間で演算が行われた表示データが出力している。対して転送用データバスラインにはデータ反転信号との間での演算が行われていない表示データが出力している。そのため、転送用データバスライン 3 3 により転送される表示データはデータ反転信号によって演算されておらず、転送用データバスライン 3 3 での低消費電力化も可能となっている。また、出力ラッチ回路 3 0 での逆演算の必要もない。出力ラッチ回路 3 0 では表示データとデータ反転信号との位相を合わせるため、クロック信号を用いて表示データとデータ反転信号とを同期化している。

20

【 0 0 5 1 】

図 7 の回路にも内部データバスライン 2 1 にはスタンバイ回路 3 1 が設けられている。スタンバイ回路 3 1 を設けることで、内部データバスライン 2 1 での充放電を減少させることができ、より低消費電力化が可能となっている。

30

【 0 0 5 2 】

次に図 8 に入力ラッチ回路 2 0 とデータラッチ回路 2 4 の間でデータ反転演算を行うソースドライバ 6 の概略ブロック図を示す。データ反転演算を入力ラッチ回路 2 0 で行わず、データラッチ回路 2 4 に入力する前で反転演算を行っている。図 8 に示す回路では、スタンバイ回路 3 1 でデータ反転演算を行うようにしている。図 8 の回路では、転送用データバスライン 3 3 はデータ反転演算されていないので、転送用データバスライン 3 3 の状態変化を少なくすることができる。また、出力ラッチ回路 3 0 での逆演算の必要もない。

【 0 0 5 3 】

次に図 9 に同じく入力ラッチ回路 2 0 とデータラッチ回路 2 4 の間でデータ反転演算を行うソースドライバ 6 の概略ブロック図を示す。データ反転演算を入力ラッチ回路 2 0 で行わず、データラッチ回路 2 4 に入力する前で行っている。図 9 に示すように、データ反転演算回路 3 2 が内部データバスライン 2 1 とデータラッチ回路 2 4 との間に設けられ、このデータ反転演算回路 3 2 でデータ反転演算を行う。データ反転演算は前述したように、排他的論理和であるため、データ反転演算回路 3 2 には従来からある排他的論理和回路を用いることができる。図 9 では図を簡明にするため 1 本の表示データについてのみ排他的論理和回路 3 4 を示した。

40

【 0 0 5 4 】

図 9 に示す回路では、内部データバスライン 2 1 を分離し、転送用データバスライン 3 3 を設ける必要がない。そのためデータバスライン数の増大を抑えることにより低消費電力化が実現できる。また入力ラッチ回路 2 0 後の内部データバスライン 2 1 はデータ反転演

50

算されていないので、内部データバスライン 21 の状態変化を少なくすることができる。さらに、データ反転演算回路 32 以後は配線の負荷はデータバスラインと比較すると小さいため、充放電による消費電力を極力抑えることができる。

【0055】

次に図 10 にデータラッチ回路 24 にデータ反転信号を入力したソースドライバ 6 の概略ブロック図を示す。データラッチ回路 24 にデータ反転信号を入力することで、データ反転信号による演算をデータラッチ回路 24 以降で行うことが可能となる。

【0056】

図 10 に示す回路では、入力ラッチ回路部 20 で表示データ信号とデータ反転信号との演算は行わない。入力ラッチ回路部 20 では表示データ信号をクロック信号で同期化することのみとし、内部データバスライン 21 に入力した表示データを反転演算せずに出力する。内部データバスライン 21 は、データラッチ回路 24 にデータを送るために分岐している。また、内部データバスライン 21 はソースドライバ 6 内を配線され出力ラッチ回路 30 に接続されている。出力ラッチ回路 30 において表示データはクロック信号と同期化され、次段ソースドライバに転送される。一方、データ反転信号も表示データと同様にデータラッチ回路 24 に入力する。表示データ信号とデータ反転信号との演算はデータラッチ回路 24 から出力以後に行われる。表示データとデータ反転信号がデータラッチ回路 24 から出力してデータ反転演算回路 32 に入力しており、データ反転演算がデータ反転演算回路 32 で行われる。さらに、データ反転演算後の表示データがラインラッチ回路 25 に入力する。

【0057】

図 10 に示す回路では、内部データバスライン 21 を分離し、転送用データバスライン 33 を設ける必要がない。また入力ラッチ回路 20 後の内部データバスライン 21 はデータ反転演算されていないので、内部データバスライン 21 の状態変化を少なくすることができる。そのため、データバスライン数の増大を抑えることによる低消費電力化と併せて、内部データバスライン 21 の状態変化による消費電力を減少することができる。

【0058】

なお、データ反転演算回路 32 以後の配線については、状態の変化を抑えることができないが、データ反転演算回路 32 後は配線の負荷がデータバスラインと比較すると小さいため、充放電による消費電力を極力抑えることができる。さらに、図 9、図 10 に示す回路では、内部データバスライン 21 が次段のソースドライバに表示データを転送する転送データバスラインの役割も兼ねているため、内部データバスライン 21 にスタンバイ回路を設けることができない。そのため、図 9、図 10 に示す回路は、スタンバイ回路によって低消費電力化が図れない場合には特に有効である。

【0059】

また、本方式では出力ラッチ回路 30 を設け、クロック信号で表示データ信号とデータ反転信号の同期化を行っているが、出力ラッチ回路 30 を用いなくても、次段ドライバの入力ラッチ回路で同様な同期化を行うことも可能である。

【0060】

次に図 11 にデータバスライン 5 がソースドライバ 6 の外部に形成される液晶表示装置において、内部データバスライン 21 とデータラッチ回路 24 の間でデータ反転演算を行うソースドライバ 6 の概略ブロック図を示す。図 11 の回路では、データ反転演算を入力ラッチ回路 20 で行わず、データラッチ回路 24 に入力する前で反転演算を行っている。

【0061】

図 11 に示す回路では、内部データバスライン 21 から分離した配線でデータ反転演算を行っているため、内部データバスライン 21 の状態変化を少なくすることができる。さらに、データラッチ回路 24 以後は配線の負荷は内部データバスライン 21 と比較すると小さいため、充放電による消費電力を極力抑えることができる。また、内部データバスライン 21 にはスタンバイ回路 31 が設けられており、クロックコントローラ 23 等からの制御信号により、ソースドライバ 6 が表示データを取り込まない場合に内部データバスライ

10

20

30

40

50

ンの値を変化させないようにして、低消費電力化を図っている。

【 0 0 6 2 】

次に図 1 2 にデータバスライン 5 がソースドライバ 6 の外部に形成される液晶表示装置において、データラッチ回路 2 4 の後でデータ反転演算を行うソースドライバ 6 の概略ブロック図を示す。図 1 2 の回路では、データ反転演算を入力ラッチ回路 2 0 で行わず、ラインラッチ回路 2 5 に入力する前で反転演算を行っている。

【 0 0 6 3 】

図 1 2 に示す回路では、データラッチ回路 2 4 以後の配線との間でデータ反転演算を行っているため、内部データバスライン 2 1 の状態変化を少なくすることができる。さらに、データラッチ回路 2 4 以後は配線の負荷は内部データバスライン 2 1 と比較すると小さいため、充放電による消費電力を極力抑えることができる。また、内部データバスライン 2 1 にはスタンバイ回路 3 1 が設けられており、クロックコントローラ 2 3 等からの制御信号により、ソースドライバ 6 が表示データを取り込まない場合に内部データバスラインの値を変化させないようにして、低消費電力化を図っている。

【 0 0 6 4 】

【発明の効果】

スタンバイ機能を有する回路の追加により、データを取り込もうとするソースドライバ以外のドライバの機能を停止させることにより、ドライバ内部のデータバスラインの状態変化を少なくし、低消費電力を実現する。

【 0 0 6 5 】

入力ラッチ回路でのデータ反転演算前で内部データバスラインと転送用データバスラインとを分離し、データ反転演算機能により次段ソースドライバへのデータ転送による消費電力を低減する。

【 0 0 6 6 】

ソースドライバ内部のデータバスラインは内部回路用と次段ソースドライバへの転送用とを共有化するが、入力ラッチ回路部でデータ反転演算を行わず、内部のデータラッチ回路あるいはラインラッチ回路の手前でデータ信号とデータ反転信号とをデータ反転演算させることによりデータバスライン数を増大させることなく、データ反転機能を有効にさせ、データバスラインによる消費電力を低減する。

【図面の簡単な説明】

【図 1】本発明の実施の形態である液晶表示装置の概略構成を示すブロック図である。

【図 2】本発明の実施の形態である液晶表示装置のソースドライバの概略ブロック図である。

【図 3】本発明の実施の形態である液晶表示装置の概略構成を示すブロック図である。

【図 4】本発明の実施の形態である液晶表示装置のソースドライバの概略ブロック図である。

【図 5】本発明の実施の形態である液晶表示装置のソースドライバの概略ブロック図である。

【図 6】本発明の実施の形態である液晶表示装置のソースドライバの概略ブロック図である。

【図 7】本発明の実施の形態である液晶表示装置のソースドライバの概略ブロック図である。

【図 8】本発明の実施の形態である液晶表示装置のソースドライバの概略ブロック図である。

【図 9】本発明の実施の形態である液晶表示装置のソースドライバの概略ブロック図である。

【図 1 0】本発明の実施の形態である液晶表示装置のソースドライバの概略ブロック図である。

【図 1 1】本発明の実施の形態である液晶表示装置のソースドライバの概略ブロック図である。

10

20

30

40

50

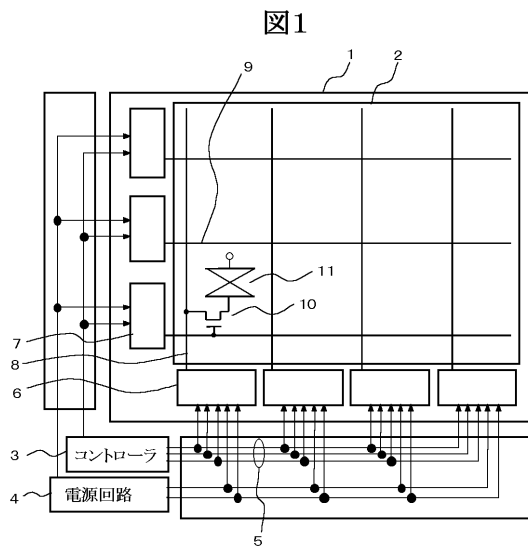
【図 1 2】本発明の実施の形態である液晶表示装置のソースドライバの概略ブロック図である。

【符号の説明】

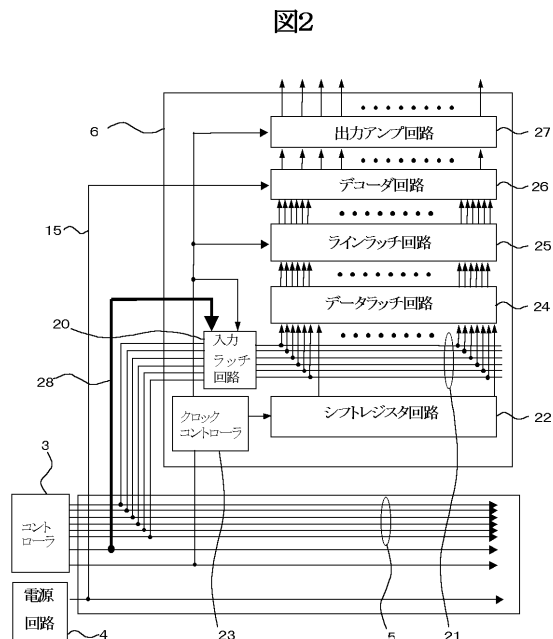
1 ... 液晶表示パネル、2 ... 表示部、3 ... コントローラ、4 ... 電源回路、5 ... データバスライン、6 ... ソースドライバ、7 ... ゲートドライバ、8 ... 映像信号線、9 ... ゲート信号線、10 ... 薄膜トランジスタ、11 ... 画素部、12 ... F P C、13 ... 入力端子、14 ... 出力端子、15 ... 階調電圧線、20 ... 入力ラッチ回路、21 ... 内部データバスライン、22 ... シフトレジスタ、23 ... クロックコントローラ、24 ... データラッチ回路、25 ... ラインラッチ回路、26 ... デコーダ回路、27 ... 出力アンプ回路、28 ... データ反転信号線、30 ... 出力ラッチ回路、31 ... スタンバイ回路、32 ... データ反転演算回路、33 ... 転送用データバスライン、34 ... 排他的論理和回路。

10

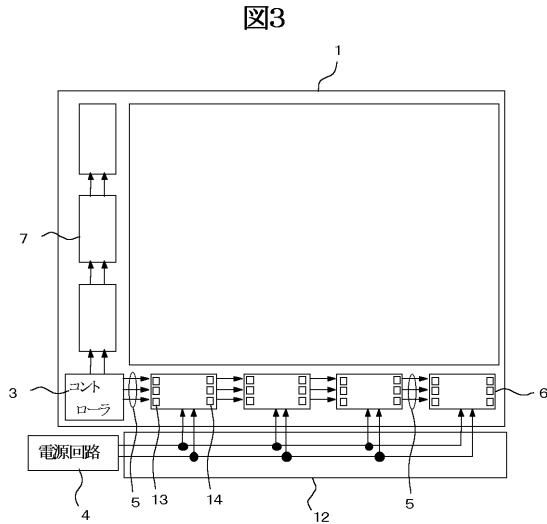
【図 1】



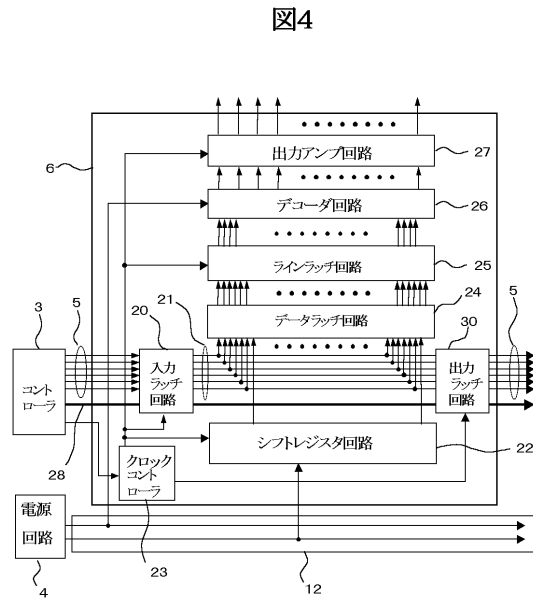
【図 2】



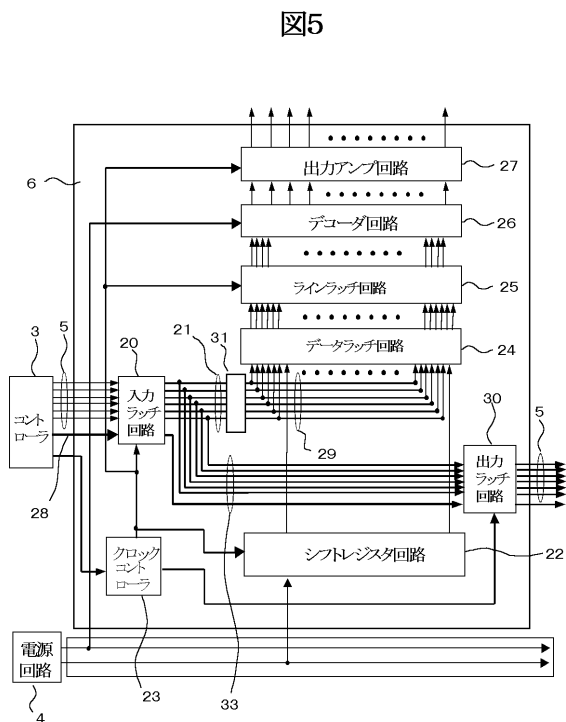
【 図 3 】



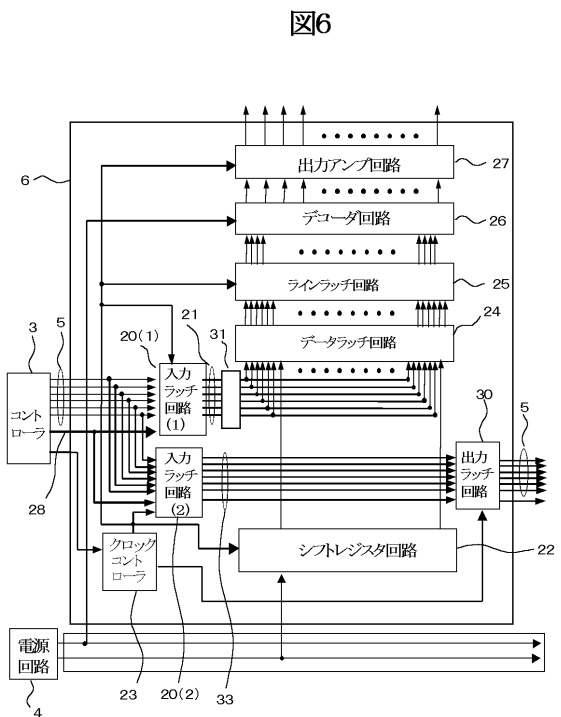
【圖 4】



【圖 5】

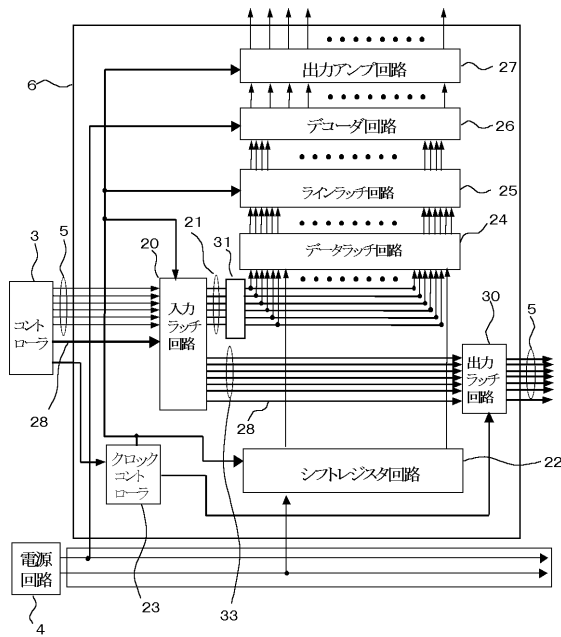


【 図 6 】



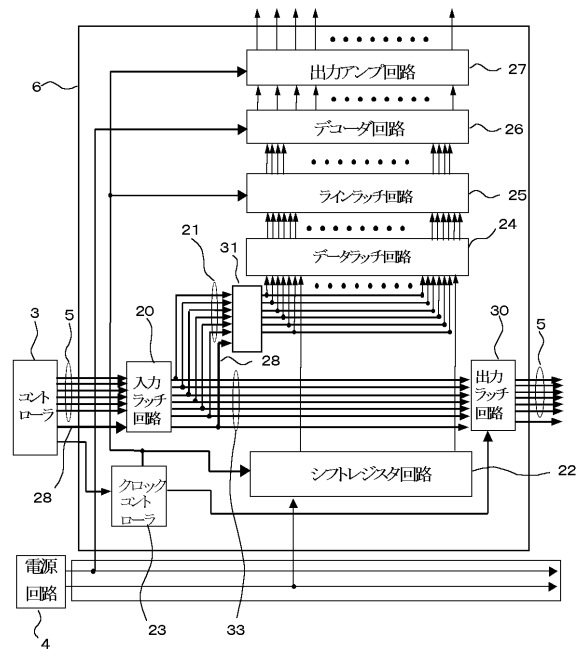
【図 7】

図7



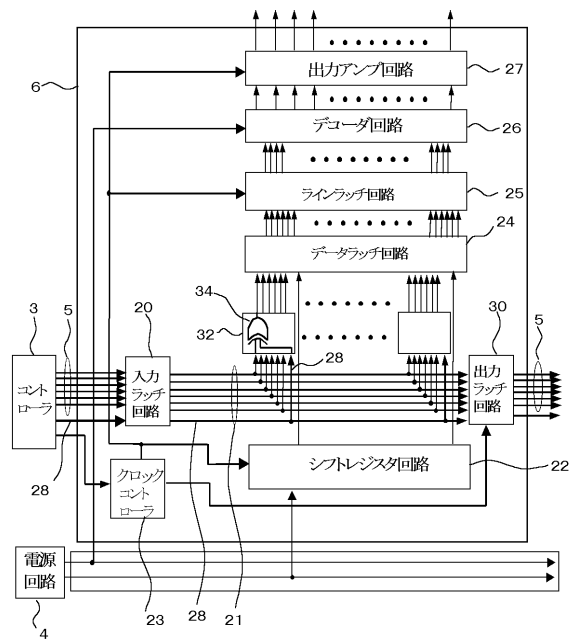
【図 8】

図8



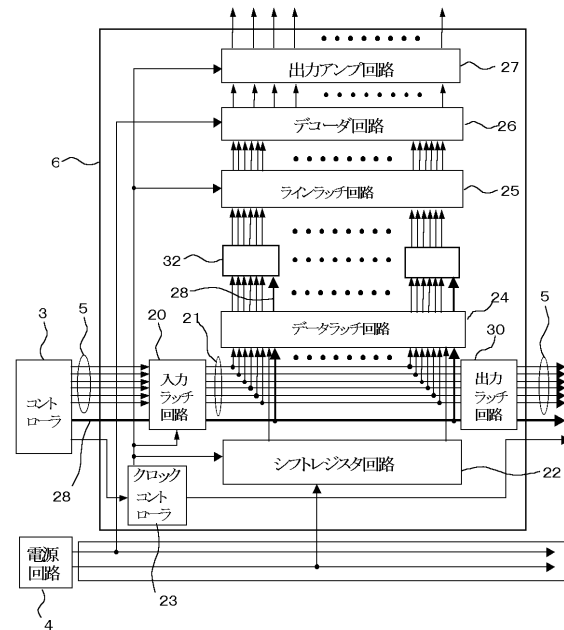
【図 9】

図9



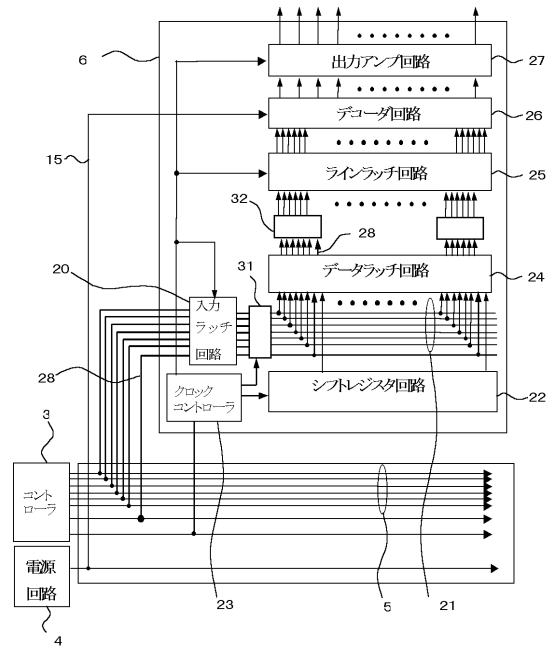
【図 10】

図10



【 図 1 2 】

図12



フロントページの続き

- (72)発明者 尾手 幸秀
千葉県茂原市早野 3 6 8 1 番地 日立デバイスエンジニアリング株式会社内
- (72)発明者 中安 洋三
千葉県茂原市早野 3 6 8 1 番地 日立デバイスエンジニアリング株式会社内
- (72)発明者 安川 信治
千葉県茂原市早野 3 6 8 1 番地 日立デバイスエンジニアリング株式会社内

合議体

審判長 杉野 裕幸
審判官 堀部 修平
審判官 上原 徹

- (56)参考文献 特開 2 0 0 0 - 2 4 2 2 4 0 (J P , A)
特開 2 0 0 0 - 2 0 7 0 7 7 (J P , A)
特開 2 0 0 1 - 1 6 6 7 4 0 (J P , A)
特開 2 0 0 0 - 1 4 8 6 0 5 (J P , A)
特開平 1 1 - 2 4 2 4 6 3 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
G09G3/00-3/38
G02F1/133