

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4714353号
(P4714353)

(45) 発行日 平成23年6月29日(2011.6.29)

(24) 登録日 平成23年4月1日(2011.4.1)

(51) Int. Cl. F I
G05F 3/24 (2006.01) G O 5 F 3/24 B
G05F 3/26 (2006.01) G O 5 F 3/26

請求項の数 3 (全 6 頁)

<p>(21) 出願番号 特願2001-39082(P2001-39082) (22) 出願日 平成13年2月15日(2001.2.15) (65) 公開番号 特開2002-244749(P2002-244749A) (43) 公開日 平成14年8月30日(2002.8.30) 審査請求日 平成19年10月5日(2007.10.5)</p>	<p>(73) 特許権者 000002325 セイコーインスツル株式会社 千葉県千葉市美浜区中瀬1丁目8番地 (74) 代理人 100154863 弁理士 久原 健太郎 (74) 代理人 100142837 弁理士 内野 則彰 (74) 代理人 100123685 弁理士 木村 信行 (72) 発明者 福井 厚夫 千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツルメンツ株式会社内 審査官 三島木 英宏</p>
---	---

最終頁に続く

(54) 【発明の名称】 基準電圧回路

(57) 【特許請求の範囲】

【請求項1】

定電流回路である、ソースとゲートが接地されたデプレッション型nチャンネルMOSトランジスタと、

ゲートに前記デプレッション型nチャンネルMOSトランジスタのドレインが接続され、基準電圧を出力するためのソース接地増幅回路である、第一のnチャンネルMOSトランジスタと、

前記基準電圧がゲートに接続された第二のnチャンネルMOSトランジスタと、

前記第二のnチャンネルMOSトランジスタが流す電流を、前記デプレッション型nチャンネルMOSトランジスタと前記第一のnチャンネルMOSトランジスタとにミラーするカレントミラー回路と、を備えた基準電圧回路。

10

【請求項2】

前記第二のnチャンネルMOSトランジスタのゲートに、起動回路を設けたことを特徴とする請求項1に記載の基準電圧回路。

【請求項3】

前記起動回路は、

ソースとゲートが接地され、ドレインに前記カレントミラー回路が接続された第二のデプレッション型nチャンネルMOSトランジスタと、

ゲートに前記第二のデプレッション型nチャンネルMOSトランジスタのドレインが接続され、ドレインが前記第二のnチャンネルMOSトランジスタのゲートに接続されたpチャネ

20

ルM O Sトランジスタと、で構成されたことを特徴とする請求項2に記載の基準電圧回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体集積回路の基準電圧回路に関するものである。

【0002】

【従来の技術】

従来の基準電圧回路としては、図3に示されるような回路が知られている。すなわちソースとゲートが接地されたnチャネル・デプレッション型M O Sトランジスタ170による定電流回路と、トランジスタ170より出力される電流をカレントミラーするためのpチャネル・エンハンスメント型M O Sトランジスタ150と151で構成されるカレントミラー回路と、前記カレントミラー回路の出力電流から基準電圧V r e fを発生させるためにゲートとドレインが接続されたnチャネル・エンハンスメント型M O Sトランジスタ160より構成されている。

【0003】

トランジスタ150と151が同一サイズの場合は、トランジスタ170のドレイン電流I D (170) とトランジスタ160のドレイン電流I D (160) は等しく、トランジスタ160のゲート - ソース間電圧V G S (160) が基準電圧V r e fとなる。

【0004】

基準電圧V r e fが所定の電圧となるためには全てのトランジスタが飽和状態で動作しなければならない。トランジスタ170が飽和状態で動作する最小ドレイン - ソース間電圧をV D S A T (170) とし、トランジスタ150のドレイン - ソース間電圧をV D S (150) とすると、基準電圧V r e fが所定の電圧となるための最低電源電圧V d d (m i n) は

$$V d d (m i n) = V D S A T (170) + V D S (150) \quad (1)$$

となる。

【0005】

nチャネル・デプレッション型M O Sトランジスタ170が飽和状態で動作する最小ドレイン - ソース間電圧V D S A T (170) は、トランジスタ170のしきい値をV t (170) とすると

$$V D S A T (170) = | V t (170) | \quad (2)$$

となる。

【0006】

通常、V t (170) = - 0 . 4 V、V D S (150) = 1 . 0 V程度なので式(1)よりV d d (m i n) は

$$V d d (m i n) = | - 0 . 4 V | + 1 . 0 V = 1 . 4 V \quad (3)$$

となる。

【0007】

【発明が解決しようとする課題】

図3に示した従来の基準電圧回路では、低い電源電圧の場合回路動作が不安定となり所定の基準電圧V r e fを発生できなくなるという問題点があった。

【0008】

低い電源電圧でも所定の基準電圧V r e fを得ようとするnチャネル・デプレッション型M O Sトランジスタのしきい値を大きくするか(絶対値を0に近づける)、あるいはpチャネル・エンハンスメント型M O Sトランジスタのしきい値を大きくする(絶対値を0に近づける)必要があるが、このようにすると高温時または低温時に動作不能になる。

【0009】

そこで、この発明は従来のこのような問題点を解決するために、回路構成を変更することで低い電源電圧での動作を可能にすることを目的としている。

【 0 0 1 0 】

【課題を解決するための手段】

上記問題点を解決するために、本発明においては回路を工夫することにより、従来より低い電源電圧でも所定の基準電圧 V_{ref} が得られるような構成とした。

【 0 0 1 1 】

このような構成にすることにより、半導体集積回路内に低電源電圧でも安定に動作する高精度な基準電圧発生器を構築することができる。

【 0 0 1 2 】

【発明の実施の形態】

本発明においては、従来より低い電源電圧でも所定の基準電圧 V_{ref} が得られるような回路構成としている。

10

【 0 0 1 3 】

【実施例】

以下に、本発明の実施例を図面に基づいて説明する。

【 0 0 1 4 】

図1は本発明の第一実施例の基準電圧回路である。ソースとゲートが接地されたnチャネル・デプレション型MOSトランジスタ120による定電流回路と、基準電圧 V_{ref} を出力するためのnチャネル・エンハンスメント型MOSトランジスタ110によるソース接地増幅回路と、上記基準電圧 V_{ref} がゲートに接続されたnチャネル・エンハンスメント型MOSトランジスタ111と、トランジスタ111より出力される電流をカレントミラーするためのpチャネル・エンハンスメント型MOSトランジスタ100、101と102で構成されるカレントミラー回路よりなる。

20

【 0 0 1 5 】

トランジスタ100のドレイン電流 $I_{D(100)}$ は定電流トランジスタ120のドレイン電流 $I_{D(120)}$ と等しい。トランジスタ100と102のサイズが同一な場合、トランジスタ100と102はカレントミラー回路なので、トランジスタ100のドレイン電流 $I_{D(100)}$ とトランジスタ102のドレイン電流 $I_{D(102)}$ は等しくなる。さらにトランジスタ111のドレイン電流 $I_{D(111)}$ はトランジスタ102のドレイン電流 $I_{D(102)}$ と等しくなるので、結局は $I_{D(120)}$ と $I_{D(111)}$ は等しくなる。したがって図3の従来回路と同様に、トランジスタ111のゲート-ソース間電圧 $V_{GS(111)}$ が基準電圧 V_{ref} となる。

30

【 0 0 1 6 】

基準電圧 V_{ref} が所定の電圧となるためには全てのトランジスタが飽和状態で動作しなければならない。トランジスタ120が飽和状態で動作する最小ドレイン-ソース間電圧を $V_{DSAT(120)}$ とし、トランジスタ110のしきい値を $V_{t(110)}$ とするとトランジスタ120が飽和状態で動作するためには

$$V_{DSAT(120)} < V_{t(110)} \quad (4)$$

であればよい。

【 0 0 1 7 】

nチャネル・デプレション型MOSトランジスタ120が飽和状態で動作する最小ドレイン-ソース間電圧 $V_{DSAT(120)}$ は、トランジスタ120のしきい値を $V_{t(120)}$ とすると

40

$$V_{DSAT(120)} = |V_{t(120)}| \quad (5)$$

となる。したがって式(4)と式(5)より

$$|V_{t(120)}| < V_{t(110)} \quad (6)$$

とすればよい。通常、 $V_{t(120)} = -0.4V$ 、 $V_{t(110)} = 0.6V$ 程度に設定する。

【 0 0 1 8 】

トランジスタ100が飽和状態で動作する最小ドレイン-ソース間電圧を $V_{DSAT(100)}$ とし、トランジスタ110のゲート-ソース間電圧を $V_{GS(110)}$ とすると、

50

基準電圧 V_{ref} が所定の電圧となるための最低電源電圧 $V_{dd}(min)$ は

$$V_{dd}(min) = V_{DSTAT}(100) + V_{GS}(110) \quad (7)$$
 となる。

【0019】

通常、 $V_{DSTAT}(100) = 0.2V$ 、 $V_{GS}(110) = V_t(110) + 0.4V$
 $= 0.6V + 0.4V = 1.0V$ 程度であるから、式(7)より $V_{dd}(min)$ は
 $V_{dd}(min) = 0.2V + 1.0V = 1.2V$

となり、従来 of 回路より低電源電圧で動作する事がわかる。

【0020】

図1に示した第一実施例では、電源電圧を非常にゆっくり上昇させた場合、基準電圧 V_{ref} が出力されない場合がある。このような弊害を避けるために図2のような起動回路を付加したものが第二実施例の基準電圧回路である。

10

【0021】

図2は図1で説明した基準電圧回路200と起動回路201で構成されている。起動回路201は、ソースとゲートが接地されたnチャンネル・デプレッション型MOSトランジスタ121による定電流回路と、pチャンネル・エンハンスメント型MOSトランジスタ103と104で構成されており、トランジスタ103はトランジスタ102とカレントミラー回路となっている。

【0022】

電源投入直後はトランジスタ111がオフしているためトランジスタ102のドレイン電流 $I_D(102)$ は0である。トランジスタ103とトランジスタ102はカレントミラー回路なのでトランジスタ103のドレイン電流 $I_D(103)$ も0である。

20

【0023】

一方、トランジスタ121は定電流回路なので、トランジスタ104のゲート電圧は0となる。よってトランジスタ104が導通し、トランジスタ111のゲート電圧を上昇させ、トランジスタ111が導通し、基準電圧回路200が動作し始め、基準電圧 V_{ref} が出力される。

【0024】

トランジスタ102と103が同一サイズの場合、トランジスタ102と103で構成されるカレントミラー回路により、トランジスタ111のドレイン電流とトランジスタ103のドレイン電流は等しくなるので、トランジスタ111が十分導通すると、トランジスタ103のドレイン電流も増加する。定電流回路であるトランジスタ121のドレイン電流をトランジスタ103のドレイン電流が上回ると、トランジスタ104のゲート電圧は電源電圧 V_{dd} と等しくなるので、トランジスタ104はオフし、起動回路201は基準電圧回路200から切り離される。

30

【0025】

以上のようにして電源電圧がゆっくり上昇する場合でも基準電圧 V_{ref} を確実に得ることができる。

【0026】

【発明の効果】

40

本発明の基準電圧回路は、半導体集積回路内に低電源電圧でも安定に動作する高精度な基準電圧を発生させることができる。

【図面の簡単な説明】

【図1】本発明の第一実施例の基準電圧回路の回路図である。

【図2】本発明の第二実施例の基準電圧回路の回路図である。

【図3】従来 of 基準電圧回路の回路図である。

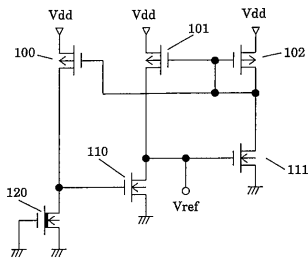
【符号の説明】

100 ~ 104、150 ~ 151 pチャンネル・エンハンスメント型MOSトランジスタ
 110、111、160 nチャンネル・エンハンスメント型MOSトランジスタ
 120、121、170 nチャンネル・デプレッション型MOSトランジスタ

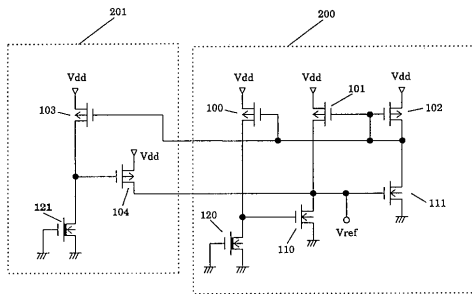
50

- 2 0 0 基準電圧回路
- 2 0 1 起動回路

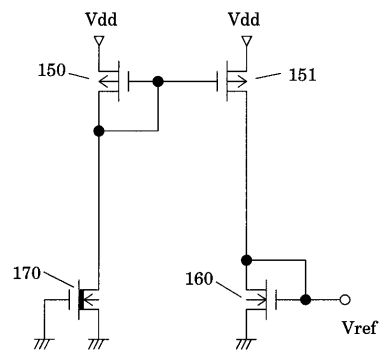
【図 1】



【図 2】



【図 3】



フロントページの続き

(56)参考文献 特開平06-161581(JP,A)
特開平6-83467(JP,A)

(58)調査した分野(Int.Cl., DB名)

G05F 3/24

G05F 3/26