

100年9月14日修正本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：093139294

※申請日期：100/09/13

※IPC 分類：

H01L 23/60 (2006.01)

一、發明名稱：(中文/英文) 覆晶封裝化合物半導體之靜電放電保護裝置以及方法

二、申請人：(共 人) 張國英

姓名或名稱：(中文/英文)

代表人：(中文/英文)

住居所或營業所地址：(中文/英文)

桃園縣八德市334陸光街36號5樓

國籍：(中文/英文)

三、發明人：(共1人)

姓名：(中文/英文) 張連璧

國籍：(中文/英文)

中華民國

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種覆晶半導體元件以及其形成方法，且特別是有關於一種具有防止靜電放電破壞的覆晶半導體元件，且特別為關於一種具有防止靜電放電破壞的Ⅲ-V族元素半導體材料為主的覆晶半導體元件。發明人利用對於氧化鋅元件製作的熟知及對於化合物半導體元件的先前研究結果，發展出一種利用氧化鋅材料在襯墊與襯墊之間，形成一過電壓的壓變電阻元件，製成含有氧化鋅材料之覆晶子基板(SUBMOUNT)，在正常工作的時候電極與電極之間幾乎是開路狀態，且較一般崩潰二極體有更小電容值，當靜電來襲時它就會短路而洩放過多的電壓，來完成靜電保護。

【先前技術】

一般解決化合物半導體元件的抗靜電方法，是並聯一齊納二極體或一蕭基二極體作為抗靜電之方式，或是更進一步串聯一濾波電路等等，或是將任何二極體並聯相同之反向之二極體也可以改善靜電保護的能力。現有燒結成塊狀氧化鋅陶瓷材料通常是作為單石變阻器或是單石積層電感之用，也廣泛的應用於VARISTOR裡面。

目前在化合物半導體領域中也會採用氧化鋅材料，但是不同於前述的壓變電阻性的氧化鋅，而是一種以濺鍍方式形成低電阻且透明之氧化鋅的薄膜(TCO)或或直接以高溫生長成單晶的氧化鋅基板，由於它的寬能隙特性可以直接做為發光元件的底材，作為或是發光元件最上面的透光層等等；綜合以上所述，並未有任何的文獻或是專利等

等，揭示直接將非晶性氧化鋅拿來做為半導體元件的覆晶基板材料。發明人等從 1990 年代即開始從事發光元件、雷射元件之研究請參見(TW551777, TW530425, TW502457, TW502438, TW496000, TW495999 等國內專利)；以及化合物蕭基元件與表面漏電流等之研究(請參見 US6225200、US6197667 及 US60877022 等美國專利)，對於過電壓以及靜電保護方面也有一些成果(請參見 TW510569、TW200416975 及 TW200410908 等國內專利)。有鑑於矽半導體中，過電壓及防靜電保護措施已經完備，但在單石型化合物半導體元件上並不是那麼成熟，往往在靜電突襲下使許多化合物半導體元件都會失效破壞或造成問題，目前雖有許多的文獻揭示可以將化合物半導體覆晶到一個並聯的反向二極體，或是並聯一背對背蕭基二極體，或一齊納二極體等等；然而此種並聯都需要藉由打線增加額外的元件，也會有較大漏電流的問題。

【發明內容】

近年來 III-V 族化合物半導體材料以其在光電與微波元件方面的潛力，吸引大量的注目。尤其是含 III-V 族氮化物之半導體材料，如 GaN、AlGaN、InGaN 等的覆晶半導體元件吸引許多人的目光。

第 3 圖繪示一種習知實施例利用齊納二極體 D2 做為防止靜電放電破壞的分路二極體，請參考第 3 右圖，為了防止半導體結構 D1 在操作時，免於靜電放電之因素，而破壞半導體 D1 本身的結構，會在與半導體 D1 並聯一齊納二極體 D2 來做為防止靜電放電破壞之用。當正常順向偏壓施加於半導體 D1 的兩端 V+與 V-時，通過半導體 P、N 接面的載

子會產生順向電流，藉以使半導體正常工作發光。然而當有異常電壓或靜電產生時，此過高的電壓便可以經由在崩潰區工作的齊納二極體而放電。放電路徑經過齊納二極體而不經過半導體 D1，因此半導體 D1 不會被異常電壓或高的靜電破壞，使半導體 D1 造成不可回復之傷害而無法工作。

第 4 圖繪示習知實施第 3 圖之具有齊納二極體的半導體結構剖面圖。依據目前習知的做法是採用背面覆晶方式來實施，第 3 左圖所示，基底 45、第一參雜型摻雜 GaN 層 48、第二參雜型摻雜 GaN 層 43 及電極構成第 3 左圖的 III-V 族 GaN 覆晶半導體；而第一參雜型摻雜矽（如 N 型）、第二參雜型摻雜矽（如 P++ 型）與金屬層構成第 3 右圖中的齊納二極體。圖中所示之球型區域為焊墊（PAD）。藉由此結構將第二參雜型摻雜矽電性耦接到第一參雜型參雜層 43，而第一參雜型摻雜矽電性耦接到第二參雜型摻雜層 48，已構成第 3 左圖所示的等效電路圖。

在正常操作下，施加順向偏壓於 V+ 與 V- 之間，使電流從第一參雜型摻雜層 43 流過第二參雜型摻雜層 48，而使所產生的光經由透明子基板 45 發出。當有異常電壓或靜電產生時。放電路徑便會沿著第一參雜型摻雜矽 P++ 與第二參雜型摻雜矽放電，而不會通過覆晶半導體的本體。

雖然上述的結構可以達到防止靜電放電的破壞而保護覆晶半導體，但是此種結構在製成上卻很難製作。再者，利用齊納在順偏時有漏電流較大之問題，來做為防止靜電

放電之功能也不甚理想。

因此，本發明係提出一種具有防止靜電放電破壞之 III-V 族覆晶半導體結構。其將在含有非晶氧化鋅之基板做為覆晶半導體基材，不需區分陽極或陰極，使製程可以簡化，且成本較矽齊鈉子基板更低。

再者，本發明係提出一種具有覆晶組態之放指靜電放電破壞之 III-V 族覆晶半導體結構，其利用含有非晶氧化鋅之基板，作為覆晶半導體的基材，防止靜電放電破壞，同時在正常工作時漏電流小，且寄生電容小，同時在小電壓反向時不會有導通之憂慮，功效更佳。

本發明係提出一種具有覆晶組態（正面朝上或反面朝上）之防止靜電放電破壞之 III-V 族覆晶半導體結構，其可以簡化製程，更可以以一銀鉬混合層以增進發光覆晶半導體之發光效率。

綜上，本發明所揭露之具覆晶組態之防止靜電放電破壞之 III-V 族覆晶半導體結構，其簡述如下：

一種具有防止靜電放電之破壞之 III-V 族覆晶半導體結構。在一基底上具有晶核區域層，導電緩衝區域層、下束縛層、主動層、上束縛層與接觸層。

第一束縛層位在該第一導電緩衝層上，其中第一束縛層之摻雜物與導電緩衝區域層之摻雜物為同型。主動層位在第一束縛層上，主動層係由摻雜之 III-V 族元素為主的半導體材料所構成。第二束縛層位在主動層上，其中第二束縛層之摻雜物與第一束縛層之摻雜物為不同型。接觸層

位於第二束縛層上，且接觸層之摻雜物與第二束縛層之摻雜物為同型，第一電極位在接觸層上，經由導電構件及焊料球等與含有非晶氧化鋅之基板第一電極電性耦接。覆晶半導體結構第二電極與該導電緩衝層接觸，並且經由導電構件及焊料球等與含有非晶氧化鋅之基板第二電極電性耦接。

本發明更提出一種具有防止靜電放電破壞之 III-V 族覆晶半導體結構，在一透明基底上具有一晶核區域層，導電緩衝區域層，第一束縛層、主動層、第二束縛層及接觸層，接觸層可以增加包括有 DBR 結構，反射金屬層。第一電極位在反射金屬層下方，做為覆晶半導體之陽極經由導電構件及焊料球等與含有非晶氧化鋅之基板第一電極電性耦接。第二電極位於導電緩衝層上，具第二電極電性耦；並且經由導電構件及焊料球等與含有非晶氧化鋅之基板第二電極電性耦接。

本發明更提出一種具有覆晶組態之防止靜電放電破壞之 III-V 族覆晶半導體結構，其將上述兩種具有防止靜電放電破壞之 III-V 族覆晶半導體結構利用覆晶方式疊置於一含有非晶氧化鋅之基板上。第一電極與第二電極分別經由導電構件，耦接到含有非晶氧化鋅之基板金屬膜上第一電極與第二電極。上述金屬膜可以為電路板上的銅錫銀鉛金鈹鉑或其合金等，如此，將覆晶半導體疊置於含有非晶氧化鋅之基板上，可以防止靜電放電破壞，又使光電元件的光可以由二極體之透明子基板直接發出或接收，並且輔

以金屬反射層或是 D B R 層以增加效率。

【實施方式】

本案以藍光二極體為覆晶實施例，其他之接收光元件及單石微波元件也可同樣施行，如電晶體若以含氧化鋅材料為子基板，將可以保護其腳與腳之間之過電壓等等。

請參考第 2 圖，其繪示本發明之 III-V 族元素氮化物半導體材料所構成的覆晶半導體結構示意圖。

此覆晶半導體係形成在一基底 25 上，基底 25 上依序為晶核層 (nucleation layer) 27 與第一參雜型摻雜導電緩衝層 28，緩衝層 28 為第一參雜型摻雜的 GaN，其目的用來使後續的長晶更加順利與容易，緩衝層 14 之上為做為發光用的主動層 23b，一般其上下會形成束縛層或稱為被覆層 23a、23c。束縛層 23a、23c 的摻雜形式相反的，如圖示下束縛層 23c 為第一參雜型摻雜的 AlGaN，而上束縛層 23a 為第二參雜型摻雜的 AlGaN。之後上束縛層之上形成接觸層 24，其為第二參雜型 GaN (為增加反射率可以在接觸層附近形成布拉格反射結構 DBR，本圖未示)。接著再形成電極 (為增加反射率可以鍍上含銀金屬做為反射層，經過實驗附著性最佳應參入 1%至 12%的鉬，用以調節膨脹係數不匹配所造成的應力，圖未示)，並做為二極體的陽極。此外在緩衝層 27 與束縛層 23a、23c 與主動層 23 隔離的區域上形成電極 26，做為覆晶半導體的連接電極。

請參見第 3 右圖，本發明實施例，在正常操作下，施加順向偏壓於 V+與 V-之間，使電流從 D1 正參雜型摻雜層流過負參雜型摻雜層，而使所產生的光經由透明子基板 25 發出。當有異常電壓或靜電產生時，放電路徑便會沿著含有非晶氧化鋅之基板上第一電極與第二電極間導通放電，而不會通過覆晶半導體的本體。

第 1 圖繪示第 3 右圖之具有含有非晶氧化鋅之基板的覆晶半導體結構剖面圖。如第 1 圖所示，基底 15、主動層、上下束縛層、接觸層（為增加反射率可以在接觸層附近形成布拉格反射結構 DBR，圖未示）構成 III-V 族 GaN 覆晶半導體 13；第一電極 16（為增加反射率可以鍍上含銀金屬做為反射層 14，經過實驗附著性最佳應參入 1%至 12%的鉬，用以調節膨脹係數不匹配所造成的應力）。第一電極位在反射金屬層下方，做為覆晶半導體之陽極，經由導電構件及焊料球等與含有非晶氧化鋅之基板 12 第一電極電性耦接。第二電極位於導電緩衝層上，具第二電極電性耦接；並且經由導電構件及焊料球等與含有非晶氧化鋅之基板 12 第二電極 11 電性耦接。

在正常操作下，施加順向偏壓於 V+與 V-之間，使電流從第一電極 16 流過覆晶半導體結構 13，而使所產生的光經由透明子基板 15 發出。當有異常電壓或靜電產生時，放電路徑便會沿含有非晶氧化鋅之基板 12 放電，而不會通過覆晶半導體的本體，如此一來本案所形成的保護機制在 200V 時候就開始啟動保護，如此一來最佳例可以承受人體模式耐壓到 8KV。

本發明更提出一種具有防止靜電放電破壞之 III-V 族覆晶半導體結構，在一透明基底上具有一晶核區域層，導電緩衝區域層，第一束縛層、主動層、第二束縛層與接觸層，接觸層可以增加包括有 DBR 結構。第一電極位在反射金屬層下方，做為覆晶半導體之陽極經由導電構件及焊料球等與含有非晶氧化鋅之基板第一電極電性耦接。第二電極位於導電緩衝層上，具第二電極電性耦接；並經由導電構件及焊料球等與含有非晶氧化鋅之基板第二電極電性耦接。其中含有非晶氧化鋅之基板，可為打線子基板，或是表面封裝型子基板，其型態中封裝型子基板可經由穿孔或側面電鍍而成。其中含有非晶氧化鋅之基板之保護電壓大

小，可藉由多層結構以及第一電極與第二電極圖形或間距改變調整。

本發明更提出一種具有防止靜電放電破壞之 III-V 族覆晶半導體結構，在一透明基底上具有一晶核區域層，導電緩衝區域層，第一束縛層、主動層、第二束縛層與接觸層，接觸層可以增加包括有銀鉬反射金屬層。第一電極位在反射金屬層下方，做為覆晶半導體之陽極經由導電構件及焊料球等與含有非晶氧化鋅之基板第一電極電性耦接。第二電極位於導電緩衝層上，具第二電極電性耦接；並經由導電構件及焊料球等與含有非晶氧化鋅之基板第二電極電性耦接。其中含有非晶氧化鋅之基板，可為打線子基板，或是表面封裝型子基板，其型態中表面封裝型子基板可經由穿孔或側面電鍍而成。其中含有非晶氧化鋅之基板之保護電壓大小，可藉由多層結構以及第一電極與第二電極圖形或間距改變調整。

本發明更提出一種具有防止靜電放電破壞之 III-V 族覆晶半導體結構，在一透明基底上具有一晶核區域層，導電緩衝區域層，第一束縛層、主動層、第二束縛層與接觸層，接觸層可以增加包括同時具有 DBR 結構，反射金屬層。第一電極位在反射金屬層下方，做為覆晶半導體之陽極經由導電構件及焊料球等與含有非晶氧化鋅之基板第一電極電性耦接。第二電極位於導電緩衝層上，具第二電極電性耦接；並經由導電構件及焊料球等與含有非晶氧化鋅之基板第二電極電性耦接。其中含有非晶氧化鋅之基板，可為打線子基板，或是表面封裝型子基板，其型態中表面封裝型子基板可經由穿孔或側面電鍍而成。其中含有非晶氧化鋅之基板之保護電壓大小，可藉由多層結構以及第一電極與第二電極圖形或間距改變調整。其漏電流大小可以參入百分之五至百分之二十以內其它金屬，形成直徑小於五十奈米之金屬氧化物晶粒加以抑制。

【圖式簡單說明】

第 1 圖 顯示依據本實施例，覆晶發光二極體電性連結含有非晶氧化鋅之基板之結構示意圖。

第 2 圖 顯示依據本發明實施例，反面覆晶半導體結構示意圖。

第 3 圖 顯示依據習知技術，與本發明實施列的電路比較圖。

第 4 圖 顯示依據習知技術的實施例，覆晶發光二極體電性連結矽子基板齊納二極體之結構示意圖。

【主要元件符號說明】

- (11) 打線
- (12) 含有非晶氧化鋅之基板
- (13)(23b)(43) 主動層
- (14) 反射層
- (15)(25)(45) 子基板
- (16)(26) 柱型電鍍電極
- (23a)(23c) 束縛層
- (24) 接觸層
- (27) 晶核層
- (28)(48) 導電緩衝層

五、中文發明摘要：

本發明是有關於一種覆晶半導體元件以及其形成方法，且特別是有關於一種具有防止靜電放電破壞的覆晶半導體元件，且各特別為關於一種在電極襯墊與電極襯墊間具有氧化鋅材料，形成一過電壓的壓變電阻元件，也可製成氧化鋅覆晶子基板(SUBMOUNT)，與被保護之覆晶半導體元行成並聯，在正常工作的時候電極與電極之間幾乎是開路狀態，且較一般保護用崩潰二極體有更小漏電流，當靜電來襲時它就會短路而洩放過多的電壓，來完成靜電保護。

六、英文發明摘要：

This invention concerns to one kind of flip-chip semiconductor device and the method of its formation, also specially concerns to one kind of stack-chip semiconductor device which has the ability to prevent the static discharge destroys, also specially for the device has the submount contained zinc oxide. Between one electrode to another, forms a zinc oxide over-voltage protective resistor and is scheduled to be parallel with the stack-chip device. In the normal work time, this structure has slight leakage current with comparative to the general Zener protection diodes. When the static electrical pulse raids, it can short the circuit, leak the excessive over voltage and consume the static electricity to guarantee the accomplishment of protection.

十、申請專利範圍：

1. 一種覆晶封裝化合物半導體之靜電放電（ESD）保護方法，包括一具有過電壓保護之含有非晶氧化鋅之基板；於其上電性連結一化合物半導體元件。
2. 如申請專利範圍第1項所述之覆晶封裝化合物半導體之靜電放電（ESD）保護方法，其中上述化合物半導體元件，可為發光元件、接收光元件或是微波元件其中之一者。
3. 如申請專利範圍第1項所述之覆晶封裝化合物半導體之靜電放電（ESD）保護方法，其中該含有非晶氧化鋅之基板，可為打線子基板，表面封裝型子基板或是其中之一組合者。
4. 如申請專利範圍第3項所述之覆晶封裝化合物半導體之靜電放電（ESD）保護方法，其中該表面封裝型子基板可經由穿孔或側面電鍍而成。
5. 如申請專利範圍第1項所述之覆晶封裝化合物半導體之靜電放電（ESD）保護方法，其中含有非晶氧化鋅之基板可經由參入百分之五至百分之二以內其它金屬，形成直徑小於五十奈米之金屬氧化物晶粒而成，以抑制其漏電流。
6. 如申請專利範圍第1項所述之覆晶封裝化合物半導體之靜電放電（ESD）保護方法，其中含有非晶氧化鋅之基

板可藉由多層結構，或是以第一電極與第二電極圖形改變調整其保護電壓者。

7. 如申請專利範圍第 2 項所述之覆晶封裝化合物半導體之靜電放電 (ESD) 保護方法，其中發光元件於動作層上之第 2 接觸層內更包括一布拉格反射層。
8. 如申請專利範圍第 2 項所述之覆晶封裝化合物半導體之靜電放電 (ESD) 保護方法，其中發光元件於金屬接觸層內更包括一層含有鉬銀合金之金屬反射層。
9. 一種覆晶封裝化合物半導體之靜電放電 (ESD) 保護裝置，包括
一具有過電壓保護之含有非晶氧化鋅之基板；於其上電性連結一化合物半導體元件。
10. 如申請專利範圍第 9 項所述之覆晶封裝化合物半導體之靜電放電 (ESD) 保護裝置，其中上述化合物半導體元件，為發光元件、接收光元件或是微波元件其中之一。
11. 如申請專利範圍第 9 項所述之覆晶封裝化合物半導體之靜電放電 (ESD) 保護裝置，其中含有非晶氧化鋅之基板，可為打線子基板，表面封裝型子基板或是其中之一組合者。
12. 如申請專利範圍第 11 項所述之覆晶封裝化合物半導體之靜電放電 (ESD) 保護裝置，其中該表面封裝型子基板可經由穿孔或側面電鍍而成。
13. 如申請專利範圍第 9 項所述之覆晶封裝化合物半導

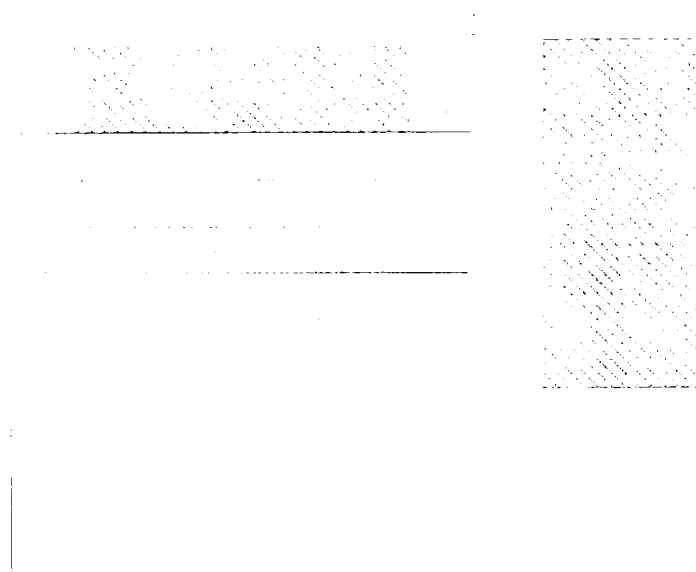
體之靜電放電（ESD）保護裝置，其中含有非晶氧化鋅之基板被摻以百分之五至百分之二十以內其它金屬，形成直徑小於五十奈米之氧化鋅晶粒而成，以抑制其漏電流。

14. 如申請專利範圍第 9 項所述之覆晶封裝化合物半導體之靜電放電（ESD）保護裝置，其中含有非晶氧化鋅之基板，可藉由多層結構，或是以第一電極與第二電極圖形改變調整其保護電壓者。
15. 如申請專利範圍第 10 項所述之覆晶封裝化合物半導體之靜電放電（ESD）保護裝置，其中發光元件於動作層上之第 2 接觸層內更包括一布拉格反射層。
16. 如申請專利範圍第 10 項所述之覆晶封裝化合物半導體之靜電放電（ESD）保護裝置，其中發光元件於金屬接觸層內更包括一層含有鉬銀合金之金屬反射層。

十一、圖式



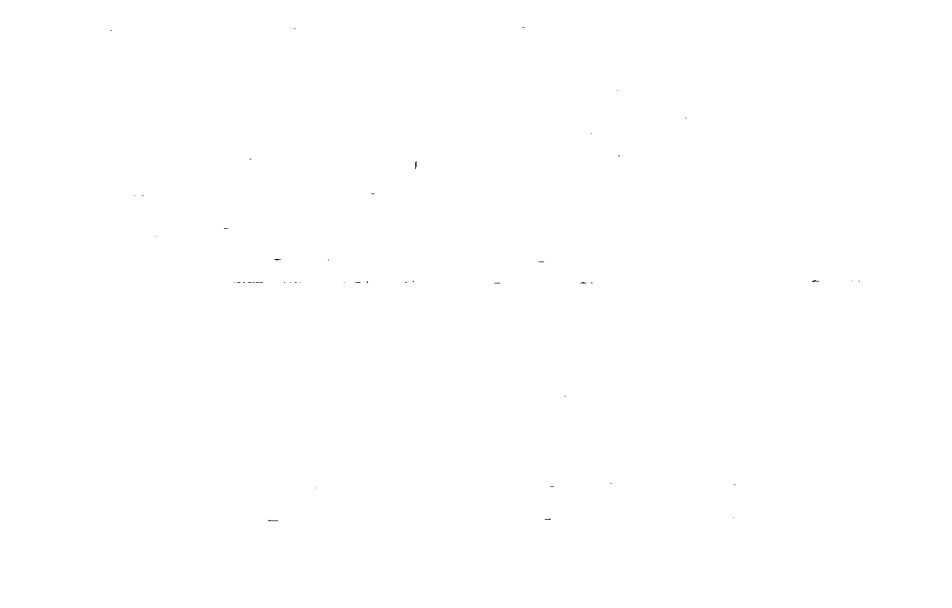
第一圖



第二圖

第三圖

•
•



第四圖

七、指定代表圖：

(一)本案指定代表圖為：第(一)圖。

(二)本代表圖之元件符號簡單說明：

顯示本發明實施例，覆晶發光二極體電性連結含有
氧化鋅之保護子基板的結構示意圖。

八、本案若有化學式時，請揭示最能顯示發明特徵
的化學式：

無