

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6126602号
(P6126602)

(45) 発行日 平成29年5月10日(2017.5.10)

(24) 登録日 平成29年4月14日(2017.4.14)

(51) Int.Cl.

F I

H O 4 L 25/02 (2006.01)

H O 4 L 25/02 Z

H O 4 L 25/49 (2006.01)

H O 4 L 25/02 V

H O 4 L 25/49 H

請求項の数 22 (全 16 頁)

(21) 出願番号 特願2014-525317 (P2014-525317)
 (86) (22) 出願日 平成24年8月16日(2012.8.16)
 (65) 公表番号 特表2014-524699 (P2014-524699A)
 (43) 公表日 平成26年9月22日(2014.9.22)
 (86) 国際出願番号 PCT/DE2012/200053
 (87) 国際公開番号 W02013/023655
 (87) 国際公開日 平成25年2月21日(2013.2.21)
 審査請求日 平成27年8月17日(2015.8.17)
 (31) 優先権主張番号 102011052762.1
 (32) 優先日 平成23年8月16日(2011.8.16)
 (33) 優先権主張国 ドイツ(DE)

(73) 特許権者 509348867
 シリコン・ライン・ゲー・エム・ペー・ハ
 ー
 ドイツ連邦共和国 80687 ミュンヘ
 ン ランツベルガー・シュトラッセ 31
 4 / デア・ドリッテン エルゲーベ
 LANDSBERGER STR. 31
 4 / III RGB., 80687
 MUENCHEN, BUNDESRE
 PUBLIK DEUTSCHLAND
 (74) 代理人 110001818
 特許業務法人R&C

最終頁に続く

(54) 【発明の名称】 回路装置および信号を送信するための方法

(57) 【特許請求の範囲】

【請求項 1】

シングルエンド論理レベルベースのデータ信号およびクロック信号(HS)と、
 差動データ信号および差動クロック信号(LP)との両方を、
 少なくとも1つのデータソースに割り当て可能な少なくとも1つの送信装置(S)と、
 少なくとも1つのデータシンクに割り当て可能な少なくとも1つの受信装置(E)との間
 で、

前記シングルエンド論理レベルベースのデータ信号およびクロック信号(HS)と、前
 記差動データ信号およびクロック信号(LP)と、をシリアル化する少なくとも1つの共
 通信号ストリーム(SI)の形態で、および、

前記差動データ信号および差動クロック信号(LP)と、バイナリ信号(PD)と、の
 両方を備える、少なくとも1つの信号ストリームの形態で、
 伝送可能である回路装置。

【請求項 2】

前記差動データ信号はコモンモードベースである請求項 1 に記載の回路装置。

【請求項 3】

前記信号ストリームは双方向の形態である請求項 1 又は 2 に記載の回路装置。

【請求項 4】

前記共通信号ストリーム(SI)は、少なくとも1つの光媒体(OM)を介して送信さ
 れ得ることを特徴とする請求項 1 ~ 3 のいずれか一項に記載の回路装置。

【請求項 5】

前記差動データ信号および差動クロック信号 (LP) と、前記バイナリ信号 (PD) との両方を備える前記信号ストリームを、少なくとも 1 つの電氣的またはガルバニックなリンク (GA) を介して送信することができることを特徴とする請求項 1 ~ 4 のいずれか一項に記載の回路装置。

【請求項 6】

前記電氣的またはガルバニックなリンク (GA) は、

前記送信装置 (S) において、少なくとも 1 つの送信 / 受信モジュール (TXRXS) に割り当てられ、および、

前記受信装置 (E) において、少なくとも 1 つの送信 / 受信モジュール (TXRXE) に割り当てられ、それを用いて、前記差動データ信号および差動クロック信号 (LP) と、前記バイナリ信号 (PD) との両方を備える前記信号ストリームを送信 / 受信することができることを特徴とする請求項 5 に記載の回路装置。

10

【請求項 7】

前記送信 / 受信モジュール (TXRXS, TXRXE) は、

前記差動データ信号および差動クロック信号 (LP) と、前記バイナリ信号 (PD) とをシリアル化するための少なくとも 1 つのマルチプレクサ (MUP) と、

前記マルチプレクサ (MUP) の下流の、シリアル化された信号ストリームを、バイナリ NRZ (non retrain-to-zero) フォーマットからパルス幅変調フォーマットへ変えるための少なくとも 1 つのバイナリ PWM (pulse width modulation) コンバータ (BPWMW) と、

20

前記バイナリ PWM コンバータ (BPWMW) の下流の少なくとも 1 つのラインドライバ (LD) と、

前記ラインドライバ (LD) の下流の少なくとも 1 つの終端抵抗 (R0) と、を備えることを特徴とする請求項 6 に記載の回路装置。

【請求項 8】

前記送信 / 受信モジュール (TXRXS, TXRXE) は、

前記終端抵抗 (R0) の下流の、前記終端抵抗 (R0) によって分けられた、重み付けされた少なくとも 2 つの信号 (SA, SB) を減算するための少なくとも 1 つの差動増幅器 (DV) と、

30

前記差動増幅器 (DV) の下流の、パルス幅変調フォーマットから前記バイナリ NRZ フォーマットへ変えるための少なくとも 1 つの PWM バイナリコンバータ (PWMBW) と、

前記 PWM バイナリコンバータ (PWMBW) の下流の、前記差動データ信号および差動クロック信号 (LP) と前記バイナリ信号 (PD) に非シリアル化するための少なくとも 1 つのデマルチプレクサ (DMP) と、

を備えることを特徴とする請求項 7 に記載の回路装置。

【請求項 9】

前記送信装置 (S) は、

前記データ信号およびクロック信号のための少なくとも 1 つの入力部 (ES) と、前記入力部 (ES) の下流の、前記データ信号およびクロック信号を受け取るための少なくとも 1 つの送信インタフェースロジック (LS) と、

40

前記送信インタフェースロジック (LS) の下流の、前記共通信号ストリーム (SI) を生成するための少なくとも 1 つのシリアライザ (SE) と、

前記シリアライザ (SE) の上流で、前記送信インタフェースロジック (LS) のクロックモジュール (CS) の下流に設けられた、少なくとも 1 つの基準クロックを生成するための少なくとも 1 つのクロック発振器 (PS) と、

前記シリアライザ (SE) の下流の少なくとも 1 つの出力ドライバ (AT) と、

前記出力ドライバ (AT) の下流の、前記共通信号ストリーム (SI) を前記受信装置 (E) へ送信するための少なくとも 1 つの出力部 (AS) と、

50

を備えることを特徴とする請求項 1 ~ 8 のいずれか一項に記載の回路装置。

【請求項 10】

前記クロック発振器 (PS) は、少なくとも 1 つの位相ロックループとして構成されることを特徴とする請求項 9 に記載の回路装置。

【請求項 11】

前記クロック発振器 (PS) は、少なくとも 1 つのクロックマルチプライヤユニットとして構成されることを特徴とする請求項 10 に記載の回路装置。

【請求項 12】

前記シリアルライザ (SE) は、

前記送信インタフェースロジック (LS) の下流の、前記共通信号ストリーム (SI) のための、前記受信装置 (E) で認識可能な少なくとも 1 つのフレームを生成するための少なくとも 1 つのフレーム (FR) と、

前記フレーム (FR) の下流の、前記共通信号ストリーム (SI) を生成するための少なくとも 1 つのマルチプレкса (MU) と、

を備えることを特徴とする請求項 9 ~ 11 のいずれか一項に記載の回路装置。

【請求項 13】

前記シングルエンド論理レベルベースのデータ信号 (HSD0, HSD1, HSD2, HSD3) と前記差動データ信号 (DD0+, DD0-, DD1+, DD1-, DD2+, DD2-, DD3+, DD3-) との両方を、前記フレーム (FR) に印加することができること、および、前記フレームは、少なくとも 1 つの符号器 (KO) を用いて、前記差動データ信号 (DD0+, DD0-, DD1+, DD1-, DD2+, DD2-, DD3+, DD3-) を、前記シングルエンド論理レベルベースのデータ信号 (HSD0, HSD1, HSD2, HSD3) のストリームに埋め込むことを特徴とする請求項 12 に記載の回路装置。

【請求項 14】

前記少なくとも 1 つの符号器は、少なくとも 1 つの 5 b / 6 b 符号器ブロックである請求項 13 に記載の回路装置。

【請求項 15】

前記受信装置 (E) は、

前記送信装置 (S) によって送信された前記共通信号ストリーム (SI) のための少なくとも 1 つの入力部 (EE) と、

前記共通信号ストリーム (SI) を受け取るための少なくとも 1 つの入力増幅器 (EV) と、

前記データ信号およびクロック信号を前記共通信号ストリーム (SI) から復元するための少なくとも 1 つのクロックおよびデータリカバリユニット (CD) と、

前記クロックおよびデータリカバリユニット (CD) の下流の、少なくとも 1 つの受信インタフェースロジック (LE) の少なくとも 1 つのクロックモジュール (CE) と、

前記クロックおよびデータリカバリユニット (CD) の下流の、前記データ信号を再並列化するための、および再並列化された前記データ信号を前記受信インタフェースロジック (LE) に割り当てるための少なくとも 1 つのデシリアルライザ (DS) と、

前記受信インタフェースロジック (LE) の下流の、前記データ信号およびクロック信号のための少なくとも 1 つの出力部 (AE) と、

を備えることを特徴とする請求項 1 ~ 14 のいずれか一項に記載の回路装置。

【請求項 16】

前記デシリアルライザ (DS) は、

前記クロックおよびデータリカバリユニット (CD) の下流の、前記データ信号を再並列化するための少なくとも 1 つのデマルチプレкса (DM) と、

前記デマルチプレкса (DM) の下流の、再並列化された前記データ信号を、前記受信インタフェースロジック (LE) に割り当てるための少なくとも 1 つのデフレーム (DF) と、

10

20

30

40

50

を備えることを特徴とする請求項 15 に記載の回路装置。

【請求項 17】

前記デフレーマ (DF) は、前記差動データ信号 (DD0+, DD0-, DD1+, DD1-, DD2+, DD2-, DD3+, DD3-) を、少なくとも 1 つの復号器 (DK) を用いて、前記シングルエンド論理レベルベースのデータ信号 (HSD0, HSD1, HSD2, HSD3) と分けて、再並列化された前記データ信号を、それぞれのデータライン (CH0+, CH0-, CH1+, CH1-, CH2+, CH2-, CH3+, CH3-) に割り当ててことを特徴とする請求項 16 に記載の回路装置。

【請求項 18】

前記少なくとも 1 つの復号器は、少なくとも 1 つの 5 b / 6 b 復号器ブロックである請求項 17 に記載の回路装置。

【請求項 19】

シングルエンド論理レベルベースのデータ信号およびクロック信号 (HS) と、差動データ信号および差動クロック信号 (LP) との両方を、少なくとも 1 つのデータソースに割り当て可能な少なくとも 1 つの送信装置 (S) と、少なくとも 1 つのデータシンクに割り当て可能な少なくとも 1 つの受信装置 (E) との間で、

前記シングルエンド論理レベルベースのデータ信号およびクロック信号 (HS) と、前記差動データ信号および差動クロック信号 (LP) とをシリアル化する少なくとも 1 つの共通信号ストリーム (SI) の形態で、および

前記差動データ信号および差動クロック信号 (LP) と、バイナリ信号 (PD) との両方を備える少なくとも 1 つの全二重に基づく信号ストリームの形態で、伝送する方法。

【請求項 20】

前記差動データ信号はコモンモードベースである請求項 19 に記載の方法。

【請求項 21】

前記信号ストリームは双方向の形態である請求項 19 又は 20 に記載の方法。

【請求項 22】

前記差動データ信号および差動クロック信号 (LP) と、前記バイナリ信号 (PD) とが、異なる周波数でスキャンされることを特徴とする請求項 19 ~ 21 のいずれか一項に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、請求項 1 のプリアンブルに記載の回路装置、ならびに請求項 19 のプリアンブルに記載の対応する方法に関する。

【背景技術】

【0002】

ビット伝送層または物理層 (physical layer: PHY) は、OSI (Open Systems Interconnection) 参照モデルとも呼ばれる OSI 階層モデルの最下位層であり、コンピュータネットワークにおける通信プロトコルの設計基準としても役に立つ、国際標準化機構 (International Standards Organisation: ISO) の階層モデルを示す。

【0003】

物理層 (PHY) は、結合、順方向誤り訂正 (Forward Error Correction: FEC)、電力制御、拡散 (符号分割多元接続) (Code Division Multiple Access: CDMA) 等に関与し、およびデータもアプリケーションも識別せず、0 と 1 のみを識別する。PHY は、その上のセキュリティ層 (データリンク層) (Data Link Layer: DLL) が、特に、媒体アクセス制御 (Media Access Control: MAC) 層と呼ばれる部分層を利用

10

20

30

40

50

可能な論理チャネル (UMTS (Universal Mobile Telecommunications System) 用のトランスポートチャネル) を形成する。

【0004】

原理的に、D-PHYは、モバイル装置内のコンポーネント間の通信リンクのためのフレキシブルで、低コストで、高速のシリアルインタフェースを実現できる。

【0005】

図5Aに示すように、最新の携帯電話において、データソース、例えば、アプリケーションプロセッサは、関連するデータシンク上、例えば、関連するディスプレイ上での表示のために、イメージデータをD-PHY信号として、MIPI-DSI (Mobile Industry Processor Interface - Display Serial Interface) に供給する。また、アプリケーションプロセッサ等のデータシンクは、関連するデータソースから、例えば、関連するカメラから、MIPI-CSI (Camera Serial Interface) を介して、D-PHYフォーマットでイメージデータを受信することができる。

10

【0006】

D-PHYプロトコルに基づくDSIまたはDSI-2またはCSIまたはCSI-2またはCSI-3は、4つ以下の差動データラインと、差動クロックラインとを備え、これらは、銅ケーブルを用いて、該アプリケーションプロセッサを該ディスプレイおよび/または該カメラに接続する。差動データライン当たりのデータ転送速度は、最高で1.5 Gbps (ギガビット/秒) である。

20

【0007】

1~4つの差動データ信号および差動クロックラインを介した、この従来のD-PHY-DSI信号またはD-PHY-CSI信号の送信および受信は、マスター側のモジュール (データソース、例えば、カメラおよび/またはアプリケーションプロセッサ) と、スレーブ側のモジュール (データシンク、例えば、アプリケーションプロセッサおよび/またはディスプレイユニット) との間の (データレーンCH0+, CH0- およびCH1+, CH1- と呼ばれる) 2つの双方向データチャネルおよび (クロックレーンCLK+, CLK- と呼ばれる) クロックラインを手段として、図5BのD-PHYインタフェース構造に例として図示されている。その双方向マルチデータレーン構造において、図5Bの略語PPIは、「PHY Protocol Interface」を表す。

30

【0008】

この状況において、図5Aを見て分かるように、各関連するディスプレイのための、または、各関連するカメラのためのデータ伝送には、最高10の銅線 (例えば、2つのデータラインの4倍と、2つのクロックラインの1倍) を要する。それに対応して、例えば、高解像度スクリーン、テレビ受像機またはカメラは、電氣的MIPI (Mobile Industry Processor Interface) - D-PHYデータ伝送インタフェースを備える。

【0009】

このインタフェースは、高速 (High Speed: HS) データと低電力 (Low Power: LP) データの両方を送信するのに用いられ、この場合、該LPデータのデータ転送速度は、典型的には、該HSデータのデータ転送速度よりもかなり遅い。これは図4に図示されており、該図において、それぞれの電圧レベルが、HSデータ伝送およびLPデータ伝送の場合について図示されている。

40

【0010】

これに関連して、MIPI-D-PHY規格に関するガイドラインが、HS/LPデータの伝送に対して義務付けられている。LPデータは、MIPI固有のプロトコルに従わなければならない、これは、小さな帯域幅、例えば、I2C (Inter-Integrated Circuit)、シリアル周辺機器インタフェース (Serial Peripheral Interface: SPI) またはその他のプロトコル等を用いた、シリアルデータの伝送のための既に確立されている業界標準の送信ができず、最後に述べた

50

プロトコルは、D - P H Y - H S データの伝送が必要であり、加えて、該プロトコルは、P H Y 準拠ではない追加的なバイナリデータの伝送も要する。

【 0 0 1 1 】

具体的には、関連する M I P I 規格は、L P データであっても、双方向の、同時に双方向ではない、すなわち、全二重（全二重伝送）ではないが、半二重（交互伝送）での伝送を可能にする。

【 0 0 1 2 】

そのため、M I P I - D - P H Y に準拠し、加えて、M I P I 規格に準拠しない L P データは別として、シリアルデータを便宜的に全二重（全二重伝送）で送信しなければならない場合、2 つまたは 3 つの別々の電気ラインを、例えば、M I P I - D - P H Y に準拠しない L P データを伝達するための公知の D - P H Y システムに設けなければならない。

10

【 0 0 1 3 】

このことは、いくつかの用途、例えば、以下の用途、すなわち、

小さなリンクを備えた携帯電話、または、

その意図した目的を考慮して、本質的に、全体にわたって最小限の直径を有していなければならない内視鏡、

において、ケーブルが延びている場合、幾何学的な問題またはスペースの問題につながる可能性がある。

【 0 0 1 4 】

このような別々のラインも、その通常のユニポーラデータラインが電磁エネルギーを放射するため、問題を引き起こす。

20

【発明の概要】

【発明が解決しようとする課題】

【 0 0 1 5 】

上述した欠点および不十分な点を発端として、ならびに概略が説明された従来技術を考慮して、本発明の目的は、全二重伝送が可能な方法で、上述したタイプの回路装置および上述したタイプの方法をさらに発展させることである。

【課題を解決するための手段】

【 0 0 1 6 】

この目的は、請求項 1 の特徴を有する回路装置と、請求項 1 3 の特徴を有する方法によって達成される。本発明の有利な実施形態および適切なさらなる発展は、それぞれの従属項において特徴付けられている。

30

【 0 0 1 7 】

したがって、それを用いて、

論理レベルに基づく信号に対応するシングルエンド H S データと、

特に、コモンモード信号に基づく信号に対応する差動 L P データと、

が、共通信号ストリームを形成するようにシリアル化される回路装置および方法が提案される。

【 0 0 1 8 】

この共通シリアル化信号ストリームに加えて、少なくとも 1 つの追加的な電氣的またはガルバニックなリンクを介して、具体的には、少なくとも 1 つの追加的な銅ケーブルを介して、および / または例えば、少なくとも 1 つのプリント回路基板上に配置された追加的な電気ラインを介して一括化された、L P データのための、および同時に、さらなる多数の様々なバイナリデータのための全二重データ伝送が可能にされる。

40

【 0 0 1 9 】

本発明は、典型的には、シングルエンド論理レベルベースのデータ信号およびクロック信号と、特に、コモンモードベースの、差動データ信号およびクロック信号との両方の、具体的には、D - P H Y データ信号または D - P H Y クロック信号、例えば、1 ~ 4 ビット幅の M I P I - D - P H Y データ信号および M I P I - D - P H Y クロック信号の、少なくとも 1 つのデータソース、具体的には、例えば、少なくとも高解像度カメラおよび /

50

または画像ソースとして機能するカメラおよび／または少なくとも１つのアプリケーションプロセッサと、少なくとも１つのデータシンク、具体的には、少なくとも１つのアプリケーションプロセッサおよび／または少なくとも１つの高解像度ディスプレイユニットまたは例えば、画像シンクとして機能するディスプレイユニット、例えば、少なくとも１つのディスプレイまたは少なくとも１つのモニタとの間での、シリアルおよび／または一括の、具体的には、ＣＳＩプロトコルベースのおよび／またはＣＳＩ－２プロトコルベースのおよび／またはＣＳＩ－３プロトコルベースのおよび／またはＤＳＩプロトコルベースのおよび／またはＤＳＩ－２プロトコルベースの伝送中に適用することができる。

【００２０】

前述したように、本発明に関する教示を有利な方法で具体化し、およびさらに発展させるための様々な可能性がある。このため、一方において、請求項１に従属する請求項について、および請求項１３について説明し、他方においては、本発明の追加的な実施形態、特徴および効果が、以下でより詳細に、とりわけ、図１Ａ～図４によって図示されている例示的な実施形態によって説明されている。

【図面の簡単な説明】

【００２１】

【図１Ａ】本発明の方法に従って作動する、本発明による送信装置の実施形態の概念的略図である。

【図１Ｂ】図１Ａにおける送信装置のフレームの実施形態の詳細を示す、概念的略図である。

【図２Ａ】本発明の方法に従って作動する、図１Ａの送信装置に関連する受信装置の実施形態の概念的略図である。

【図２Ｂ】図２Ａの受信装置のデフレームの実施形態の詳細を示す、概念的略図である。

【図３Ａ】本発明の方法に従って作動する、本発明による回路装置の実施形態の概念的略図である。

【図３Ｂ】図３Ａによる回路装置における送信装置および受信装置の両方に含まれている送信／受信モジュールの実施形態の概念的略図である。

【図３Ｃ】図３Ｂの送信／受信モジュールに含まれているバイナリパルス幅変調（Puls Width Modulation：PWM）コンバータを用いて実行することができるPWMの実施形態の概略図である。

【図４】ＨＳデータ伝送およびＬＰデータ伝送の場合のそれぞれの電圧レベルの実施形態の概略図である。

【図５Ａ】従来技術による典型的な装置の概念的略図である。

【図５Ｂ】図５Ａに示す装置がそれをベースにしている、２つのデータチャネルとクロックラインとを備えるインタフェース構造の実施例の概念的略図である。

【発明を実施するための形態】

【００２２】

図１Ａ～図５Ｂにおいて、類似のまたは同様の実施形態、要素または機能には、同一の参照数字が付けられている。

【００２３】

（発明を具体化するための最良の方法）

原理的には、

本発明による送信装置Ｓに関する図１Ａに示す実施形態によって、および

本発明による受信装置Ｅに関する図２Ａに示す実施形態によって、

ケーブルベースのリンクを実現するおよび作動させるための、本発明による回路装置Ａ（図３を参照）の実施形態が全体で得られ（本発明に関しては、互いに無関係に、送信装置Ｓと受信装置Ｅを実現すること、および作動させることが可能である）、

そのリンクは、光学的に、具体的には、少なくとも１つの光学媒体に基づいて、例えば、光導波路ＯＭ（図１Ａ、図２Ａの詳細図を参照）に基づいて、例えば、少なくとも１つのガラス繊維に基づいて、および／または少なくとも１つのプラスチック繊維に基づいて

10

20

30

40

50

多重化され、およびシリアル化され、および／またはそのリンクは、電氣的にまたはガルバニックに、具体的には、少なくとも1つの電氣的またはガルバニックなリンクGA(図3を参照)に基づいて、例えば、少なくとも1つの銅線に基づいて、および／または例えば、少なくともプリント回路基板上に配列された少なくとも1つの電氣的ラインに基づいて多重化されていないことが可能である。

【0024】

図1Aは、DSIデータ伝送インタフェースISまたはCSIデータ伝送インタフェースISへの接続のための送信装置Sの原理的構造の実施形態を示す。

【0025】

アプリケーションプロセッサAP内で、または、カメラKA内で生成された画像データは、D-PHY補正クロック信号CLK+、CLK-とともに、最高で4ビット幅のデータ伝送インタフェースISにおいて、4つ他のデータラインまたはデータチャネルCH0+、CH0-、CH1+、CH1-、CH2+、CH2-、CH3+、CH3-上でD-PHY信号として利用可能になっている。

【0026】

送信装置Sは、これらの信号を集積インタフェースロジックLSにおいて受け取り、そのブロックは、それらの信号が、D-PHY信号の正しい解釈のための、および高周波データストリーム(いわゆるシングルエンド論理レベルベースの信号に相当するHSデータ)と低周波データストリーム(いわゆる特に、コモンモードベースの差動信号に相当する低速(Low Speed:LS)データ)を区別するための少なくとも1つの状態機械を有することを証明できる。

【0027】

送信装置S内で後に続くフレームFR(図1Bの詳細図も参照)は、入力信号の直流(Direct Current:DC)平衡を確保し、および受信側(図2Aを参照)で認識可能なフレームを生成し、そのことは、受信装置E(図2Aを参照)が、補正出力データラインまたは出力チャネルCH0+、CH0-、CH1+、CH1-、CH2+、CH2-、CH3+、CH3-に、受信したデータを再割当てすることを可能にする。

【0028】

詳細には、論理レベルベースのシングルエンドデータ信号HSD0、HSD1、HSD2、HSD3と、差動データ信号DD0+、DD0-、DD1+、DD1-、DD2+、DD2-、DD3+、DD3-の両方を、図1BによるフレームFRに印加することができる。5b/6b符号化ブロックとして構成されたその符号器KOを用いて、図1Bによる該フレームは、それらの差動データ信号DD0+、DD0-、DD1+、DD1-、DD2+、DD2-、DD3+、DD3-を、シングルエンド論理レベルベースのデータ信号HSD0、HSD1、HSD2、HSD3から成るストリームに埋め込む。

【0029】

フレームFRに隣接するマルチプレクサMU、具体的には、HSMuxは、位相ロックスグループとして、具体的には、CMUとして構成されたクロック発振器PSを用いて、高周波シリアルまたは一括送信信号を生成し、その信号は、出力ドライバATを用いて、送信装置Sの出力ASにおいて利用可能になっている。フレームFRとマルチプレクサMUは、一緒にシリアルライザSEを構成している。

【0030】

クロック発振器PSを用いて、クロックポートCLK+、CLK-を介して、およびインタフェースロジックLSのクロックモジュールCSを介して供給されたD-PHYクロック信号は、シリアルライザSEのための、具体的には、そのマルチプレクサMUのための(クロック)基準として用いられ、および該シリアルデータストリームに、すなわち、シリアル化された出力信号に埋め込まれる。これにより、受信装置E(図2Aを参照)に伝達される共通信号ストリームSIが生成される。

【0031】

10

20

30

40

50

さらに図1Aを見て分かるように、出力ドライバATは、少なくとも1つの直接接続されたレーザLAを駆動するための、具体的には、少なくとも1つの面発光レーザ(Vertical Cavity Surface Emitting Laser diode: VCSEL)を駆動するための一体型レーザドライバとして実装されている。

【0032】

図2Aは、DSIデータ伝送インタフェースIEまたはCSIデータ伝送インタフェースIEへの接続のための受信装置Eの原理的構造の実施形態を示す。

【0033】

送信装置S(図1Aを参照)によって送出されたシリアルまたは一括データは、受信装置Eの入力増幅器EVを介して受け取られて、集積クロックまたはデータリカバリCDへ供給される。

10

【0034】

この集積クロックまたはデータリカバリCDは、共通信号ストリームSIから元のD-PHYクロックを再生し、その後、該クロックは、インタフェースロジックLEのクロックモジュールCEを介して、再び、DSIまたはCSIが直接、利用できるようにされる。残りのシリアルデータストリームは、デマルチプレクサDMによって細分化されて並列化されて、原理的には、図1BによるフレームFRの鏡像であるデフレームDF(図2Bも参照)へ引き渡される。デマルチプレクサDMとデフレームDFは、一緒にデシリアライザDSを構成する。

【0035】

20

詳細には、図2BのデフレームFRは、6b/5b復号器ブロックとして構成されたその復号器DKを用いて、差動データ信号は、DD0+, DD0-, DD1+, DD1-, DD2+, DD2-, DD3+, DD3-と、シングルエンド論理レベルベースのデータ信号HSD0, HSD1, HSD2, HSD3を分けて、再並列化されたデータ信号を、それぞれの適用可能なデータラインCH0+, CH0-, CH1+, CH1-, CH2+, CH2-, CH3+, CH3-に再割り当てすることができる。

【0036】

受信装置E内に図示されているインタフェースロジックブロックLEは、それぞれ、D-PHY論理信号の正しい解釈のための、および高周波データストリームと低周波データストリームを区別するための少なくとも1つの状態機械を備えていてもよい。

30

【0037】

図2Aの説明図を見ても分かるように、入力増幅器EVは、集積トランスインピーダンス増幅器として実装され、該増幅器は、フォトダイオードFDを受信装置Eに直接接続することを可能にしている。

【0038】

このようにして、本発明によれば、回路装置A(図3を参照)に関しては、送信装置S(図1Aを参照)と受信装置E(図2Aを参照)との間で、ケーブルベースの多重化リンクを光学的に、すなわち、例えば、ガラス繊維の形態でおよび/またはプラスチック繊維の形態で構成された光導波路OMを用いて実現し、および作動させることが可能である。

【0039】

40

図3は、送信装置S(図1Aを参照)および受信装置E(図2Aを参照)全体の実施形態を示す。これは、シリアルリンクを備えた、または、並列化されたデータストリームを伴うD-PHY伝送路である。

【0040】

この目的のために、D-PHY-HS/LPデータは、本質的に、シリアライザSEと、特に、マルチプレクサMUとを備える送信装置S(図1Aを参照)によって一括化されて、シリアルデータストリームとして受信装置E(図2Aを参照)へ送信される。

【0041】

本質的に、デシリアライザDSと、ここでは特に、デマルチプレクサDMとを備えるこの受信装置E(図2Aを参照)は、該シリアルデータを細分化して、それを元の形態でD

50

- P H Y - H S / L P データとして再出力する。送信装置 S (図 1 A を参照) に印加される D - P H Y - クロック (C l o c k : C L K) は、シリアルライザ S E のためのクロック基準として用いられ、および該シリアルデータストリームに埋め込まれる。受信装置 E (図 2 A を参照) は、このクロックを再生して、それを D - P H Y - C L K として再出力する。

【 0 0 4 2 】

銅ケーブルの形態の、または、例えば、プリント回路基板上に配置された例えば電気ラインの形態の独立したガルバニックなリンク G A は、少なくとも 1 つの D - P H Y レーンの D - P H Y - L P データを伝達するのに利用できる。本発明によれば、このガルバニックなリンク G A は、通常、このツイストペアで送信される D - P H Y - L P データと、さらなるデータ P D との両方を送信する目的で用いられる。

10

【 0 0 4 3 】

この目的のために、マルチプレクサ M U に隣接する送信装置 S (図 1 A を参照) と、一括化された D - P H Y - H S / L P データのためのデマルチプレクサ D M に隣接する受信装置 E (図 2 A を参照) の両方は、図 3 A を見て分かるように、送信 / 受信モジュール T X R X S / T X R X E (単に説明を明確にするために、図 1 A または図 2 A には図示せず) も備えている。

【 0 0 4 4 】

この送信 / 受信モジュール T X R X S / T X R X E は、L P モードの D - P H Y レーンのデータを、数 N N の他の並列 P D データとともに一括化する。後者の P D データは、この時点で、D - P H Y レーンの L P データとともに、送信装置 S (図 1 A を参照) と受信装置 E (図 2 A を参照) との間で、全二重送信することができ、「送信装置」および「受信装置」という名称は、マルチプレクサ M U からデマルチプレクサ D M までの一方向の送信機能を意味するものとする。

20

【 0 0 4 5 】

図 3 B に示すように、送信 / 受信モジュール T X R X S / T X R X E は、ここでもまた、マルチプレクサ M U を備え、該マルチプレクサは、L P データと、P D データを一括化して、マルチプレクサ M U P の下流のラインドライバ L D によって、反対側の送信 / 受信モジュール T X R X S / T X R X E へ送る。

【 0 0 4 6 】

同時に、デマルチプレクサ D M P の上流の差動増幅器 D V は、1 : 2 の比で重み付けされた信号 S A および S B を減算し、結果、反対側によって印加された送信信号を、ローカル伝送信号と分離することができる。差動増幅器 D V の後で、このようにして得られた信号 S C は、デマルチプレクサ D M P へ供給され、該デマルチプレクサ D M P は、L P 信号および信号 P D の後で受信したシリアルデータストリームを分解する。

30

【 0 0 4 7 】

図 3 A に示す送信装置 S の追加的な出力部 A Z と、受信装置 E の追加的な入力部 E Z との間の信号を、独立したクロックラインを延ばすことなく伝送できるようにするために、ラインドライバ L D からのデータは、バイナリ / P W M コンバータ B P W M W によって、バイナリ非ゼロ復帰 (N o n R e t u r n - t o - Z e r o : N R Z) フォーマットから、図 3 C に示すパルス幅変調信号へ変えられる (図 3 C の上のライン : バイナリ信号 ; 図 3 C の下のライン : パルス幅変調信号) 。

40

【 0 0 4 8 】

同様に、受信した信号 S C は、P W M / バイナリコンバータ P W M B W によって、P W M からバイナリ N R Z フォーマットへの変換という逆のプロセスを受ける。

【 0 0 4 9 】

データ L P および P D は、図 3 B に示すように、異なる周波数でスキャンすることができる。したがって、データ L P は、データ P D よりも 8 倍多い頻度でスキャンすることができ、他のデータと比較して、L P (低電力) の場合の有効なデータ転送速度を増すことができる。

50

【 0 0 5 0 】

図 3 A のポート A Z , E Z 間の電氣的またはガルバニックなリンク G A は、差動ラインとして実施することができる。これは、一方で、電磁放射を低減し、他方で、誘導結合または容量結合によって、および浮動的に、この電氣的またはガルバニックなリンク G A を分解する可能性を呈している。

【 0 0 5 1 】

反射を伴うことなく、長距離にわたってデータを伝送できるようにするために、ラインドライバ L D の下流の終端抵抗 R 0 を、使用するラインの特性インピーダンスに従って選択することができる。

【 0 0 5 2 】

一方で、最適と思われる上述した誘導結合または容量結合と、例えば、光データ伝送をサポートするために、他方で、受信側でのデータストリームの同期を確実にするために、生成されたシリアル信号の直流電圧からの自由度をもたらし以下に示す符号化 / 復号化システムを、図 3 B によるマルチプレクサ M U P および図 3 B によるデマルチプレクサ D M P に用いることができる。すなわち、

【 0 0 5 3 】

D_P および D_N の場合のコード :

【 0 0 5 4 】

【 数 1 】

$$\begin{aligned} 0 &\triangleq 01 \\ 1 &\triangleq 10 \end{aligned}$$

【 0 0 5 5 】

G P T O_{N x} の場合のコード :

【 0 0 5 6 】

【 数 2 】

$$\begin{aligned} 0 &\triangleq 00 \\ 1 &\triangleq 11 \end{aligned}$$

【 0 0 5 7 】

【 数 3 】

$$\overline{D_P|D_N|G_1|11|D_P|D_N|G_1|00|D_P|D_N|G_2|00|D_P|D_N|G_2|00|...}$$

【 0 0 5 8 】

フレームおよびビット位置

【 0 0 5 9 】

【 数 4 】

$$\langle \text{XOR}, \text{XOR}, \text{XNOR}, \text{AND}, \text{XOR}, \text{XOR}, \text{XNOR}, \text{NOR} \rangle$$

【 0 0 6 0 】

上述した本発明による解決法は、ライン G A を介して一括化された、D - P H Y - L P データ、および同時に、さらなる多数の様々なバイナリデータ P D の全二重データ伝送を可能にする。

【 符号の説明 】

【 0 0 6 1 】

10

20

30

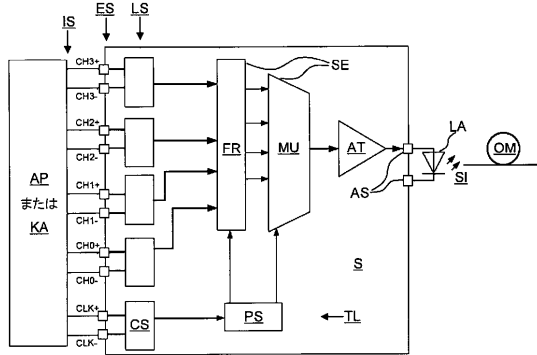
40

50

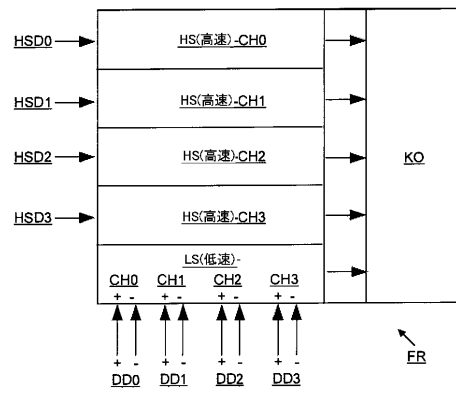
A	回路装置	
E	受信装置	
S	送信装置	
A E	受信装置 E の出力部	
A P	アプリケーションプロセッサ	
A S	送信装置 S の出力部	
A T	出力ドライバ、具体的には、レーザドライバ	
A Z	送信装置 S の他のまたはさらなるまたは追加的な出力部	
B P W M W	バイナリ / P W M (パルス幅変調) コンバータ	
C D	クロックおよびデータリカバリユニット	10
C E	受信インタフェースロジック L E のクロックモジュール	
C H 0 ±	第 1 のデータラインまたは第 1 のチャンネル	
C H 1 ±	第 2 のデータラインまたは第 2 のチャンネル	
C H 2 ±	第 3 のデータラインまたは第 3 のチャンネル	
C H 3 ±	第 4 のデータラインまたは第 4 のチャンネル	
C L K ±	クロックラインまたはクロックチャンネル	
C S	送信インタフェースロジック L S のクロックモジュール	
D D 0 ±	第 1 のデータラインまたは第 1 のチャンネル C H 0 ± 上の差動信号、具体的には、コモンモードベースのデータ信号	
D D 1 ±	第 2 のデータラインまたは第 2 のチャンネル C H 1 ± 上の差動信号、具体的には、コモンモードベースのデータ信号	20
D D 2 ±	第 3 のデータラインまたは第 3 のチャンネル C H 2 ± 上の差動信号、具体的には、コモンモードベースのデータ信号	
D D 3 ±	第 4 のデータラインまたは第 4 のチャンネル C H 3 ± 上の差動信号、具体的には、コモンモードベースのデータ信号	
D F	デフレーマ	
D K	デフレーマ D F の復号器、具体的には、6 b / 5 b 復号器ブロック	
D M	デマルチプレクサ	
D M P	受信装置 E の送信 / 受信モジュール T X R X E における、および送信装置 S の送信 / 受信モジュール T X R X S におけるデマルチプレクサ	30
D S	デシリアライゼーション要素またはデシリアライザ	
D U	ディスプレイユニット	
D V	差動増幅器	
E E	受信装置 E の入力部	
E S	送信装置 S の入力部	
E V	入力増幅器、具体的には、トランスインピーダンス増幅器	
E Z	受信装置 E の他のまたはさらなるまたは追加的な入力部	
F D	フォトダイオード	
F R	フレーマ	
G A	電氣的またはガルバニックなリンク、具体的には、例えば、プリント回路基板上に配置された銅線または電氣的ライン	40
H S	高速	
H S D 0	第 1 のデータラインまたは第 1 のチャンネル C H 0 ± 上のシングルエンド論理レベルベースのデータ信号	
H S D 1	第 2 のデータラインまたは第 2 のチャンネル C H 1 ± 上のシングルエンド論理レベルベースのデータ信号	
H S D 2	第 3 のデータラインまたは第 3 のチャンネル C H 2 ± 上のシングルエンド論理レベルベースのデータ信号	
H S D 3	第 4 のデータラインまたは第 4 のチャンネル C H 3 ± 上のシングルエンド論理レベルベースのデータ信号	50

IE	データシンク関連のCSIおよび/またはCSI - 2および/またはCSI - 3 および/またはDSIおよび/またはDSI - 2インタフェース	
IS	データソース関連のCSIおよび/またはCSI - 2および/またはCSI - 3 および/またはDSIおよび/またはDSI - 2インタフェース	
KA	カメラ	
KO	フレームの符号器、具体的には、5 b / 6 b 符号器ブロック	
LA	レーザ	
LD	ラインドライバ	
LE	受信インタフェースロジック	
LP	低電力	10
LS	送信インタフェースロジック	
MU	マルチプレクサ	
MUP	受信装置Eの送信/受信モジュールTXRXEにおける、および送信装置Sの送 信/受信モジュールTXRXSにおけるマルチプレクサ	
OM	光学媒体、具体的には、光導波路、例えば、ガラス繊維および/またはプラスチ ック繊維	
PD	バイナリおよび/または並列信号	
PS	クロック発振器、具体的には、位相ロックループ、例えば、クロックマルチブラ イヤユニット	
PWMBW	PWM / バイナリコンバータ	20
RO	終端抵抗器	
R1	抵抗器	
SA	第1の重み付け信号	
SB	第2の重み付け信号	
SC	差動増幅器DVの後の信号	
SE	シリアライゼーション要素またはシリアライザ	
SI	共通信号ストリーム	
TL	クロックライン	
TXRXE	受信装置Eの送信/受信モジュール	
TXRXS	送信装置Sの送信/受信モジュール	30

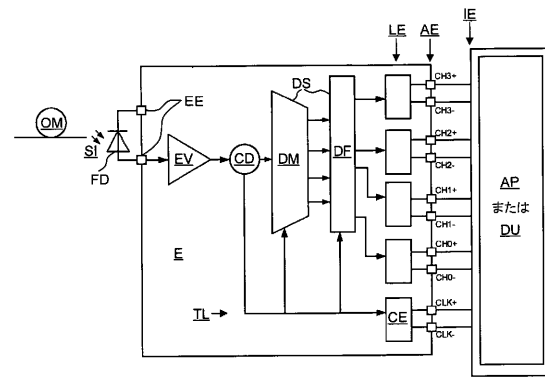
【図 1 A】



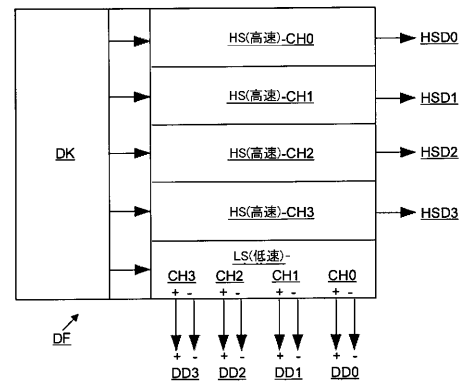
【図 1 B】



【図 2 A】



【図 2 B】



【図 3 A】

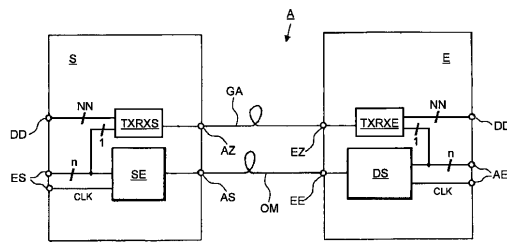


Fig. 3A

【図 3 B】

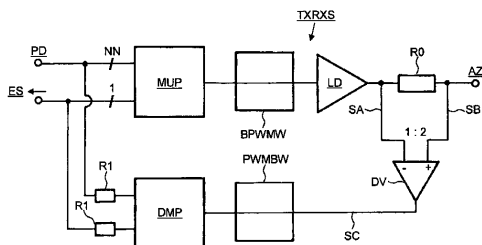


Fig. 3B

【図 3 C】

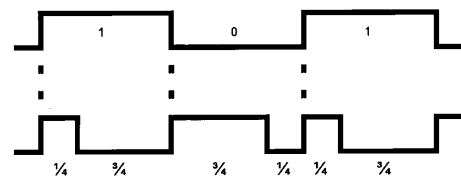
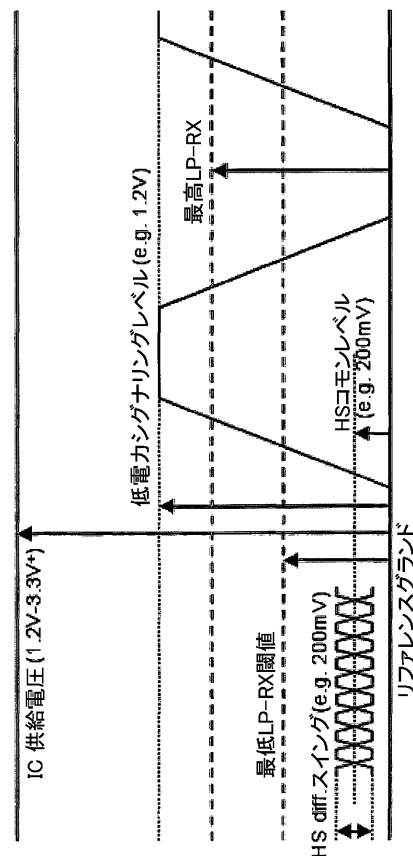
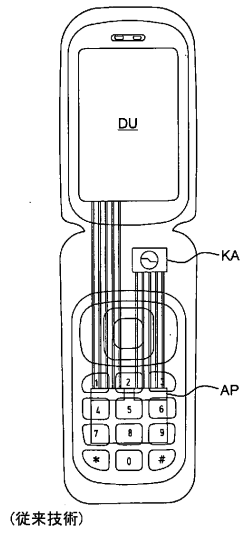


Fig. 3C

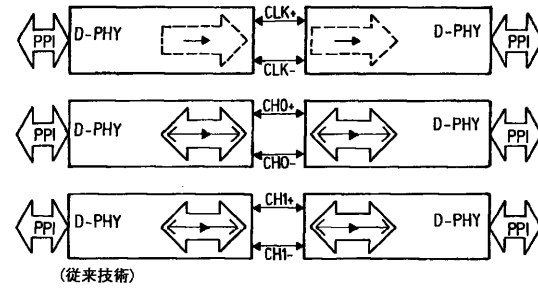
【図 4】



【図 5 A】



【図 5 B】



フロントページの続き

- (72)発明者 ブロン, トーマス
ドイツ連邦共和国 8 0 6 8 7 ミュンヘン エルゼンハイマーシュトラッセ 4 8 / デア・ツヴァイテン シリコン・ライン・ゲー・エム・ベー・ハー内
- (72)発明者 ヤンゼン, フロリアン
ドイツ連邦共和国 8 0 6 8 7 ミュンヘン エルゼンハイマーシュトラッセ 4 8 / デア・ツヴァイテン シリコン・ライン・ゲー・エム・ベー・ハー内
- (72)発明者 グレーブル, マルティン
ドイツ連邦共和国 8 7 5 2 7 ゾントホーフェン / オーバーアルゴイ オストラッハシュトラッセ 7

審査官 阿部 弘

- (56)参考文献 国際公開第2 0 0 8 / 1 2 6 7 5 3 (W O , A 1)
特開2 0 0 8 - 1 1 3 3 2 1 (J P , A)
特開2 0 0 6 - 1 5 3 9 2 7 (J P , A)
特開2 0 0 8 - 1 6 0 3 7 0 (J P , A)
米国特許出願公開第2 0 0 9 / 0 2 3 8 5 7 6 (U S , A 1)
特開2 0 0 6 - 0 3 3 8 0 4 (J P , A)
特開2 0 1 0 - 0 5 0 8 4 7 (J P , A)
特開2 0 0 1 - 1 0 3 0 2 8 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
H 0 4 L 2 5 / 0 2
H 0 4 L 2 5 / 4 9