(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 104572535 A
(43)申请公布日 2015.04.29

(21)申请号 201410830837.9

(22)申请日 2014.12.26

(71)申请人 中国电子科技集团公司第十五研究所
地址 100083 北京市海淀区北四环中路211号

(72)发明人 纪静 屈涛 张超 王巍 吴金哲 梁瑛

(74)专利代理机构 北京理工大学专利中心 11120
代理人 仇蕾安 高燕燕

(51)Int.Cl.
G06F 13/38(2006.01)

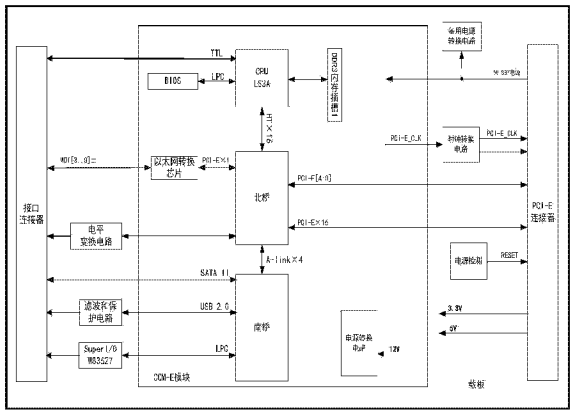
权利要求书1页 说明书4页 附图1页

(54)发明名称

基于CPCI-E总线的自主可控计算装置

(57)摘要

本发明提供一种基于CPCI-E总线的自主可控计算装置，解决了基于国产CPU的计算机模块化设计问题。包括载板和COM-E模块两个部分；COM-E模块和载板之间通过COM-E连接器进行互连和电信号传输；所述的COM-E模块包括CPU芯片、北桥、南桥、BIOS、内存、以太网转换芯片、电源转换电路；其中，北桥用于显示数据与CPU芯片的交换、各PCI-E扩展接口与CPU芯片的通信；南桥芯片用于连接外围低速设备；BIOS用于检测计算机硬件设备是否存在和正常、初始化硬件设备、设置硬件设备的硬件状态、启动操作系统加载程序；以太网转换芯片用于将常用的以太网MDI信号转换成PCI-E×1总线信号，并与北桥进行数据传输；电源转换电路用于将载板提供的12V电源转换成各部件工作所需的电源电压，为各部件提供稳定的电压和电流。



CN 104572535 A

1.一种基于 CPCI-E 总线的自主可控计算装置，包括载板和 COM-E 模块两个部分；其特征在于：COM-E 模块和载板之间通过 COM-E 连接器进行互连和电信号传输；载板采用 3U CPCI-E 标准连接器与背板互联，互联总线分别为 PCI-E×16 总线和 PCI-E×4 总线；其中 PCI-E×16 总线用于与图形显示模块互联，PCI-E×4 总线用于与 PCI-E 交换模块互联；其中所述的 COM-E 模块包括 CPU 芯片、北桥、南桥、BIOS、内存、以太网转换芯片、电源转换电路；其中，北桥用于显示数据与 CPU 芯片的交换、各 PCI-E 扩展接口与 CPU 芯片的通信；南桥芯片用于连接外围低速设备；BIOS 用于检测计算机硬件设备是否存在和正常、初始化硬件设备、设置硬件设备的硬件状态、启动操作系统加载程序；以太网转换芯片用于将常用的以太网 MDI 信号转换成 PCI-E×1 总线信号，并与北桥进行数据传输；电源转换电路用于将载板提供的 12V 电源转换成各部件工作所需的电源电压，为各部件提供稳定的电压和电流。

2.如权利要求 1 所述的一种基于 CPCI-E 总线的自主可控计算装置，其特征在于：其中所述的载板可根据需要修改配置，提高实用性；载板主要包括 superIO 芯片、外围接口转换电路、时钟转换电路、复位电路，以及 PCI-E、COM-E、USB、以太网、RS232 各接口连接器；其中，super IO 芯片实现基于龙芯 3A CPU 和北桥、南桥及整机系统的上电、复位电路；外围接口转换电路实现相应接口的电平转换；时钟转换电路实现时钟信号的倍频和驱动，用于给 COM-E 模块和整个计算机系统提供相应的时钟信号；复位电路实现复位信号的驱动和延迟。

3.如权利要求 1 所述的一种基于 CPCI-E 总线的自主可控计算装置，其特征在于：所述的自主可控计算装置还包括状态检测和管理单元，当 CPU 过热时，将检测到的温度上报给 BIOS，当温度高过设定值时，则通过自动关机来保护设备。

4.如权利要求 1 所述的一种基于 CPCI-E 总线的自主可控计算装置，其特征在于：采用 ASPEED 公司的 AST2400 芯片设计 BMC 管理控制模块，实现对整机各个计算单元的实时状态监控和远程管理功能。

5.如权利要求 1 或 2 所述的一种基于 CPCI-E 总线的自主可控计算装置，其特征在于：所述的载板遵循 PICMG COM.0 COM Express Base Specification Revision 1.0 标准。

基于 CPCI-E 总线的自主可控计算装置

技术领域

[0001] 本发明涉及一种基于 CPCI-E 总线的自主可控计算装置，属于计算机领域。

背景技术

[0002] 随着计算机在恶劣环境应用日益广泛深入，用户对计算机的安全性提出了越来越高的要求。目前，关键领域的计算机大多基于国外 CPU 芯片实现，在安全可控性方面存有较大的隐患，发展自主可控国产化计算机已成为计算机发展的必然趋势。

[0003] 而目前基于自主可控 CPU 研制的计算机大多采用大主板方式，这种方式在坚固性、可靠性方面不能长期适应恶劣工作环境的需求。同时，各接口模块和功能部件的更换和维修均需要对机箱进行拆卸，在维修性和使用灵活性方面非常不方便。此外，基于中科院计算所研制的龙芯系列处理器研制的高性能计算机，其体系架构均采用 CPU+ 南北桥套片的形式，通过北桥有限的 PCI-E 接口进行扩展，支持的接口数量和接口带宽有限，不利于系统扩展。

发明内容

[0004] 本发明提供一种基于 CPCI-E 总线的自主可控计算装置，解决了基于国产 CPU 的计算机模块化设计问题，以及自主可控模块化计算机计算单元的散热问题和智能状态监控问题。

[0005] 一种基于 CPCI-E 总线的自主可控计算装置，包括载板和 COM-E 模块两个部分；COM-E 模块和载板之间通过 COM-E 连接器进行互连和电信号传输；载板采用 3U CPCI-E 标准连接器与背板互联，互联总线分别为 PCI-E×16 总线和 PCI-E×4 总线；其中 PCI-E×16 总线用于与图形显示模块互联，PCI-E×4 总线用于与 PCI-E 交换模块互联；其中所述的 COM-E 模块包括 CPU 芯片、北桥、南桥、BIOS、内存、以太网转换芯片、电源转换电路；其中，北桥用于显示数据与 CPU 芯片的交换、各 PCI-E 扩展接口与 CPU 芯片的通信；南桥芯片用于连接外围低速设备；BIOS 用于检测计算机硬件设备是否存在和正常、初始化硬件设备、设置硬件设备的硬件状态、启动操作系统加载程序；以太网转换芯片用于将常用的以太网 MDI 信号转换成 PCI-E×1 总线信号，并与北桥进行数据传输；电源转换电路用于将载板提供的 12V 电源转换成各部件工作所需的电源电压，为各部件提供稳定的电压和电流。

[0006] 其中所述的载板可根据需要修改配置，提高实用性；载板主要包括 super IO 芯片、外围接口转换电路、时钟转换电路、复位电路，以及 PCI-E、COM-E、USB、以太网、RS232 各接口连接器；其中，super IO 芯片实现基于龙芯 3A CPU 和北桥、南桥及整机系统的上电、复位电路；外围接口转换电路实现相应接口的电平转换；时钟转换电路实现时钟信号的倍频和驱动，用于给 COM-E 模块和整个计算机系统提供相应的时钟信号；复位电路实现复位信号的驱动和延迟。

[0007] 所述的自主可控计算装置还包括状态检测和管理单元，当 CPU 过热时，将检测到的温度上报给 BIOS，当温度高过设定值时，则通过自动关机来保护设备。

[0008] 采用ASPEED公司的AST2400芯片设计BMC管理控制模块，实现对整机各个计算单元实时状态监控和远程管理功能。

[0009] 所述的载板遵循PICMG COM.0COM Express Base Specification Revision 1.0标准。

[0010] 本发明的有益效果：

[0011] 1、本发明不同于现有自主可控计算机的结构模式和设计思路，通过PCI-E总线+3U模块化结构实现，可应用于CPCI-E体系架构的系统中。

[0012] 2、本发明基于国产主流CPU、操作系统和BIOS的芯片级完全自我研制产品，以其模块化、高可靠、便于维修、通用化等特点为机动指挥控制等应用领域提供了良好的解决方案。由于其完全遵循开放的标准，可应用于同类型的CPCI-E体系架构系统中。

附图说明

[0013] 图1基于CPCI-E总线的自主可控计算模块的原理框图；

[0014] 图2开机和上电复位电路示意图。

具体实施方式

[0015] 下面结合附图详细说明本发明.

[0016] 如图1所示，根据CompactPCI Express PICMG EXP.0R1.0规范要求，CPCI-E板卡的机械结构分为3U(100mm×160mm)和6U(233.35mm×160mm)两种形式，为节省设备的站位空间，提升设备的性能体积比，自主可控CPU模块采用3U尺寸设计。然而这将导致自主可控计算模块的板卡器件密度高，设计空间紧张的问题，为解决这一问题，自主可控计算模块采用夹层卡设计思想，将CPU、南北桥套片、内存、核心电源转换电路等关键电路设计为遵从PICMG COM.0COM Express Base Specification Revision 1.0标准的COM-E模块。由于外围接口的转换电路需要靠近相应连接器，因此这部分电路和时钟/复位转换电路，以及其他外围电路共同组成自主可控CPU模块的载板。COM-E模块与载板的互连遵从COM-Etype2型定义。

[0017] CPU芯片是计算机的核心芯片，它的选取直接影响计算机的整机性能和稳定性。近几年，主流国产化CPU厂家不断推出新的产品，经过对产品性能、产品功耗、使用成熟度和稳定性等指标的综合分析比较，基于CPCI-E总线的自主可控计算模块选取龙芯3A 4核高性能处理器进行设计和实现。

[0018] 龙芯3A通过16位HT3.0总线与北桥进行通信。北桥芯片内部集成了ATI M72图形加速引擎，支持VGA、DVI或HDMI输出。北桥芯片还支持一个PCI-E×16的图形接口和6路PCI-E×1接口。其中，6路PCI-E×1接口共有6种PCI-E信道配置模式，可按表1所示进行配置。自主可控CPU模块的北桥设置为Config.C模式，PCI-E×4链路用于与设备的交换模块连接，进行系统扩展，而1路PCI-E×1链路，则用于连接到以太网控制芯片Intel 82574，信号通过码型转换、速率调整等处理后，转换为千兆以太网信号传输。

[0019] 表1 北桥PCI-E信道配置模式

[0020]

	Config. B	Config. C	Config. C2	Config. E	Config. K	Config. L
GPP1	×4	×4	×2	×2	×2	×1
GPP2	-	-	-	-	-	×1
GPP3	-	-	×2	×1	×2	×1
GPP4	-	-	-	×1	-	×1
GPP5	×2	×1	×2	×1	×1	×1

[0021]

GPP6	-	×1	-	×1	×1	×1

[0022] 南桥芯片选用与北桥配套的桥片，通过 A-LINK 链路与北桥进行信息交互，极大地提升了数据传输速率，减小 I/O 数据的传输瓶颈。南桥可实现 SATA 接口、USB 接口、IDE 接口和 PCI 插槽等多种关键 I/O 接入，并遵循 ACPI 3.0 电源管理标准，支持 S0 ～ S5 电源管理状态，可实现系统待机、休眠等电源智能管理。自主可控 CPU 模块通过 Super I/O 芯片 W83527 实现风扇转速、主板温度等系统参数监控，信号通过 LPC 总线与南桥连接。

[0023] 系统采用 8Mbit Flash 作为系统 BIOS 存储，通过 LPC 总线与龙芯 3A 进行信号传输，BIOS 中保存着基本输入输出程序、系统设置信息、开机后自检程序和系统自启动程序。龙芯 3A 处理器片内集成 2 个 64 位 400MHz 的 DDR3 控制器，分别与 2 个内存插槽直接相连。

[0024] 自主可控 CPU 模块除了担负系统的计算和信息处理任务外，还集成了系统开 / 关机电路和复位电路，是系统上电和复位的关键，自主可控 CPU 模块的上电及复位设计框图如图 2 所示。

[0025] 自主可控 CPU 模块的上电和复位过程为：

[0026] a) 接通 220VAC 电源后，PCI-E 连接器立即从系统电源输出 +5VSBY 电源，此时 32.768KHz 晶体开始工作，向 CMOS 电路发送实时时钟信号；

[0027] b) 当按下开机按钮后，自主可控 CPU 模块上的开机电路开始工作，首先向 Super I/O 发送开机触发 PWRBTN 信号，Super I/O 接收到该信号后，与南桥进行开机信号交互；

[0028] c) 为防止 COM-E 模块错插，COM-E 模块类型选择信号与南桥反馈的 SLP_S5# 信号一同发送到载板的与非逻辑上，由与非逻辑向系统电源发送 PSON 信号，系统此时输出电源电压；

[0029] d) 待所有电压输出 100 ～ 200ms 后，此时系统电源已准备就绪，向 CPU、南桥和北桥同时发送 POWER GOOD 信号；

[0030] e) 当南桥芯片接收到 POWER GOOD 信号后，内部复位电路开始工作，分别向北桥、以太网控制芯片，以及载板上的 Super I/O 芯片和复位电路发送复位信号，此时自主可控 CPU 模块已完成复位；

[0031] f) 最后，当电源检测芯片 MAX706 检测到 3.3V 电源稳定后，则会输出 200ms 的系统上电复位信号，为后续各外围板卡的复位提供稳定的复位信号，此时整机的系统复位完成。

[0032] 自主可控 CPU 模块选用 SLG8LP625TTR 时钟芯片，它将 14.3181MHz 时钟信号分别倍频为 14.3181MHz、48MHz、100MHz 和 200MHz 时钟信号。分别作为南、北桥的参考时钟和 USB2.0 接口、以太网控制芯片，以及龙芯 3A 的 HT 接口 PLL 锁相环的工作时钟。

[0033] 此外，龙芯 3A 处理器所需的系统输入时钟用来驱动芯片内置的锁相环产生处理器的 Core 时钟，内存时钟作为 DDR 控制器的输入时钟，驱动芯片内置的锁相环来产生 DDR3 信号所需时钟，这两个时钟信号都通过独立的 33MHz 晶振得到。龙芯 3A 处理器将输入的时钟参考信号经过处理变为不同频率的差分时钟信号，分别作为内存数据和 HT 接口数据的参考时钟。

[0034] 系统 PCI-E 总线的差分参考时钟频率为 100MHz，由自主可控 CPU 模块统一提供。PCI-E 信号发送器以 2.5Gbit/s 的速率定时输出数据，它允许每 1666 个时钟相位偏离 1 个时钟，因此，实现该速率的时钟必需精确在中心频率的 ±300ppm 以内。由时钟芯片 SLG8LP625TTR 倍频生成的 PCI-E 差分时钟信号传输到载板的时钟驱动芯片 ICS85104AGILF 中，在芯片内部扩展为多路同步的 PCI-E 差分参考时钟，分别为其他外围扩展板卡的 PCI-E 高速串行数据的定时和信号提取提供参考。

[0035] 自主可控 CPU 模块的电源输入由系统背板提供。背板可提供 +12V、+5V、+3.3V 和 5V_SBY 四种电源。由于各主要芯片所需的电压较低，而系统背板统一供电的方式造成供电路径长，电源噪声和纹波加大，为保证芯片可以得到稳定而干净的电源，芯片的电源转换和滤波遵循就近原则，除 3.3V_SBY 电源外，其余电源电压均在 COM-E 上进行电源变换、整流和过滤，以保证模块长期可靠工作。

[0036] 由于 TYPE2 型 COM-E 连接器仅支持 +12V 和 5V_SBY 两种电源输入，芯片所需电源电压需要通过 +12V 电源经过多级转换得到，因此提高电源的转换效率是设计的重点。直流电源电压的转换通常通过 LDO 或 DC/DC 转换器实现，考虑到 DC/DC 转换器的转换效率高，可以输出大电流，静态电流小，因此龙芯 3A 处理器和北桥的 1.1V 核电源、内存电路 1.5V 电源和 1.8V 电源采用 DC/DC 开关电源供电方式，其余供电电源则通过 LDO 供电方式实现。

[0037] 自主可控 CPU 模块具有简单的状态检测和管理功能。模块内部具有温度传感器，当 CPU 过热时，可将检测到的温度上报给 BIOS，当温度高过设定值时，操作系统可通过自动关机来保护设备。此外，自主可控 CPU 模块还预留了 I^2C 接口，可用于整机系统管理。

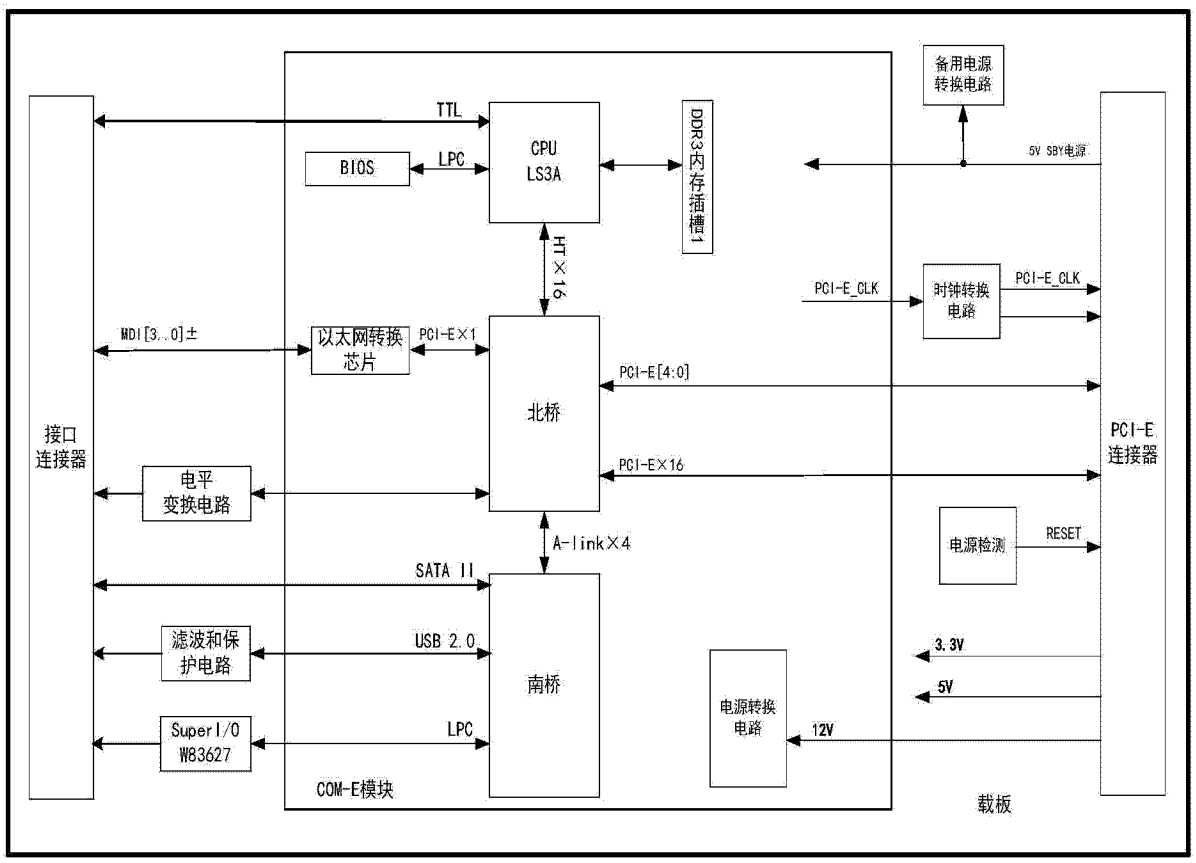

TTL
BIOS
LPC
CPU
LS3A
DDR3内存插槽1
备用电源
转换电路
5V SBY电源
HT×16
PCI-E_CLK
时钟转换
电路
PCI-E_CLK
MDI[3..0]±
以太网转换
芯片
PCI-E×1
北桥
PCI-E[4:0]
接口
连接器
PCI-E
连接器
电平
变换电路
PCI-E×16
电源检测
RESET
A-link×4
SATA II
滤波和保
护电路
USB 2.0
南桥
3.3V
5V
电源转换
电路
12V
Super I/O
W83627
LPC
COM-E模块
载板

图 1

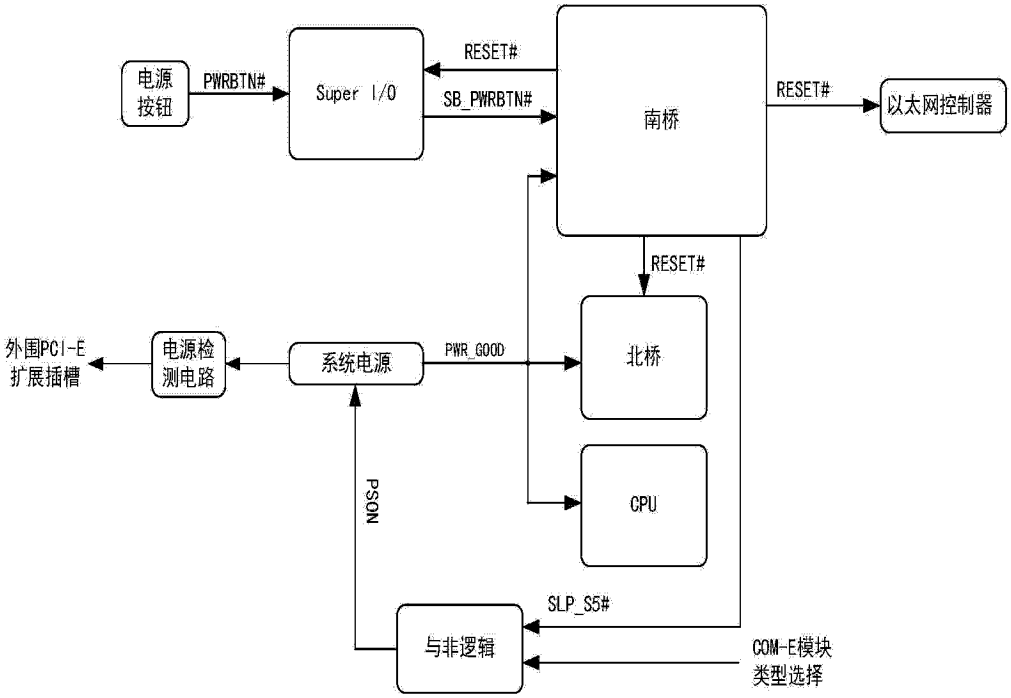

电源
按钮
PWRBTN#
Super I/O
RESET#
SB_PWRBTN#
南桥
RESET#
以太网控制器
RESET#
外围PCI-E
扩展插槽
电源检
测电路
系统电源
PWR_GOOD
北桥
CPU
PSON
SLP_S5#
与非逻辑
COM-E模块
类型选择

图 2