(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
G02F 1/1343
G02F 1/136

(45) 공고일자 2004년12월03일
(11) 등록번호 10-0442898
(24) 등록일자 2004년07월23일

(21) 출원번호 10-1997-0007215
(22) 출원일자 1997년03월05일

(65) 공개번호 10-1997-0066677
(43) 공개일자 1997년10월13일

(30) 우선권주장
96-78346 1996년03월05일 일본(JP)
96-96318 1996년03월26일 일본(JP)
96-113166 1996년04월09일 일본(JP)

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자
히라카타 요시하루
일본 가나가와켄 아쓰기시 하세 306 그레이스 우드 하우스 201

니시 타케시
일본 가나가와켄 아쓰기시 하세 304-1 플랫 셀-에이 303

야마쟈끼 순페이
일본 도쿄 세타가야구 세이죠 4-10-20

푸쿠나가 다케시
일본 가나가와켄 아쓰기시 하세 304-1 플랫 셀-에이 105

(74) 대리인
이병호

심사관 : 고광석

(54) 액정표시장치및그제조방법

요약

기판과 평행한 횡방향 전계에 의해서 액정층을 제어함으로써 화상 표시를 수행하는 액정 표시 장치에서, 횡방향 전계는 블랙 매트릭스와 픽셀 전극에 의해서 형성된다. 즉, 종래에는 별도로 제공되던 공통 전극과 블랙 매트릭스가 공통화된다. 또한, 사이에 제3 절연막이 끼워진채 블랙 매트릭스와 픽셀 라인이 함께 연장되는 영역에서 저장 커패시터가 형성된다. 저장 커패시터는 박막 트랜지스터가 블랙 매트릭스로 덮히는 모든 영역을 사용하여 형성되기 때문에, 미래에 전극 폭과 배선 폭이 감소되더라도 충분한 커패시턴스를 확보할 수 있다.

대표도

도1A 및 도1B

명세서

도면의 간단한 설명

도1A 및 도1B는 본 발명의 제1 실시예에 따른 액정 표시 장치의 픽셀 영역의 구조를 보여주는 평면도.
도2A 내지 도2D, 도3A 및 도3B, 및 도4는 제1 실시예에 따른 액정 표시 장치의 픽셀 영역의 제조방법을 보여주는 단면도.
도5A 및 도5B는 본 발명의 제4 실시예에 따른 액정 표시 장치의 픽셀 영역의 구조를 보여주는 단면도.
도6은 본 발명의 제5 실시예에 따른 액정 표시 장치의 픽셀 영역을 보여주는 평면도.
도7은 본 발명의 제6 실시예에 따른 액정 표시 장치의 픽셀 영역을 보여주는 평면도.
도8A 및 도8B는 섬모양 반도체층의 구조 및 그의 작동을 설명하는 도면.
도9A 내지 도9D는 섬모양 반도체층의 에너지 대역 상태를 설명하는 도면.
도10A 내지 도10E는 게이트에 양 또는 음의 전압이 인가될 때 섬모양 반도체층이 어떻게 해동하는지를 설명하는 단순화된 모형을 보여주는 도면.
도11A 내지 도11C는 본 발명의 제9 실시예 및 제10 실시예에 따라 섬모양 반도체층과 그의 주변의 구조를 보여주는 도면.
* 도면의 주요 부분에 대한 부호의 설명 *
201: 유리 기판 202: 반도체층
203: 산화물막 204: 도전성 피막층
205, 206: 양극 산화물 피막 207: 게이트 전극
208: 소스 영역 209: 드레인 영역
211: 불순물 영역 212: 채널 영역
213: 층간 절연막 215: 제2 층간 절연막
216: 블랙 매트릭스 217: 창
218: 제3 층간 절연막 219: 픽셀 라인
226: 셀 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 결정질 실리콘 박막을 사용하여 형성된 반도체 장치에 의해서 제어되는 액정 표시 장치에 관한 것이다. 본 발명은 MIM, 패시브 매트릭스, 액티브 매트릭스, 및 그밖에 다른 액정 표시 장치에 적용될 수 있다.
최근, 값싼 유리 기판 상에 박막 트랜지스터(TFTs)를 형성하는 기술이 급속도로 발전되고 있다. 이것은 멀티미디어의 표시 매체로서 고해상도 액정 표시 장치에 대한 증가된 요구 때문이다.
예를 들어, 액티브 매트릭스 표시 장치에서, 매트릭스 형태로 정렬된 수백만 개의 각 픽셀들에 박막 트랜지스터가 제공되고, 각 픽셀 전극들로부터 유입 또는 인출되는 전하가 상기 박막 트랜지스터의 스위칭 기능에 의해서 제어된다. 화상표시는 데이터 라인으로부터 공급된 화상 신호에 따라 액정의 전자 광학적 특성을 변경시킴으로써 액정 패널을 관통하는 빛의 양을 조절함으로써 이루어진다. 액정에 인가되는 전압은 다음번 기입때까지 일정하게 유지되는 것이 바람직하기 때문에, 화상 신호 전위는 주어진 시간 동안 저장 커패시터(storage capacitor)에 의해서 유지된다.
상기와 같은 액정 표시 장치의 구동 방법으로서, 평행한 전극 구조가 사용되고 기판과 평행한 전계를 제어하여 장치가 제어되는 IPS 모드가 현재 많은 관심을 끌고 있다.
IPS 모드에 의해서 구동되는 액정 표시 장치는 큰 시야각, 높은 콘트라스트 등을 특징으로 하며, 동일 기판 상의 픽셀 영역에서 박막 트랜지스터, 게이트 라인, 데이터 라인(소스 라인), 픽셀 전극, 공통 라인, 및 그로부터 연장된 공통 전극을 갖는다.
특히, 횡방향 전계에 의해 제어되는 IPS 모드에서, 각 픽셀 전극은 그와 평행하게 정렬된 공통 전극들 사이에 삽입되어 있음으로써, 픽셀 전극에 가해지는 전계가 다른 픽셀들에게 영향을 미치지 않도록 되었다. 그러한 전극들을 위해 특정 영역이 확보되어야 하기 때문에, 픽셀 영역의 개구비(open area ratio)(애퍼처비; aperture ratio), 즉 표시하기 위한 빛을 투과하는 영역의 비가 낮다.
또한, 충분한 전하 유지 시간(charge holding time)을 확보하기 위해서, 액 정 표시는 픽셀 전극에 저장 커패시터가 추가되는 구조를 필요로 한다. 이것은 IPS 모드에 의해 구동되는 액정 표시에 제한되지 않고, 종래의 액정 표시 장치에도 적용할 수 있다.
그러나, 저장 커패시터를 형성하기 위한 전극(커패시턴스 전극)의 제공은 개방 면적비(애퍼처비)를 저하시키기 위한 요소이다. 이러한 관점에서, 게이트 라인과 동일한 레이저로 형성된 커패시턴스 전극이 블랙 매트릭스로서 역할을 하는 기술이 제안되었다(미국 특허 제 5,339,181호), 그러나, 이 기술은 기생 커패시턴스에 관련된 문제 때문에 커패시턴스 전극이 블랙 매트릭스로서 완전하게 역할을 할 수 없다.
픽셀 전극과 공통 전극이 서로 중첩해 있는 영역을 이용하여 상기 언급된 저장 커패시터가 형성되는 또다른 기술이 제안되었다(심사되지 않은 일본 특허공보 평7-36058호). 그러나, 전극 소형화의 정도가 증가함에 따라, 저장 커패시터를 형성하는 영역이 작아져, 필요한만큼의 충분한 커패시턴스를 확보하는 것이 불가능하다. 필요한 커패시턴스를

갖는 저장 커패시터를 형성하려고 시도한다면, 커패시턴스 소자에 의해 점유된 영역이 커지게 되어, 개구비(애퍼처비)를 감소시킬 것이다.
종래에는, 낮은 개구비(애퍼처비)를 보완하기 위해서 후광의 광량을 증가시킴으로써, 화면의 필요한 밝기를 확보하도록 하였다. 그러나, 전력 소모의 증가때문에, 이것은 액정 표시 장치를 포함하는 휴대용 장치들에 대해 큰 장애가 된다.
상술한 바와 같이, 이제는, 개구비(애퍼처비)를 희생시키지 않고 필요한 저장 커패시턴스를 확보할 수 있는 기술이 요구된다. IPS 모드에서 개구비(애퍼처비) 를 개선시키기 위해서, 전극 폭을 1 ~ 2㎛ 보다 작게 감소시키는 것이 요구된다. 미크론이하 또는 더욱 정교한 패터닝 기술이 이미 마련되었지만, 대량 생산에 어려움이 있어, 기술 진보의 지연을 초래하고 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 미세 처리 기술과 잘 부합되는 저장 커패시터를 형성하는 기술을 제안하고, 큰 개구비(큰 애퍼처비)를 갖는 픽셀 영역을 형성하는 기술을 제공하는 것이다.
본 발명의 한 양태에 따라, 두 전극 모두 도전성 재료로 만들어진 픽셀 전극과 공통 전극(여기서, 공통 전극은 블랙 매트릭스이다)을 포함하는 제1 기판과; 제1 기판에 대향한 제2 기판; 및 제1 기판과 제2 기판 사이에 유지되고, 픽셀 전극과 공통 전극 사이에 형성된 전계으로서 상기 기판과 평행한 성분을 갖는 전계에 의해서 구동되는 액정층을 포함하는 액정 표시 장치가 제공된다.
본 발명의 또 다른 양태에 따라, 유기 수지 재료 또는 무기 재료로 만들어진 제2 층간 절연막, 제2 층간 절연막 위에 형성된 픽셀 라인 및 상기 픽셀 라인으로부터 연장된 픽셀 전극, 및 제3 층간 절연막 및 블랙 매트릭스인 공통 전극을 포함하는 제1 기판과; 상기 제1 기판에 대향한 제2 기판과; 제1 기판과 제2 기판 사이에 유지되고, 픽셀 전극과 공통 전극 사이에 형성된 전계(여기서, 전계는 상기 기판들에 평행한 성분을 갖는다)에 의해서 구동되는 액정층; 및 블랙 매트릭스와 픽셀 라인의 적어도 부분(부분이란, 사이에 포개어진 제3 층간 절연막과 함께 제2 층간 절연막 위에 연장된다)에 의해서 형성된 저장 커패시터를 포함하는 액정 표시장 치가 제공된다.
본 발명의 또다른 양태에 따라, 유기 수지 재료 또는 무기 재료로 만들어진 제2 층간 절연막, 픽셀 라인 및 제2 층간 절연막 위에 형성된 픽셀 라인으로부터 연장된 픽셀 전극, 및 제3 층간 절연막, 블랙 매트릭스인 공통 전극 및 커패시터 형성 전극을 포함하는 제1 기판과; 제1 기판과 제2 기판 사이에 유지되고, 픽셀 전극과 공통 전극 사이에 형성된 전계(여기서, 전계는 상기 기판들에 평행한 성분을 갖는다)에 의해서 구동되는 액정층; 및 사이에 포개어진 제3 층간 절연막과 함께 제2 층간 절연막 위로 연장된, 픽셀 라인과 커패시터 형성 전극의 적어도 일부에 의해서 형성된 저장 커패시터를 포함하는 액정 표시 장치가 제공된다.
본 발명은 MIM, 패시브 매트릭스, 액티브 매트릭스, 및 그와 유사한 액정 표시 장치에 적용될 수 있다. 또한, 본 발명을 이용하여 분산형(dispersion-type) 액정 표시 장치를 구성할 수 있다. 이 경우에는 제2 기판이 필요하지 않다.
본 발명은 장차 진행될 배선과 전극 폭의 감소를 고려하여 이루어진 것이다. 본 발명의 기술은 마이크로프로세싱을 필요로 하는 액정 표시 장치를 제조할 때 특히 효과적이다.
본 발명의 또다른 양태에 따라, 동일한 액티브 매트릭스 기판 상에 매트릭스 형태로 정렬된 게이트 라인들과 데이터 라인들, 상기 게이트 라인들과 데이터 라인들의 각 교차부에 형성된 박막 트랜지스터들, 각 박막 트랜지스터에 접속된 픽셀 라인들과 상기 각 픽셀 라인으로부터 연정된 픽셀 전극들, 및 각 픽셀 전극에 적어도 부분적으로 대향하는 공통 전극(여기서, 공통 전극은 블랙 매트릭스이다)을 포 함하는 액티브 매트릭스 기판과; 액티브 매트릭스 기판에 대향하는 대향 기판과, 상기 액티브 매트릭스 기판과 대향 기판 사이에 유지되고, 픽셀 전극과 공통 전극 각각의 사이에 형성된 전계(여기서, 전계는 기판들과 평행한 성분을 갖는다)에 의해서 구동되는 액정층을 포함하는 액정 표시 장치가 제공된다.
본 발명의 또다른 양태에 따라, 동일한 액티브 매트릭스 기판 상에 매트릭스 형태로 정렬된 게이트 라인과 데이터 라인, 상기 게이트 라인과 데이터 라인의 각 교차부에 형성된 박막 트랜지스터, 박막 트랜지스터 위에 형성된 제2 층간 절연막과 제3 층간 절연막, 각 픽셀 라인으로부터 연장된 각 박막 트랜지스터와 픽셀 전극에 연결된 픽셀 라인, 및 각 픽셀 전극에 적어도 부분적으로 대향한 공통 전극(여기서, 공통 전극은 블랙 매트릭스이다)을 포함하는 액티브 매트릭스 기판과; 상기 액티브 매트릭스 기판과 대향 기판 사이에 유지되고, 픽셀 전극과 공통 전극 각각의 사이에 형성된 전계(여기서, 전계는 기판들과 평행한 성분을 갖는다)에 의해서 구동되는 액정층; 및 블랙 매트릭스와 픽셀 라인의 적어도 일부(여기서, 일부는 사이에 포개어진 제3 층간 절연막과 함께 제2 층간 절연막 위에서 연장된다)에 의해서 형성된 저장 커패시터를 포함하는 액정 표시 장치가 제공된다.
본 발명의 또다른 양태에 따라, 동일한 액티브 매트릭스 기판 상에 매트릭스 형태로 정렬된 게이트 라인과 데이터 라인, 상기 게이트 라인과 데이터 라인의 각 교차부에 형성된 박막 트랜지스터, 박막 트랜지스터 위에 형성된 제2 층간 절연막과 제3 층간 절연막, 각 픽셀 라인으로부터 연장된 각 박막 트랜지스터와 픽셀 전극에 연결된 픽셀 라인, 각 픽셀 전극에 적어도 부분적으로 대향한 공통 전극(여기 서, 공통 전극은 블랙 매트릭스이다), 및 상기 픽셀 라인 및 픽셀 전극과 상이한 층에 형성된 커패시터 형성 전극을 포함하는 액티브 매트릭스 기판과; 상기 액티브 매트릭스 기판과 대향 기판 사이에 유지되고, 픽셀 전극과 공통 전극 각각의 사이에 형성된 전계(여기서, 전계는 기판들과 평행한 성분을 갖는다)에 의해서 구동되는 액정층; 및 블랙 매트릭스와 픽셀 라인의 적어도 일부(여기서, 일부는 사이에 포개어진 제3 층간 절연막과 함께 제2 층간 절연막 위에 연장된다)에 의해서 형성된 저장 커패시터를 포함하는 액정 표시 장치가 제공된다.

위의 구성에서, 픽셀 전극에 인가된 전압을 제어하는 박막 트랜지스터는 활성층, 비결정질 실리콘막 또는 결정질 실리콘막(폴리실리콘막)으로서 사용할 수 있다.
픽셀 영역이 높은 응답 속도를 갖는 것이 요구될 경우, 고속 동작을 필요로 하는 구동 회로가 구성되고자 할 경우, 또는 그와 유사한 경우에, 활성층으로서 결정질 실리콘막을 사용하는 박막 트랜지스터를 사용하는 것이 바람직하다.
결정질 실리콘막을 활성층으로서 사용하는 박막은 비결정질 실리콘막을 사용한 것에 비해서 전기적 특성이 우수하다. 예를 들면, n-채널 박막 트랜지스터의 경우에 전계 효과 이동도(field effect mobility)는 20 $cm^2/V \cdot s$ 이상이고, p-채널 박막 트랜지스터의 경우에는 10 $cm^2/V \cdot s$ 이상이다.
본 발명의 또다른 양태에 따라, 동일한 액티브 매트릭스 기판 상에 매트릭스 형태로 정렬된 게이트 라인들과 데이터 라인들, 상기 게이트 라인들과 데이터 라인 들의 각 교차부에 형성되고 결정질 실리콘막을 활성층으로서 각각 갖는 박막 트랜지스터들, 상기 박막 트랜지스터들 위에 형성된 제2 층간 절연막, 상기 까 박막 트랜지스터에 접속된 픽셀 라인들 및 상기 각 픽셀 라인으로부터 연장된 픽셀 전극들, 및 각 픽셀 전극에 적어도 부분적으로 대향한 공통 전극(여기서, 공통 전극은 블랙 매트릭스이다)을 포함하는 액티브 매트릭스 기판과; 상기 액티브 매트릭스 기판과 대향하는 대향 기판; 및 상기 액티브 매트릭스 기판과 대향 기판 사이에 유지되고, 픽셀 전극과 공통 전극 각각의 사이에 형성된 전계(여기서, 전계는 액티브 매트릭스 기판과 평행한 성분을 갖는다)에 의해서 구동되는 액정층을 포함하는 액정 표시 장치의 제조방법에 있어서,
상기 게이트 라인들을 덮는 제1 층간 절연막과, 상기 데이터 라인들을 덮도록 유기 수지 재료 및/또는 무기 재료로 만들어진 제2 층간 절연막을 형성하는 단계와; 제2 층간 절연막 상에 블랙 매트릭스를 형성하는 단계와; 상기 블랙 매트릭스를 덮도록 제3 층간 절연막을 형성하는 단계와; 제 2 및 제3 층간 절연막을 통하는 접촉홀들을 형성하는 단계; 및 제3 층간 절연막 상에 픽셀 라인들 및 상기 각 픽셀 라인으로부터 연장되는 픽셀 전극들을 형성하는 단계를 포함하는 액정 표시 장치의 제조방법이 제공된다.
본 발명의 또다른 양태에 따라, 동일한 액티브 매트릭스 기판 상에 매트릭스 형태로 정렬된 게이트 라인들과 데이터 라인들, 상기 게이트 라인들과 데이터 라인들의 각 교차부에 형성되고 결정질 실리콘막을 활성층으로서 각각 갖는 박막 트랜지스터들, 상기 박막 트랜지스터들 위에 형성된 제2 층간 절연막, 상기 각 박막 트 랜지스터에 접속된 픽셀 라인들 및 상기 각 픽셀 라인으로부터 연장되는 픽셀 전극들, 및 각 픽셀 전극에 적어도 부분적으로 대향한 공통 전극(여기서, 공통 전극은 블랙 매트릭스이다)을 포함하는 액티브 매트릭스 기판과; 상기 액티브 매트릭스 기판과 대향하는 대향 기판; 및 상기 액티브 매트릭스 기판과 대향 기판 사이에 유지되고, 픽셀 전극과 공통 전극 각각의 사이에 형성된 전계(여기서, 전계는 기판들과 평행한 성분을 갖는다)에 의해서 구동되는 액정층을 포함하는 액정 표시 장치의 제조방법에 있어서,
각 저장 커패시터는 블랙 매트릭스와 픽셀 라인의 적어도 일부(여기서, 일부는 사이에 포개어진 제3 층간 절연막과 함께 제2 층간 절연막 위에 연장된다)에 의해서 형성되고, 게이트 라인을 덮는 제1 층간 절연막과 데이터 라인을 덮도록, 유기 수지 재료 및/또는 무기 재료로 만들어진 제2 층간 절연막을 형성하는 단계와; 제 2 층간 절연막을 관통하는 접촉홀을 형성하는 단계와; 픽셀 라인과 픽셀 전극을 덮기 위해서 각 픽셀 라인으로부터 연장되는 픽셀 라인과 픽셀 전극을 제2 층간 절연막 위에 형성하는 단계와; 픽셀 라인과 픽셀 전극을 덮기 위해서 제3 층간 절연막을 형성하는 단계; 및 제3 층간 절연막 위에 블랙 매트릭스를 형성하는 단계를 포함하는 액정 표시 장치의 제조방법이 제공된다.
본 발명의 기술적 수단의 주요 포인트 중의 하나는 블랙 매트릭스와 공통 전극의 공통화에 있다는 것이다. 공통 전극과 실질적으로 동일한 기능을 갖는 블랙 매트릭스와 픽셀 라인으로부터 연장된 픽셀 전극 사이에 횡방향 전계가 형성된다.
또한, 그러한 평행한 전극 구조를 갖는 액정 표시 장치에서, 저장 커패시터 는 박막 트랜지스터에 연결된 픽셀 라인과 블랙 매트릭스에 의해서 형성된다.
종래에는 개별 부재로 여기던 블랙 매트릭스와 공통 전극을 공통화하는 생각은 완전히 새로운 것이며, 블랙 매트릭스와 픽셀 라인에 의한 저장 커패시터의 형성은 위에서 언급했던 일본 특허공보 평7-36058에 기재된 기술과 완전히 다른 것이다.
본 발명의 또다른 중요한 특징은, 제조방법이 블랙 매트릭스와 공통 전극을 공통화함으로써 크게 단순화될 수 있다는 것이다.
도1A 및 도1B는 본 발명에 따른 액정 표시 장치의 픽셀 영역의 평면도이다. 도1A에서, 참고번호 (101) 및 (102)는 각각 화상 신호를 전송하기 위한 데이터 라인과 게이트 신호를 전송하기 위한 게이트 라인을 의미한다. 도1A에서, 게이트 라인(101) 및 데이터 라인(102)은 블랙 매트릭스 하에 존재하기 때문에 점선으로 표시하였다.
게이트 라인(101) 및 데이터 라인(102)은 동일 기판 상에 매트릭스 형태로 정렬되고, 박막 트랜지스터는 이 라인들의 각 교차부에 위치한다. 참고번호 (103)은 박막 트랜지스터의 활성층을 구성하는 반도체층을 의미한다. 도1A 및 도1B에 도시된 블랙 매트릭스(104)는 게이트 라인(101), 데이터 라인(102), 및 반도체층(103) 위에 형성됨으로써, 이들 부재를 덮도록 되어 있다.
데이터 라인(102) 및 블랙 매트릭스(104)는 0.1 내지 5.0㎛ 두께의 제2 층간 절연막에 의해서 서로로부터 절연된다. 제2 층간 절연막은 유기 또는 무기 재료로 만들어진다.
또한, 그들로부터 연장된 픽셀 라인(106) 및 픽셀 전극(106)은 제3 층간 절연막을 통해서 블랙 매트릭스(104) 위에 형성된다. 도1B는 픽셀 라인(105)과 픽셀 전극(106)이 도1A의 구조 위에 놓임을 보여준다.
픽셀 라인(105) 및 픽셀 전극(106)은 도1B의 일체 부품을 구성하지만, 본 발명자들은 그들의 기능에 기초해서 그 부재들 사이를 명확히 구분한다. 즉, 픽셀 전극(106)은 픽셀 라인(105)으로부터 픽셀 영역으로 연장되는 부분(즉, 블랙 매트릭스(104)의 개구)으로서 정의된다.

즉, 픽셀 라인(105)은 블랙 매트릭스(104)를 갖는 저장 커패시터를 형성하기 위해서 제공되는 반면, 픽셀 전극(106)은 그 자신과 블랙 매트릭스(104) 사이의 횡방향 전계를 형성하기 위해서 제공되기 때문에, 픽셀 라인(105)과 픽셀 전극(106)은 완전히 상이하다.
위 구조에서, 저장 커패시터는, 블랙 매트릭스(104)와 픽셀 라인(105)이 서로와 중첩하는 영역 사이에서 포개진 제3 층간 절연막과 함께 픽셀 라인(105)과 블랙 매트릭스(104)에 의해서 형성된다. 제3 층간 절연막은 제2 층간 절연막보다 상대 유전 상수가 더 큰 절연막으로 구성될 필요가 있다.
도1B에 도시된 바와 같이, 저장 커패시터는, 픽셀 전극(106)이 블랙 매트릭스(104) 위에 존재하는 작은 영역에서 위와 경우와 동일한 방법으로 형성되지만, 그것은 전극 폭을 감소시킴으로써 개구비(애퍼처비)를 개선시키는 경우에 사실상 무시될 수 있으며, 이것은 본 발명의 주요 포인트 중의 하나이다.
액정을 구동하기 위한 도1B의 화살표로 나타낸 횡방향 전계는 픽셀 전극(106)과 블랙 매트릭스(104) 사이에 형성된다.

발명의 구성 및 작용

다양한 실시예를 들어, 위에 요약된 본 발명을 아래에 설명하고자 한다.
실시예 1
이 실시예는, 본 발명을 이용함으로써, 도1A 및 도1B의 구조를 갖는 픽셀 영역을 형성하는 경우에 관한 것이다. 이 실시예는 도1B의 라인(A-A') 및 (B-B')을 따라 취해진 단면도를 참고하여 설명한다.
도2A 내지 도2D, 도3A 및 도3B, 및 도4는 도1A 및 도1B에 도시된 픽셀 영역을 구성하는 픽셀 TFT의 제조방법을 보여준다. 먼저, 유리 기판(201) 위에 형성된 언더코트 막으로서의 2,000Å 두께의 절연막 위에 150 내지 500Å 두께의 비결정질 실리콘막(도시되지 않음)을 형성한다. 절연막은 실리콘 산화물(SiO_2)막, 실리콘 산화질화물(SiO_xN_y)막, 실리콘 질화물(SiN)막, 또는 플라즈마 CVD, 저압 열 CVD, 스퍼터링, 등에 의해서 형성된 그밖에 다른 막일 수 있다.
다음에, 비결정질 실리콘막(도시되지 않음)은 예를 들면, 가열 또는 레이저 어닐링에 의해서, 또는 이 두 가지 모두에 의해서 결정화시킨다.
결정화가 완료되면, 생성되는 결정질 실리콘막(도시되지 않음)을, 활성층을 구성할 섬모양 반도체층(202)으로 패턴을 뜬다.
다음에, 1,200Å 두께의 실리콘 산화물막(203)이 형성되어, 게이트 절연막으로 작용할 것이다. 대신에, 실리콘 산화질화물막 또는 실리콘 질화물막이 형성될 수 있다.
다음에, 도전성 피막층(204)을 2,000 내지 2,500Å 두께로 형성한다. 이 실시예에서, 0.2중량%의 스칸디늄을 함유하는 알루미늄막이 형성된다. 스칸디늄은 열처리 등을 할 때 알루미늄 표면에 힐록 및 휘스커와 같은 돌출물들이 형성되는 것을 방지하는 기능을 한다. 알루미늄막(204)은 게이트 라인 및 게이트 전극으로서 역할을 한다.
그렇게 하여, 도2A에 나타낸 상태를 얻는다. 이 상태에서, 각각 양극과 음극으로서 사용된 알루미늄막(204)과 백금을 사용한 전해액에서 산화 피막 처리를 수행한다. 전해액은 3% 타르타르산을 함유하는 에틸렌 글리콜 용액을 암모니아 수용액으로 중화시켜서 얻어진 것이다. 제형 전류 및 최종 전압은 각각 5mA와 10V이다.
생성되는 묽고 농후한 양극 산화막(도시되지 않음)은 패턴 만들 때 알루미늄막(204)에 대한 감광성 절연막의 접착성을 개선하는 효과를 갖는다. 양극 산화물막의 두께는 전압인가 시간에 의해서 조절할 수 있다.
다음에, 알루미늄막(204)은 게이트 전극(207)이 될 패턴으로 본뜬다. 즉, 그 패턴은 내부만이 최종적으로 실제 게이트 전극(207)으로서 역할을 하도록 남아 있을 것이다.
다음에, 두 번째 산화 피막 처리를 수행하여 다공성 양극 산화물막(205)을 형성한다(도2B참조). 3% 옥살산 수용액을 전해액으로서 사용하고, 백금은 음극으로서 사용된다. 제형 전류 및 최종 전압은 각각 2 내지 3mA와 8V로 설정한다. 이 산화 피막 처리는 기판(201)과 평행하게 진행한다. 다공성 양극 산화물막(205)의 길 이는 전압인가 시간에 의해서 조절될 수 있다.
전용 박리액(박리만을 전용하는 액체)을 사용하여, 알루미늄막(204)을 본뜨기 위해서 사용된 감광성 절연막을 제거한 후, 세 번째 산화 피막 처리를 수행하여, 도2B의 상태를 얻는다.
이 산화 피막 처리에서, 전해액은 3% 타르타르산을 함유하는 에틸렌 글리콜 용액을 암모니아 수용액으로 중화시켜서 얻어진 것이다. 음극으로서는 백금을 사용한다. 제형 전류 및 최종 전압은 각각 5 내지 6mA 및 40 내지 100V이다. 매우 농후한 생성되는 양극 산화물막(206)은 게이트 전극(207)이 손상되지 않도록 보호해 주고 도핑 단계와 같은 후속 단계에서 열에 의해서 손상되지 않도록 보호해 주는 기능을 한다. 양극 산화물막(206)의 두께는 500 내지 1,500Å이다.
다음에, 다음과 같은 방법으로, 이온 도핑에 의해서 섬모양 반도체층(202)에 불순물을 주입한다. 예를 들면, 불순물로서 P^+ 이온을 주입하여, n-채널 TFT를 형성하고, B^+ 이온을 주입하여 p-채널 TFT를 형성한다.
이 실시예에서는, 도2B의 상태에서 80kV의 가속 전압과 $1\times10^{15}\ cm^{-2}$ 의 양으로, P^+ 이온을 주입하기 위해 첫 번째 이온 도핑을 수행한다. 그 결과, 소스와 드레인이 될 영역(208) 및 (209)는 마스크로서 역할을 하는 다공성 양극 산화물막(205)과 게이트 전극(207)으로 자기정렬된 방법으로 형성된다(도2C 참조).
다음에, 도2C에 도시된 바와 같이, 다공성 산화물막(205)의 제거 후, 80kV의 가속 전압과 $1\times10^{14}\ cm^{-2}$ 의 양으로 P^+ 이온을 주입하기 위해 두 번째 이온 도핑을 수행한다. 그 결과, 소스 및 드레인 영역(208 및 209)보다 낮은 농도를 갖는 저농도 불순물 영역(210 및 211)은 마스크로서 역할을 하는 게이트 전극(207)이 함께 자기정렬된 방법으로 형성된다. 동시에, 게이트 전극(207) 바로 아래에 위치하는 영역으로는 불순물이 주입되지 않았기 때문에, TFT의 채

널로서 역할을 하는 영역(212)이 자기정렬된 방법으로 형성된다.
그렇게 형성된 LDD 영역이라 부리는 저농도 불순물 영역(211)은 채널 영역(212)과 드레인 영역(209) 사이에 강한 전계가 형성되는 것을 억제하는 기능을 한다.
다음에, 주입된 P^+ 이온은 200 내지 300mJ/cm의 KrF 엑시머 레이저광을 사용한 발광에 의해서 활성화된다. 별법으로는, 300 내지 450℃의 열 어닐링을 2시간 동안 시키거나, 레이저 어닐링과 열 어닐링을 함께 하여 활성화시켜도 된다.
다음에, 플라즈마 CVD에 의해서 제1 층간 절연막(213)을 형성한다. 그것은 실리콘 산화물막, 실리콘 산화질화물막 또는 실리콘 질화물막일 수 있다. 이 실시예에서, 제1 층간 절연막(213)의 두께는 0.5㎛로 설정된다.
이 상태에서, 층간 절연막(213)을 통해서 소스 영역(208)을 위한 접촉홀을 형성하고, 다음에 3,000Å 두께의 알루미늄막을 형성한다(도시되지 않음). 다음에, 알루미늄막을 소스 라인(도시되지 않음) 및 그로부터 연장되는 소스 전극(214)으로 본뜬다.
다음에, 0.1 내지 5.0㎛m 두께로 제2 층간 절연막(215)을 형성하여, 소스 전극(214)을 덮도록 한다(도3A참조). 이 실시예에서, 제2 층간 절연막(215)의 두께는 1.5㎛m으로 정한다.
제2 층간 절연막(215)은 유기 수지 재료 또는 무기 재료로 만들 수 있다. 이 실시예에서는, 상대 유전 상수가 2.8 내지 3.4로 적은 투명한 폴리이미드의 유기 수지 재료를 사용한다.
그러한 유기 수지 재료를 사용하면, 간단하면서도 용이하게 피막이 형성되므로, 충분한 두께를 쉽게 얻을 수 있다. 따라서, 장치 형상에 따라 거칠기를 감소시킴으로써 평활도가 우수한 표면을 제공할 수 있다. 즉, 제2 층간 절연막(215)은 평면화 막으로서 역할을 하기도 한다.
또한, 고도의 탄성인 유기 수지 재료로 만들어진 제2 층간 절연막(215)은 나중에 액정 표시 장치를 조립하는 동안 스페이서로부터 나타난 압력 때문에 박막이 파단되는 것을 방지한다.
또한, 이 실시예에서, 두꺼운 제2 층간 절연막(215) 위에 저장 커패시터가 형성되기 때문에, 전극간 회로 단선을 방지할 수 있다.
다음에, 제2 층간 절연막(215) 위에 블랙 매트릭스(216)로서의 1,000Å 두께의 티타늄막을 형성한다. 원래, 크롬막 또는 알루미늄막과 같은 다른 금속막이 사용된다(도3A 참조).
이때, 나중에 접촉홀 형성을 위해 드레인 영역(209) 내의 블랙 매트릭스(216)에 창(217)을 형성할 필요가 있다.
픽셀 라인(219)은 블랙 매트릭스(216) 아래에 위치한 드레인 전극(209)에 연결되도록 형성될 것이기 때문에, 어느 정도의 여유를 가지고 형성되어야 한다. 창(217)이 접촉홀이 형성될 블랙 매트릭스(216)의 주변부에 일정한 여유를 갖지 않고 형성된다면, 블랙 매트릭스(216)와 픽셀 라인(219)은 서로와의 회로가 단선되어, 저장 커패시터의 형성을 불가능하게 할 것이다.
도3A의 상태가 일단 얻어지면, 블랙 매트릭스(216)를 덮도록, 제2 층간 절연막(215)보다 더 큰 상대 유전 상수를 갖는 유기 수지 재료 또는 무기 재료를 사용하여, 0.01 내지 1.0㎛m 두께로 제3 층간 절연막(218)을 형성한다.
다음에, 드레인 전극(209)을 위한 접촉홀이 형성된 후에, 픽셀 라인(219)과 픽셀 전극(220)으로서 1,000 내지 1,200Å 두께의 도전성 막이 형성된다. 픽셀 라인은 가능한 한 큰 면적에 블랙 매트릭스(216)와 중첩하도록 하는 형상으로 되어 있다.
제3 층간 절연막(218)의 표면은 평활도가 우수하기 때문에, 그 위에 형성된 픽셀 전극(220)과 픽셀 라인(219)은 우수한 평활도를 나타내며, 따라서, 액정에 대한 인가 전압의 장애의 정도를 저하시키고 셀 조립시 문지름 실수의 발생율을 감소시킬 수 있다.
위의 과정의 결과로서, 도3B에 나타낸 픽셀 TFT가 얻어진다. 도3B는 도1B의 쇄선 A-A'을 따라 취해진 단면도이다. 도3B의 점선으로 둘러싸인 영역(221)에서, 픽셀 라인(219)과 블랙 매트릭스(216)는 그 사이에 포개진 제3 층간 절연막(218)과 함께 연장되어, 저장 커패시터를 형성한다. 그 저장 커패시터의 커패시턴스는 제3 층간 절연막(218)의 상대 유전 상수에 비례하고, 그의 두께에 역비례한다.
따라서, 블랙 매트릭스(216)와 픽셀 라인(219)의 중첩 면적과, 제3 층간 절연막(218)의 두께와 상대 유전 상수를 계산함으로써 원하는 커패시턴스를 갖는 저장 커패시터를 설계할 수 있다.
덧붙여 말하면, 투명한 폴리이미드로 만든 제2 층간 절연막은 작은 상대 유전 상수를 갖고, 0.1 내지 5.0㎛m의 두께를 제공하기 때문에, 블랙 매트릭스(216)와 게이트 전극(207) 또는 소스 전극(214) 사이에 형성된 기생 커패시턴스는 실질적으로 무시될 수 있다.
도4는 도1B의 라인 B-B'를 따라 취해진 단면도이다. 도4에서, 참고번호(401)은 게이트 절연막을 의미하며, (402)는 제1 층간 절연막을 의미하고, 403은 화상 신호를 전송하는 데이터 라인을 의미한다. 데이터 라인(403)의 측면과 상부에 형성된 양극 산화물막(404)은 도2B에 도시된 양극 산화물막(206)과 동일하며, 다른 전극 배선과의 회로 단선되는 것을 방지하는 기능을 갖는다.
제2 층간 절연막(405)은 블랙 매트릭스(406)로부터 데이터 라인(403)을 완전히 절연시킨다. 제2 층간 절연막(405)은 두껍고 위에 설명한 바와 같이 작은 상대 유전 상수를 갖기 때문에 데이터 라인(403)과 블랙 매트릭스(406) 사이에 기생 커패시턴스가 거의 형성되지 않는다.
제3 층간 절연막(407)은 블랙 매트릭스(406)를 덮을 수 있도록 형성도고, 픽셀 전극(408)은 그 위에 형성된다. 픽셀 전극(408)의 형성 후에 보호막을 형성해도 된다. 원래, 도4의 단면에는 저장 커패시터가 형성되지 않는다.
이 실시예에서, 액정 표시 장치의 조립은 상기 언급된 구조 위에 기초막을 형성하는 것으로부터 시작하고, 그 위를 문지른다. 픽셀 전극과 공통 전극 사이로 전개되는 횡방향 전계의 방향에 대한 문지르는 방향은, 액정 재료가 유전 상수에서 양의 이방성을 갖는지 음의 이방성을 갖는지에 따라서 다양하다.

이 실시예에서, 유전 상수에서 음의 이방성을 갖는 시아노 타입 네마틱(TN)액정이 사용된다. 액정이 횡방향 전계에 의해서 구동될 경우, 유전 상수에서 음의 이방성을 갖는 액정 재료가 넓은 시각도의 이점을 제공한다. 왜냐면 그것은 기판에 수직인 전계에 의해서 거의 영향을 받지 않기 때문이다.
이 실시예에서, 액정은 전계가 없는 상태에서 전계 방향과 수도 내지 10도의 각도를 형성하도록 배향된다. 이 배향은 투과의 우수한 전압 의존도를 제공한다. 경사 각도는 3도가 바람직하며, 더욱 바람직하기로는 0.5도이다.
문지름 동작 후에, 스페이서, 밀폐 부재 등을 배치하고 두 기판 사이에 액정을 주입한 다음, 입구를 막아서 밀폐시킨다. 그렇게 하면, 액정 표시 장치가 완성된다.
화상 표시는 블랙 매트릭스(406)와 픽셀 전극(408) 사이에 형성된 횡방향 전계를 사용하여 액정의 광학 특성을 변경시킴으로써 수행된다.
이 실시예의 이점을 아래에 기술하였다.
첫째, 선행 기술에서와 다른 부분인 공통 전극과 블랙 매트릭스의 공통화는 필요한 패턴 마스크의 수를 감소시킴으로써, 제조 과정을 단순화한다. 공통 전극과 블랙 매트릭스를 따로 형성할 필요가 없다는 것은 전극 형성 영역의 감소, 즉, 개구비(애퍼처비)의 증가를 의미한다.
블랙 매트릭스와 픽셀 라인에 의해 커패시터를 형성하는 구조는 배선과 전극의 폭을 감소시키는 것을 충분히 수용하는 것이며, 이것은 미래의 설계 동향이다. 이것은, 배선과 전극의 폭이 감소된 만큼 저장 커패시터를 형성하는 영역이 감소된 종래의 구조와 반대로, 박막 트랜지스터를 덮는 영역에서 저장 커패시터가 주로 형성되기 때문에, 이 실시예는 소형화에 의해서 너무 많이 영향받지 않았기 때문이다.
특히, 픽셀 전극의 폭은 1㎛ 미만까지 감소시킬 것이라는 징조가 있지만, 이 실시예의 저장 커패시턴스는 픽셀 전극을 사용하지 않기 때문에 그러한 경향에 의해서 영향받지 않는다.
요약하면, 블랙 매트릭스와 공통 전극을 공통화하고, 블랙 매트릭스와 픽셀 라인에 의해서 저장 커패시터를 형성함으로써, 저장 커패시터를 형성하기 위한 영역을 결정하는 자유도는 증가하고, 필요한 커패시턴스는 쉽게 확보될 수 있다.
종래에는, 공통 전극을 게이트 전극과 동시에 형성하여, 공통 전극과 픽셀 전극 사이에 높이 차이가 크게 한다. 이것은 전극간 거리(도4에서 X)가 작을 때 전계가 비스듬하게 형성되는 문제를 유발할 것이다.
그러나, 이 실시예에서, 실질적으로 동일한 평면에 제2 층간 절연막(405) 위에 형성된 픽셀 전극(408)과 블랙 매트릭스(406)에 의해서 횡방향 전계가 형성되기 때문에, 전극간 거리에 무관하게 기판들과 평행인 전계를 액정에 적용할 수 있다.
또한, 픽셀 전극(219)은 도3B에 도시된 바와 같이 기준 전원 공급 전압을 갖는 블랙 매트릭스를 통해서 게이트 라인과 소스 라인과 대면하기 때문에, 전극과 라인의 신호들 사이의 혼선이 거의 일어나지 않는다.
또한, 블랙 매트릭스(216)는 기준 평면의 기능과 효과를 제공할 것으로 기대된다. 즉, 블랙 매트릭스(216)는 밑에 있는 게이트 라인과 데이터 라인에 대해 기준면으로서 작용함으로써, 라인 배선의 임피던스를 균일화한다.
반면, 배선의 임피던스는 블랙 매트릭스(216)와 배선 사이의 거리와 그 배선을 둘러싼 유전체의 종류에 의해서 결정되기 때문에, 이들 매개변수를 적당히 결정함으로써 원하는 배선 임피던스를 얻을 수 있다.
블랙 매트릭스가 비교적 큰 투과율을 갖는 도전성 재료로 만들어질 경우(즉, 블랙 매트릭스가 빛을 충분히 차단하지 않을 경우), 블랙 매트릭스와 같은 영역에 또다른 블랙 수지막을 형성함으로써 투과율을 감소시킬 수 있다. 블랙 수지 재료로 만든 제2 블랙 매트릭스는 박막 트랜지스터측 또는 대향하는 기판측 위에 형성될 수 있다.

실시예 2

픽셀 영역과 구동 회로 영역이 동일한 기판 위에 통합하면, 구동 TFTs와 픽셀 TFTs는 동시에 형성된다. 예를 들면, 기판이 액티브 매트릭스 액정 표시 장치내에 실장된다고 가정하면, n-채널 TFT와 p-채널 TFT가 보완 방법으로 조합된 CMOS 구조를 구동 회로에 사용한다. 실시예1에서 설명한 픽셀 TFTs를 픽셀 영역에 사용해도 된다.
기본적으로, 구동 TFTs는 픽셀 TFTs와 동일한 방법으로 형성된다. 즉, 드레인 전극은 소스 전극(214)이 실시예1에서 도2D의 단계에서 형성될 때와 동시에 형성된다.
목적에 따라서 블랙 매트릭스 영역을 설계할 수 있다. 블랙 매트릭스 영역은 픽셀 영역에만 형성되거나, 또는 픽셀 영역과 구동 회로 영역 모두에 형성될 수 있다.
예를 들면, 구동 회로 영역 내의 기생 커패시턴스를 감소시키는 것이 중요하며, 블랙 매트릭스는 구동 회로 위에 형성되지 않는다. 마찬가지로, 픽셀 영역 내의 기생 커패시턴스를 감소시키는 것이 중요하며, 블랙 매트릭스는 그의 부분으로서 배선을 사용하여 배선 위로부터 생략할 수도 있다.
고속으로 작동할 필요가 있는 구동 회로에서 신호 반사가 없는 고도로 신뢰성 있는 구조를 형성하는 것이 중요하며, 블랙 매트릭스는 기준면으로서 역할을 하는 픽셀 영역뿐만 아니라 구동 회로에서 형성될 수도 있다. 그러한 경우일지라도, 제2 층간 절연막은 두껍고 작은 상대 유전 상수를 갖는다면 기생 커패시턴스를 최소화시킬 수 있다.

실시예 3

이 실시예는 실시예 1의 제3 층간 절연막으로서 질화물막을 형성하는 경우에 관한 것이다. 이 실시예에서 픽셀 영역의 단면 구조는 실시예1과 같기 때문에, 이 실시예에서는 설명하지 않는다.
질화물막은 AlN(알루미늄 질화물), AlN_xO_y (알루미늄 산화질화물), Si_3N_4 (실리콘 질화물), 및 SiO_xN_y (실리콘 산화질화물)로부터 선택된 재료로 만들어진 절연막중 하나 또는 다수 개로 구성될 수 있다. 제3 절연막의 두께는 0.01 내지 1.0㎛으로 정할 수 있다.
이 실시예에서, 0.2㎛ 두께의 실리콘 질화물(Si_3N_4)막이 형성된다. 이 실리콘 질화물막은 SiH_4 가스, NH_3 가스 및 H_2 가스를 형성하는 막을 사용하여 형성되기 때문에, 그 막은 수소를 함유하고, 그에 의해서 막 응력이 감소된다.

이 실시예에서, 저장 커패시터는, 픽셀 라인(105)과 블랙 매트릭스(104) 사이에 포개어진 제3 층간 절연막으로서 실리콘 질화물과 함께 연장되도록 형성된다(도1B).

이 실시예에서의 질화물막을 형성하는 것은 제3 층간 절연막처럼 다음과 같은 세 가지 이점을 제공한다.

첫 번째 이점은 질화물막의 패시베이션 효과이다. 예를 들면, 실리콘 질화물(Si_3N_4)막은 농후하므로, 외부 오염 등으로부터 장치를 보호하기 위한 보호막(패시베이션막)으로서 널리 사용된다.

두 번째 이점은 질화물막이 큰 상대 유전 상수를 갖는다는 것이다. 예를 들면, 실리콘 질화물(Si_3N_4)막은 상대 유전 상수가 약 7인데, 이것은 제2 층간 절연막으로서 사용된 유기 수지 재료 또는 무기 재료의 약 두 배이다. 제3 층간 절연막의 큰 유전 상수 때문에, 블랙 매트릭스(104)와 픽셀 라인(105)으로 형성된 저장 커패시터는 필요하고 충분한 커패시턴스로 주어진다.

세 번째 이점은 제2 층간 절연막을 통한 접촉홀을 형성할 때 마스크로서 질화물막이 사용될 수 있다는 것이다. 이것은 제2 층간 절연막처럼 유기 수지 재료 또는 무기 재료와 질화물막 중에서 큰 에칭 선택도를 얻을 수 있기 때문이다. 예를 들면, 폴리이미드(유기 수지 재료)로 만든 막을 통해 홀을 형성하는 데에 레지스트 마스크를 사용하면, 그 마스크와 막은 모두 유기 재료로 만들어졌기 때문에 충분히 큰 선택도를 얻을 수 없다. 그 결과, 레지스트막의 두께보다 더 긴 깊이를 갖는 홀을 형성할 수 없다.

반대로, 질화물막은 큰 에칭 선택도를 제공한다. 따라서, 불화수소산 타입의 가스를 사용하여 질화물막만을 먼저 에칭시킨 다음 마스크로서 나머지 질화물막을 사용함으로써 폴리이미드막을 통해 원하는 깊이의 홀을 형성할 수 있다.

또한, 알루미늄 질화물 또는 알루미늄 산화질화물의 질화물막은 예를 들면 높은 열 전도도의 이점을 제공한다. 그러한 질화물막의 사용은 열이 그 안에 실장된 장치로부터 제거되게 하기 때문에, 고속 작동 때문에 온도가 증가하기 쉬운 구동 TFT에 효과적이다.

실시예 4

이 실시예는 블랙 매트릭스(216)와 픽셀 라인(219) 및 그로부터 연장된 픽셀 전극(220)을 형성하는 순서가 실시예1의 역순인 경우에 관한 것이다.

이 경우에, 픽셀 영역의 A-A' 및 B-B' 단면은 실시예1과 다르다. 도5A 및 도5B는 이 실시예에서 A-A' 단면을 보여준다.

도5A 및 도5B는 실시예1에서와 동일한 참고번호를 사용한다. 이 실시예에서, 제2 층간 절연막(215)이 먼저 형성된다. 다음에, 접촉홀이 형성된 후, 픽셀 라인(219) 및 픽셀 전극(220)을 형성한다. 다음에, 제3 층간 절연막(218)을 형성하고, 그 위에 블랙 매트릭스(216)를 형성한다.

실시예1에서 나중에 접촉홀을 형성할 수 있도록 블랙 매트릭스(216)를 형성할 때 창(217)이 형성될 필요가 있는 반면, 이 실시예에서는 창(217)을 형성할 필요가 없다.

블랙 매트릭스(216) 내에 창(217)을 형성한 다음 실시예1에서와 같이 접촉홀을 형성하기 위해서 높은 본뜨기 정확도가 필요하다. 고도의 소형화를 위해서는 더 높은 정확도가 요구된다.

창(217) 부분은 저장 커패시터에 기여하지 않기 때문에, 지나친 본뜨기 여유는 저장 커패시터의 커패시턴스가 감소되게 한다.

반면, 이 실시예에서, 픽셀 라인(219)의 형성 후, 블랙 매트릭스가 형성되기 때문에 창(217)을 형성할 필요가 없다. 따라서, 저장 커패시터는 픽셀 라인(219)의 완전 이응으로 형성될 수 있다.

또한, 블랙 매트릭스(216)를 형성할 때 필요한 본뜨기 정확도는 매우 쉽게 얻어질 수 있기 때문에, 이 실시예는 제조 공정을 간단히 하고 수율을 증가시키는 데에 기여한다.

실시예 5

이 실시예는 픽셀 전극의 수가 증가되어 블랙 매트릭스의 형상이 변경되는 실시예1과 상이하다. 상세하게는, 이 실시예는 도6에 나타낸 구조를 갖는 픽셀 영역을 형성하는 경우에 관한 것이다.

도6에서, 참고번호(601)는 블랙 매트릭스를 나타내고, (602)는 픽셀 라인을 나타내고, 603은 픽셀 전극을 나타낸다. 게이트 라인과 데이터 라인은 실시예1의 경우와 같이 블랙 매트릭스(601) 아래에 존재하지만, 이 실시예에서는 이들에 대해서 설명하지 않는다.

이 실시예의 첫 번째 특징은 여러개(즉, 세 개)의 픽셀 전극이 형성된다는 것이다. 또한, 도6에 나타낸 바와 같이, 블랙 매트릭스(601)는 각 픽셀 전극(603)의 양측을 차지하도록, 즉 창틀과 같은 구조로 가정하도록 형성된다.

이 실시예는, 픽셀 라인(602)과 픽셀 전극(603)은 빗모양 구조를 형성하고, 횡방향 전계는 픽셀 전극(603)과 블랙 매트릭스(601)사이에 형성된다는 것이다(빗모양의 톱니).

블랙 매트릭스(601)는 픽셀 전극을 차폐하도록 창틀 구조로 본뜬다. 창틀형 구조와 픽셀 전극(603) 사이의 공간은 화상 표시 영역을 구성한다.

이 실시예는 추후에 전극 폭이 감소될 때 큰 개구비(큰 애퍼처비)를 얻을 수 있어서 매우 유리하다. 그러한 경우에, 개구비(애퍼처비)는, 블랙 매트릭스(601)의 창틀형 상부와 거의 동일하게 픽셀 전극(603)의 폭을 만들고, 가능한 한 좁은, 바람직하게는 0.1 내지 2.0㎛으로 전극과 부분을 만듦으로서 증가될 수 있다.

이 실시예는 구동 전압을 감소시킴으로 데이터 신호의 진폭을 감소시킴으로 써 전력 소모를 감소시킬 수 있다는 또다른 이점을 제공한다.

실시예 6

이 실시예는 픽셀 라인(실시예1에서 105번)의 형상에 있어서 실시예1과 상이하다. 도7은 이 실시예에 따른 픽셀 영역의 구조를 보여준다. 도7에 나타낸 형상의 픽셀 라인(702)은 저장 커패시터의 커패시턴스를 증가시킬 수 있다.

도7에서, 참고번호(701)와 (703)은 각각 블랙 매트릭스와 픽셀 전극을 나타낸다.

이 실시예에서, 인접한 픽셀 영역들의 픽셀 라인으로 픽셀 라인(702)이 회로가 단선되지 않도록 충분한 주위가 취해져야 한다. 추후에 전극 폭과 배선이 감소될 때 높은 본뜨기 정확도가 필요하다.

이 실시예는, 개구비(애퍼처비)를 증가시키기 쉽게 하고 충분한 저장 커패시턴스를 확보하게 되는 경우인 실시예5에 적용될 수 있음을 말할 필요도 없다.

실시예 7

이 실시예는, 커패시터 형성 전극은 블랙 매트릭스로부터 별도로 제공받고, 저장 커패시턴스는 전극과 픽셀 라인에 의해서 형성되는 경우에 관한 것이다.

저장 커패시터는 블랙 매트릭스 아래 또는 위에 형성될 수 있다. 커패시터 형성 전극은 픽셀 라인 위 또는 아래에 형성될 수 있다.

저장 커패시터를 구성하는 절연층은 원하는 절연 재료를 사용하여 원하는 두께로 형성할 수 있다. 예를 들면, 알루미늄 질화물막과 같은 큰 막 응력을 갖는 막이 장치 특성을 퇴화시키지 않고 사용되더라도, 커패시터 전극과 픽셀 라인이 함께 연장되는 영역에만 그 막이 존재하는 것이 충분하기 때문이다. 이것은 이 실시예의 이점이다.

또한, 기준면으로서 커패시터 형성 전극이 사용되는데, 이 경우는 게이트 라인과 데이터 라인과 같은 다양한 배선의 임피던스가 균일화될 수 있다.

실시예 8

이 실시예는, 섬모양 반도체층이 실시예 1 내지 실시예 7에서와 상이한 타입인 경우에 관한 것이다. 더욱 상세하게는, 이 섬모양 반도체 장치에서, 채널 영역의 채널 길이와 채널 폭은 TFT의 on-상태와 off-상태 사이에서 변화된다.

본 발명에 의해서 이미 발표된 이 기술은, TFT가 off-상태에 있을 때 채널 폭을 감소시키고 채널 길이를 사실상 연장시킴으로써 off-전류(또는 누설 전류)를 저하시키기 위한 것이다. 이 기술을 아래에 요약해 놓았다.

도8A는 박막 트랜지스터의 활성층을 구성하는 섬모양 반도체층을 보여준다. 하나의 도전성 타입을 갖는 영역(803 내지 805; 소위 부동 섬 영역이라 칭함)을 형성하기 위해서, 섬모양 반도체층의 영역(800)은 소스가 되기 위한 영역(801)파 드레인이 되기 위한 영역(802) 사이에 포개진다.

부동 섬 영역(803 내지 805)의 도전성 종류는 소스가 되기 위한 영역(801)과 드레인이 되기 위한 영역(802)의 것과 동일하다. 예를 들면, n-채널 TFT를 형성하기 위해서, P^+ 이온을 1회 용량 1×10^{12} 내지 1×10^{14} (원자/cm^2), 바람직하게는 3×10^{12} 내지 3×10^{13} (원자/cm^2)으로 주입한다.

부동 섬 영역(803 내지 805)은 도8A에 나타낸 바와 같이 항상 섬모양 반도체층의 주변에 인접할 필요는 없다. 즉, 그들은 영역(800) 안에 점모양으로 될 수도 있다.

이온 주입을 하지 않았던 영역(806)은 실질적으로 원래대로 남아 있고, 채널 형성 영역이 된다(이하 베이스 영역이라고 함).

상기 이온 주입을 시켰던 섬모양 층을 사용하여 제조된 TFT의 전기적 특성에 대해서 간단히 설명하려 한다.

도8A에 나타낸 섬모양 반도체에서, 사실상 원래 반도체 영역인 베이스 영역(806)과 부동 섬 영역(803 내지 805) 사이의 경계에 높은 포텐셜 배리어가 존재한다. 그러므로, n-채널 TFT가 off-상태에 있을 때, 작은 수의 전자만이 화살표를 따라 베이스 영역(806)을 통해서 이동하는데, 이것은 off 전류(또는 누설 전류)로서 관찰된다.

한편, n-채널 TFT는 on-상태에 있을 때, 베이스 영역(806)이 개입되어, 부동 섬 영역(803 내지 805)과의 포텐셜 배리어는 매우 낮게 된다. 그 결과, 많은 수의 전자가 도8B의 화살표로 표시한 경로를 따라서 이동하는데, 이것은 on-전류로서 관찰된다.

도9A 내지 도9D를 참고하여, TFT의 on-상태와 off-상태 사이의 포텐셜 배리어가 어떻게 변화하는 가에 대해서 간단히 설명하고자 한다. 도 9A 내지 도9D에서, Vg(>0)은 게이트 전압을 나타내고, Ec는 도전 대역의 최하위를 나타내고, Ev는 밸런스 대역의 최고위를 나타내고, Ef는 페르미 레벨을 나타낸다.

n-채널 TFT가 off-상태에 있을 경우(음의 전압이 게이트에 인가됨), 베이스 전압(806)은 도9A에 나타낸 대역 상태를 갖는다. 표면으로부터 전자가 다 방출되는 동안, 홀(최소 캐리어)은 반도체 표면의 근처에 축적된다. 따라서, 소스와 드레인 사이에 매우 약한 전자 이동이 발생한다,

한편, P^+ 이온은 부동 섬 영역(803 내지 805) 안에 주입되기 때문에, 페르미 레벨(Ef)은 도전 대역(Ec)에 가까이 증가된다. 이때, 부동 섬 영역(803 내지 805)은 도9B의 대역 상태인 것처럼 된다.

도9B에 나타낸 바와 같이, n-형 반도체 영역인 부동 섬 영역(803 내지 805)에서, 게이트에 음의 전압이 인가된다면, 에너지 대역은 약간만 구부러질 것이다.

도9A의 반도체 표면에서의 에너지 레벨(Ev)과 도9B에서의 에너지 레벨 사이의 차이는 포텐셜 배리어에 상응한다. 전자는 베이스 영역(806)과 부동 섬 영역(803 내지 805) 사이의 경계를 통과하지 않는다.

n-채널 TFT가 on-상태에 있을 때(게이트에 양의 전압이 인가될 때), 베이스 영역(806)은 도9C에 나타낸 대역 상태를 갖는다. 전자는 반도체 표면의 인근에 축적되기 때문에, 소스와 드레인 사이에 전자 이동이 발생한다.

이때, 부동 섬 영역(803 내지 805)은 도9D에 나타낸 바와 같은 대역 상태로 행동한다. 도9D에 나타낸 바와 같이, 게이트에 음의 전압이 인가되는 위에 설명한 경우처럼, 게이트에 양의 전압이 인가되더라도, n-반도체 영역인 부동 섬 영역(803 내지 805)에서 약간만 구부러진다.

그러나, 페르미 레벨이 도9D에 나타낸 에너지 레벨에 가깝게 상승하기 때문에, 많은 수의 전자가 도전 대역 내에 존재한다.

그러므로, 게이트에 양의 전압이 인가되면, 베이스 영역(806)과 부동 섬 영역(803 내지 805)은 둘다 전자가 쉽게 이동할 수 있는 대역 상태처럼 행동한다. 따라서, 베이스 영역(806)과 부동 섬 영역(803 내지 805) 사이의 경계의 포텐셜 배리어는 무시될 수 있다.

위에서 설명한 바와 같이, 베이스 영역(806)만 off-상태에서 전자이동 경로로서 작용하고, 베이스 영역(806)과 부동 섬 영역(803 내지 805)은 모두 on-상태의 전자 이동 경로로서 작용한다. 이것은 단순화된 모델을 사용함으로써 아래에 요약될 것이다.

도10A는 도8A와 동일한 반도체층을 보여준다. 박막 반도체가 on-상태에 있을 때, 전자(주요 캐리어)는 도10A에 나타낸 실선 A-A'를 따라서 이동한다. 이때, A-A' 단면은 도10B에 나타낸 바와 같고 도10C의 회로가 형성된다.

박막 트랜지스터가 off-상태에 있을 때 전자(부 캐리어)는 도10A에 나타낸 점선 B-B'을 따라 이동한다. 이 때, B-B' 단면은 도10D에 나타낸 바와 같고 도10E의 회로가 형성된다.

즉, 박막 트랜지스터가 on-상태에 있을 때, 전자(주요 캐리어)는 최단 경로를 따라 소스 영역으로부터 드레인 영역으로 이동한다. 한편, 박막 트랜지스터가 off-상태에 있을 때, 전자(부 캐리어)는 실질적으로 신장된 채널 영역을 통해서 이동하는 것으로 여겨진다.

상기 구조는 다음과 같은 이점을 제공한다. 첫째, 픽셀 TFT의 섬모양 반도체층에 의해서 점유된 영역을 약간만 변경시킴으로써 누설 전류를 크게 감소시킬 수 있다. 또한, 픽셀 TFT와 구동 TFT는 종래의 것보다 더 우수한 응답 특성을 갖도록 구성될 수 있다.

차후에 게이트 전극의 소형화가 더 진행됨에 따라, off-상태에 있는 TFT의 실질적인 채널 폭은 (도8A 참조) 감소될 것이다. 반도체층의 두께는 약 150Å으로 감소될 경향에 비추어, 이 실시예의 누설 전류 감소 효과는 더욱 이로운 것이 될 것이라고 말할 수 있다.

실시예 9

이 실시예는 실시예8의 구조와 상이한 반도체층의 구조에 관한 것이다. 상세하게는 이 실시예는 채널 형성 영역에서 높은 저항 영역을 형성하는 기술에 관한 것이다.

도11A는 게이트 전극(11)이 도8A의 섬모양 반도체층에 더해진 구조를 나타낸다. 도 11A에 도시된 형상의 게이트 전극을 사용되면, 마스크로서 사용된 게이트 전극을 사용하여 불순물 이온을 주입함으로써 자기정렬된 방법으로 부동 섬 영역(12 내지 14)이 형성된다.

게이트 전극(11)에 전압이 인가될 때의 섬모양 반도체층의 행동은 실시예8과 같기 때문에 다시 설명하지 않는다. 다음 실시예는 실시예8의 경우에서와 같이 n-채널 TFT에 대해서 설명할 것이다.

도11B는 도11A의 게이트 전극의 일부가 에칭에 의해서 제거되는 구조를 보여 준다. 게이트 전극을 에칭 시키는 단계는, 자기정렬 방법으로 불순물 이온을 주입하여 부동 섬 영역(12 내지 14)이 형성된 후에 수행될 수 있다.

게이트 전극(15) (도11B 참조)으로부터 전압이 인가되지 않은 영역(16)은 항상 사실상의 원래 반도체층이다. 즉, 오프셋 영역과 같이, 영역(16)은 고저항 영역으로서 작용한다.

게이트 전극에 음의 전압이 인가되면(TFT는 off-상태에 있다), 고저항 영역(16)은 실질적으로 오프셋 영역으로서 작용하고, 그럼으로써 누설 전류가 효과적으로 감소된다. 게이트 전극(15)에 양의 전압이 인가되면(TFT는 on-상태에 있다), 전체 섬모양 반도체층은 실시예8에서 설명한 전자 흐름의 경로로서 작용한다. 따라서, 고저항 영역(16)은 on-전류에 대해 거의 영향을 끼치지 않는다.

따라서, 이 실시예는 더 감소된 off-전류를 갖는 픽셀 TFT를 형성할 수 있다. 액정에 공급된 전하는 더욱 효율적으로 유지되기 때문에, 저장 커패시터의 설계 영역은 증가될 수 있다.

실시예 10

이 실시예는 실시예9의 구조와 상이한 반도체층의 구조에 관한 것이다. 도11C는 이 실시예에 따른 반도체층 및 그의 인근의 구조를 보여준다.

이 실시예는 채널 형성 영역이 게이트 영역(17)으로 완전히 덮인 것을 특징으로 한다. 이 구조에 따라, 전자 이동 거리, 즉 TFT가 on-상태에 있을 때의 실질적인 채널 길이가 단축되고, 따라서 높은 작동 속도를 갖는 박막 트랜지스터가 형성될 수 있다. 참고번호 18은 게이트 전극 아래에 존재하는 부동 섬 영역을 나타낸 다.

이 실시예는 작은 크기의 박막 트랜지스터를 형성함으로써 개구비(애퍼처비)가 증가될 수 있다는 또다른 이점이 있다.

실시예 11

이 실시예는 LPD(액상 증착)에 의해서 형성된 절연막이 실시예1의 제2 층간 절연막으로서 사용된 경우에 관한 것이다. 픽셀 TFT와 구동 TFT의 제조 과정은 실시예1에서 이미 설명했기 때문에 설명하지 않는다.

LPD(소위 스핀 방법)에 의해서 피막을 형성하는 과정을 아래에 간단히 설명하려 한다. 아래 설명은 실리콘 산화물 타입 피막(SiO_x; 무기 재료)을 형성하는 경우에 관한 것이지만, SiF(상대 유전 상수: 3.2 내지 3.3)와 같은 다른 무기 재료 및 폴리이미드(상대 유전 상수: 2.8 내지 3.4)와 같은 유기 수지 재료도 사용될 수 있다.

첫째, H_2SiF_6 용액을 준비한다. 그 용액에 SiO_2:xH_2O를 첨가한 후, 그 용액을 30℃를 유지한 처리 온도로 3시간 동안 교반한다. 그 교반된 용액을 여과시켜, 그의 밀도를 원하는 값으로 조정한다. 그 다음에, 온도가 50℃에 달할 때까지 그 용액을 물중탕에서 데우면서 교반한다.

그렇게 하면, 피막 용액이 완성된다. 예를 들면 이 용액에 H_3BO_3을 첨가하면, B^+ 이온을 함유하는 실리콘 산화물형 피막이 형성된다(소위 BSG라고 칭함).

그렇게 준비한 용액에 대상 기판을 침지한 후, 순수한 물로 헹구고, 다음에 건조시켜서, 피막 형성을 완료한다. 유기 수지 재료를 형성하기 위해서, 원하는 피막의 도포를 위해 준비된 용액을 사용하여 LPD에 의해서 피막을 형성한다. 유기 수지 재료의 예는 상대 유전 상수가 2.8 내지 3.4만큼 작은 폴리이미드이다. 이 경우에, 피막 도포용 용액을 스피너에 고정시킨 대상 기판에 도포하고, 2,000rpm로 스피너를 회전시킴으로써 피막이 형성된다. 다음에, 300℃에서 약 30분 동안 그 피막을 가열하여 막 품질을 개선시킨다.

위에서 설명한 바와 같이, LPD를 사용하면, 원하는 피막이 비교적 쉽게 형성될 수 있으므로, 작업 처리량이 크게 개선될 수 있다. 또한, 기판을 용액에 침지하는 시간(스피너를 사용할 경우에는 그의 회전속) 또는 용액의 농도를 변화시킴으로써, 막 두께를 자유로이 조정할 수 있기 때문에, 두껍고 평평한 피막이 쉽게 형성될 수 있다.

실시예 12

이 실시예는 본 발명이 비결정 및 초-다중 도메인 AM-LCD에 적용된 경우에 관한 것이다. 이 실시예는 광학적으로 활성인 재료가 추가된 일반적으로 사용된 TN 액정 재료의 사용 때문에 문지르는 단계가 필요하지 않다는 것이 이점이다.

실시예 13

이 실시예는 본 발명이 전계 효과 모드 액정 표시 장치에 적용된 경우에 관한 것이다. 이 모드는 트위스트 네마틱(TN) 모드, 초-트위스트 네마틱(STN) 모드, 전기적으로 제어된 브리프린겐스(ECB) 모드, 상 변화(PC) 모드, 및 게스트-호스트(GH) 모드로 분류된다.

이 작동 모드는 낮은 구동 전압 때문에 낮은 전력 소모의 이점을 갖는다.

실시예 14

이 실시예는 다이내믹 스캐터링 모드 액정 표시 장치에 본 발명이 적용된 경우에 관한 것이다. 이 모드에서, 표시를 위해서 전계 효과 외에도 액정을 도핑할 이온 첨가물의 존재에 의해서 발생된 교란 운동과 연계된 빛 산란 상태가 사용된다.

실시예 15

이 실시예는 본 발명이 열-효과 모드 액정 표시 장치에 적용된 경우에 관한 것이다. 이 모드에서는, 가열하여 액정의 온도-유도된 상 전이를 조절하고, 그 결과 광학적 특성의 변화가 표시를 위해서 사용된다.

실시예 16

이 실시예는 본 발명을 이용하여 분산형 액정 표시 장치를 구성하는 경우에 관한 것이다. 이 경우, 액정층은 네마틱, 콜레스테릭, 또는 스메틱 액정이 고분자량 물질의 고상 중합체 내에 과립 또는 스폰지 형태로 분산 및 현탁되도록 구성된다.

상기 액정 표시 장치를 제조하는 공지된 방법에 따라, 캡슐화된 액정 부재를 중합체에 분산시키는데, 이것은 다음에 막 또는 기판 위에 박막으로 형성된다. 캡슐화 물질로서 권장되는 것으로는 젤라틴, 아라비아고무, 및 폴리비닐 알콜이 포함된다.

상기 분산형 액정 표시 장치는 박막 트랜지스터, 여러 종류의 배선 등이 형 성된 기판만을 사용함으로써 형성될 수 있다는 특징을 갖는다. 셀 조립이 필요 없기 때문에, 액정 표시 장치의 제조 공정이 단순화될 수 있어서, 수율을 증가시킬 수 있다.

실시예 17

실시예 17은 커패시터 형성 전극과 픽셀 라인에 의해서 저장 커패시터를 형성하는 경우에 관한 것이다. 반대로, 이 실시예는 픽셀 라인에 한정되지 않는 도전막과 커패시터 형성 전극에 의해서 저장 커패시터가 형성되는 경우에 관한 것이다.

예를 들면, 이 실시예는 도전성 막으로서 활성층을 사용한다. 즉, 커패시터의 절연막으로서 사용된 게이트 절연막을 사용하여 커패시터 형성 전극과 활성층 사이에 커패시터가 형성될 수 있다.

커패시터 형성 전극은 활성층의 임의의 영역과 함께 연장될 수 있다. 즉, 소스와 드레인 영역 사이의 영역 또는 그 영역 이외의 영역 사이에는 있을 수도 있지만, 문제점이 없다.

예를 들면, 여러 개의 게이트 전극을 갖는 박막 내에, 저장 커패시터는 항상 on-상태로 있는 게이트 전극의 바로 아래에 형성되고, 박막 트랜지스터의 on/off 동작은 나머지 게이트 전극에 의해서 수행된다.

이 실시예의 저장 커패시터는 실시예 1에서 설명했던 블랙 매트릭스와 픽셀 라인 사이에 형성된 저장 커패시터와 조합하여 사용될 수 있다. 또한, 이 실시예 및 실시예 7의 저장 커패시터는 조합해서 사용될 수 있다는 것이 명백하다.

이 실시예는 큰 커패시턴스를 갖는 저장 커패시터의 형성을 가능하게 해줌으 로써, 표시된 화상의 저장 시간이 크게 증가될 수 있다.

실시예 18

이 실시예는 픽셀 라인 및 그로부터 연장되는 픽셀 전극이 실시예 4에서의 소스 전극과 동시에 형성되는 경우에 관한 것이다. 이 실시예에서, 실시예 4에서 사용된 것과 동일한 번호가 사용된다.

상세하게는, 픽셀 라인(219)과 픽셀 전극(220)은 소스 전극(214)이 동일한 재료를 사용하여 제1 층간 절연막(213) 위에 형성될 때와 동시에 형성된다(도5A 참조) 그러나, 실시예4의 경우와 반대로, 이 실시예에서 픽셀 라인(219)은 소스 전극(214)과 중첩될 수 없다.

이 실시예는 층간 절연막의 형성 시간을 감소시킬 수 있으므로, 제조 과정이 단수해질 수 있다.

실시예 19

본 발명은 상기 실시예에서와 상이한 구조를 갖는 박막 트랜지스터를 사용하더라도 유사한 이점을 제공할 수 있다. 따라서, 실시예 1 내지 실시예 18은 평면 박막 트랜지스터뿐만 아니라 파상 구조 박막 트랜지스터 및 역전된 파상 구조 박막 트랜지스터에도 적용될 수 있다.

본 발명의 이점은 파상 구조 박막 TFT 및 역전된 파상 구조 박막 TFT의 공지된 제조방법에 본 발명을 적용함으로써 얻어질 수 있다.

실시예 20

이 실시예에서, 공통 전극과 블랙 매트릭스를 공통화하는 효과를 설명하고자 한다.

종래의 액정 표시 장치에서, 대향하는 기판층 위에 블랙 매트릭스를 형성하는 것이 일반적이다. 이것은 액티브 매트릭스 기판 위에 블랙 매트릭스의 형성이 때문에 복잡한 제조 과정과 생산 수율의 감소와 같은 문제점을 유발하기 때문이다.
그러나, 본 발명자들의 연구에서, 횡방향 전계에 의해서 액정이 구동되고, 그 액정에 작용하는 전계에서 장애를 일으키는 대향하는 기판 위에 블랙 매트릭스가 형성되어 비정상적인 배향을 가져오는 현상이 관찰되었다.
이러한 현상의 상세한 이유는 알려지지 않았지만, 본 발명자들은, 절연막으로서 작용하는 색필터 또는 액정층과 함께 액티브 매트릭스 기판과 그 기판측에 대향한 블랙 매트릭스(금속막) 사이에 형성된 어떤 기생 커패시턴스가 액정층에 주어진 전계를 적용하는 것을 방해하는 것으로 생각한다.
대향하는 기판측 위에 블랙 매트릭스가 금속막 외에 블랙 안료를 함유하는 수지막이라면 문제가 발생되지 않는다. 그러나, 수지막은 본뜨기 정화도와 차광 성능의 면에서 다소 뒤떨어진다.
또한, 대향하는 기판측에 블랙 매트릭스가 제공되는 경우에, 두 기판의 접착시 낮은 정확도 때문에 셀 조립에서 큰 여유가 필요하다. 이것은 개구비(애퍼처비)를 감소시키는 인자이다.
반대로, 본 발명은 블랙 매트릭스가 액티브 매트릭스 기판측 위에 반드시 형성되기 때문에, 기생 커패시터에 의해서 유발되는 상기 문제점이 없다. 또한, 본 발명은 블랙 매트릭스에 의해서 차지된 영역이 최소화되었기 때문에 큰 개구비(큰 애퍼처비)를 제공할 수 있다. 또한, 본 발명은 크롬막과 같은 금속막을 사용하기 때문에 본뜨기 정화도와 차광 성능이 우수하다.

발명의 효과

본 발명의 한가지 중요한 특징은, 액정 표시 장치의 미래 개발에서 전극의 폭과 배선폭이 감소되더라도 충분한 저장 커패시턴스를 제공한다는 것이다.
그 목적을 위한 기술적 수단으로서, 본 발명은 종래에는 각각 제공되었던 블랙 매트릭스와 공통 전극의 공통화를 제안한다. 이것은, 제조 과정의 단순화뿐만아니라, 전극 형성 영역을 감소시킴으로써 개구비(애퍼처비)를 증가시키는 데에 매우 유용하다.
상기 기술은, 반드시 박막 트랜지스터를 구비할 기판 위에 블랙 매트릭스를 형성하는 것을 의미한다. 통상, 블랙 매트릭스는 대향하는 기판측 위에 형성되며, 이 경우, 셀 조립에서 두 기판이 함께 접착할 때 정렬 여유가 큰 값으로 설정될 필요가 있다. 이러한 경향은 전극 폭이 감소됨에 따라 더욱 현저해진다. 반대로, 박막 트랜지스터의 측부에 블랙 매트릭스를 형성하면, 정밀한 정렬 기술을 사용하여, 마스크 등록(마스크 정렬)이 수행될 수 있다.
셀 조립시 두 기판의 접착시 정렬 여유가 최소화될 수 있기 때문에, 개구비(애퍼처비)를 희생하지 않고 픽셀 영역이 형성될 수 있다,
공통 전극으로서 작용하는 블랙 매트릭스와 픽셀 라인에 의해서 저장 커패시터가 형성된 구조는 미래에 진행될 전극과 배선의 폭의 감소를 잘 수용할 수 있다. 즉, 배선과 전극의 폭의 감소 때문에 저장 커패시터를 형성할 영역이 감소되더라 도, 저장 커패시터 형성 영역을 결정할 때 높은 자유도가 충분한 커패시턴스를 제공할 수 있다.
또한, 저장 커패시터의 절연막으로서 실리콘 질화물막과 같은 질화물막을 사용함으로써, 저장 커패시턴스가 작은 영역에 형성되더라도 충분한 커패시턴스가 확보될 수 있다.

(57) 청구의 범위

청구항 1.

둘다 도전성(conductive) 재료로 만들어진 픽셀 전극과 공통 전극을 포함하는 기판으로서, 상기 공통 전극은 블랙 매트릭스인, 상기 기판;
상기 기판상에 유지되고, 상기 픽셀 전극과 상기 공통 전극 사이에 형성되는 상기 기판과 평행한 성분을 갖는 전계에 의해서 구동되는 액정층; 및
상기 공통 전극과 중첩하여 상기 기판 위에 제공되는 데이터 라인을 포함하는, 액정 표시 장치.

청구항 2.

제 1항에 있어서, 상기 픽셀 전극은 0.1 내지 2.0㎛ 범위의 폭을 갖는, 액정 표시 장치.

청구항 3.

제 1항에 있어서, 상기 픽셀 전극에 접속되고, 베이스 영역(base region)과 부동 섬 영역(floating island region)으로 분리된 반도체층을 활성층으로서 갖는 박막 트랜지스터를 더 포함하는, 액정 표시 장치.

청구항 4.

액정 표시 장치에 있어서,
유기 수지 재료 또는 무기 재료로 만들어진 제1 층간 절연막과, 픽셀 라인 및 상기 픽셀 라인으로부터 연장되며 상기 제1 층간 절연막상에 형성되는 픽셀 전극과, 제2 층간 절연막 및 블랙 매트릭스인 공통 전극을 포함하는 기판과;
상기 기판 상에 유지되고, 상기 픽셀 전극과 상기 공통 전극 사이에 형성되는 상기 기판에 평행한 성분을 갖는 전계에 의해 구동되는 액정층과;
적어도 상기 픽셀 라인과 상기 블랙 매트릭스 부분들에 의해 형성되는 저장 커패시터로서, 상기 부분들은 제1 층간 절연막 상에서 사이에 끼워진 제2 층간 절연막과 함께 연장되는, 상기 저장 커패시터와,
상기 공통 전극과 중첩하여 상기 기판 위에 제공되는 데이터 라인을 포함하는, 액정 표시 장치.

청구항 5.
제 4항에 있어서, 상기 픽셀 전극은 0.1 내지 2.0㎛ 범위의 폭을 갖는, 액정 표시 장치.
청구항 6.
제 4항에 있어서, 상기 제2 층간 절연막은 유기 수지 재료 및/또는 무기 재료로 만들어지고, 상기 제1 층간 절연막보다 더 큰 상대 유전 상수를 갖는, 액정 표시 장치.
청구항 7.
제 4항에 있어서, 상기 제2 층간 절연막은 AlN, AlN_xO_y, Si_3N_4, 및 SiO_xN_y로 이루어진 그룹으로부터 선택되는 재료들중 하나 또는 복수의 재료들로 만들어지는, 액정 표시 장치.
청구항 8.
제 4항에 있어서, 상기 제1 층간 절연막은 0.1 내지 5.0㎛ 범위의 두께를 갖고, 상기 제2 층간 절연막은 0.01 내지 1.0㎛ 범위의 두께를 갖는, 액정 표시 장치.
청구항 9.
제 4항에 있어서, 상기 픽셀 전극에 접속되고, 베이스 영역과 부동 섬 영역으로 분리된 반도체층을 활성층으로서 갖는 박막 트랜지스터를 더 포함하는, 액정 표시 장치.
청구항 10.
제 4항에 있어서, 상기 제1 층간 절연막은 평탄화 막으로서 역할하는, 액정 표시 장치.
청구항 11.
액정 표시 장치에 있어서,
유기 수지 재료 또는 무기 재료로 만들어진 제1 층간 절연막과, 픽셀 라인 및 상기 픽셀 라인으로부터 연장되며 상기 제1층간 절연막상에 형성되는 픽셀 전극과, 제2 층간 절연막, 블랙 매트릭스인 공통 전극, 및 커패시턴스 형성 전극을 포함하는 기판과;
상기 기판 상에 유지되고, 상기 픽셀 전극과 상기 공통 전극 사이에 형성되는 상기 기판에 평행한 성분을 갖는 전계에 의해 구동되는 액정층과;
적어도 상기 픽셀 라인과 상기 커패시터 형성 전극 부분들에 의해 형성되는 저장 커패시터로서, 상기 부분들은 제1 층간 절연막 상에서 사이에 끼워진 제2 층 간 절연막과 함께 연장되는, 상기 저장 커패시터와;
상기 공통 전극과 중첩하여 상기 기판 위에 제공되는 데이터 라인을 포함하는, 액정 표시 장치.
청구항 12.
제 11항에 있어서, 상기 픽셀 전극은 0.1 내지 2.0㎛ 범위의 폭을 갖는, 액정 표시 장치.
청구항 13.
제 11항에 있어서, 상기 제2 층간 절연막은 유기 수지 재료 및/또는 무기 재료로 만들어지고, 상기 제1 층간 절연막보다 더 큰 상대 유전 상수를 갖는, 액정 표시 장치.
청구항 14.
제 11항에 있어서, 상기 제2 층간 절연막은 AlN, AlN_xO_y, Si_3N_4, 및 SiO_xN_y로 이루어진 그룹으로부터 선택되는 재료들중 하나 또는 복수의 재료들로 만들어지는, 액정 표시 장치.
청구항 15.
제 11항에 있어서, 상기 제1 층간 절연막은 0.1 내지 5.0㎛ 범위의 두께를 갖고, 상기 제2 층간 절연막은 0.01 내지 1.0㎛ 범위의 두께를 갖는, 액정 표시 장치.
청구항 16.
제 11항에 있어서, 상기 픽셀 전극에 접속되고, 베이스 영역과 부동 섬 영역으로 분리된 반도체층을 활성층으로서 갖는 박막 트랜지스터를 더 포함하는, 액정 표시 장치.
청구항 17.
제 11항에 있어서, 상기 제1 층간 절연막은 평탄화 막으로서 역할하는, 액정 표시 장치.
청구항 18.
액정 표시 장치에 있어서,
둘다 도전성 재료로 만들어진 픽셀 전극과 공통 전극을 포함하는 제1 기판으로서, 상기 공통 전극은 블랙 매트릭스인, 상기 제1 기판과;
상기 제1 기판에 대향하는 제2 기판과;
상기 제1 기판 및 상기 제2 기판 사이에 유지되고, 상기 픽셀 전극과 상기 공통 전극 사이에 형성되는 상기 기판들과 평행한 성분을 갖는 전계에 의해 구동되는 액정층과;
상기 공통 전극과 중첩하여 상기 제1 기판 위에 제공되는 데이터 라인을 포함하는, 액정 표시 장치.
청구항 19.
제 18항에 있어서, 상기 픽셀 전극은 0.1 내지 2.0㎛ 범위의 폭을 갖는, 액정 표시 장치.
청구항 20.
제 18항에 있어서, 상기 픽셀 전극에 접속되고, 베이스 영역과 부동 섬 영역으로 분리된 반도체층을 활성층으로서 갖는 박막 트랜지스터를 더 포함하는, 액정 표시 장치.
청구항 21.
액정 표시 장치에 있어서,

유기 수지 재료 또는 무기 재료로 만들어진 제1 층간 절연막과, 픽셀 라인 및 상기 픽셀 라인으로부터 연장되며 상기 제1 층간 절연막상에 형성되는 픽셀 전극과, 제2 층간 절연막, 및 블랙 매트릭스인 공통 전극을 포함하는 제1 기판과;
상기 제1 기판과 대향하는 제2 기판과;
상기 제1 기판 및 상기 제2 기판 사이에 유지되고, 상기 픽셀 전극과 상기 공통 전극 사이에 형성되는 상기 기판들에 평행한 성분을 갖는 전계에 의해 구동되는 액정층과;
적어도 상기 픽셀 라인과 상기 블랙 매트릭스 부분들에 의해 형성되는 저장 커패시터로서, 상기 부분들은 상기 제1 층간 절연막 상에서 사이에 끼워진 상기 제2 층간 절연막과 함께 연장되는, 상기 저장 커패시터와;
상기 공통 전극과 중첩하여 상기 제1 기판 위에 제공되는 데이터 라인을 포함하는, 액정 표시 장치.

청구항 22.
제 21항에 있어서, 상기 픽셀 전극은 0.1 내지 2.0㎛ 범위의 폭을 갖는, 액정 표시 장치.

청구항 23.
제 21항에 있어서, 상기 제2 층간 절연막은 유기 수지 재료 및/또는 무기 재료로 만들어지고, 상기 제1 층간 절연막보다 더 큰 상대 유전 상수를 갖는, 액정 표시 장치.

청구항 24.
제 21항에 있어서, 상기 제2 층간 절연막은 AlN, AlN_xO_y, Si_3N_4, 및 SiO_xN_y로 이루어진 그룹으로부터 선택되는 재료들중 하나 또는 복수의 재료들로 만들어지는, 액정 표시 장치.

청구항 25.
제 21항에 있어서, 상기 제1 층간 절연막은 0.1 내지 5.0㎛ 범위의 두께를 갖고, 상기 제2 층간 절연막은 0.01 내지 1.0㎛ 범위의 두께를 갖는, 액정 표시 장치.

청구항 26.
제 21항에 있어서, 상기 픽셀 전극에 접속되고, 베이스 영역과 부동 섬 영역으로 분리된 반도체층을 활성층으로서 갖는 박막 트랜지스터를 더 포함하는, 액정 표시 장치.

청구항 27.
제 21항에 있어서, 상기 제1 층간 절연막은 평탄화 막으로서 작용하는 것을 특징으로 하는 액정 표시 장치.

청구항 28.
액정 표시 장치에 있어서,
유기 수지 재료 또는 무기 재료로 만들어진 제1 층간 절연막과, 픽셀 라인 및 상기 픽셀 라인으로부터 연장되며 상기 제1 층간 절연막상에 형성되는 픽셀 전극과, 제2 층간 절연막, 블랙 매트릭스인 공통 전극, 및 커패시턴스 형성 전극을 포함하는 제1 기판과;
상기 제1 기판과 대향하는 제2 기판과;
상기 제1 기판 및 상기 제2 기판 사이에 유지되고, 상기 픽셀 전극과 상기 공통 전극 사이에 형성되는 상기 기판들에 평행한 성분을 갖는 전계에 의해 구동되는 액정층과;
적어도 상기 픽셀 라인과 상기 커패시터 형성 전극 부분들에 의해 형성되는 저장 커패시터로서, 상기 부분들은 상기 제1 층간 절연막 상에서 사이에 끼워진 상기 제2 층간 절연막과 함께 연장되는, 상기 저장 커패시터와;
상기 공통 전극과 중첩하여 상기 제1 기판 위에 제공되는 데이터 라인을 포함하는, 액정 표시 장치.

청구항 29.
제 28항에 있어서, 상기 픽셀 전극은 0.1 내지 2.0㎛ 범위의 폭을 갖는, 액정 표시 장치.

청구항 30.
제 28항에 있어서, 상기 제2 층간 절연막은 유기 수지 재료 및/또는 무기 재 료로 만들어지고, 상기 제1 층간 절연막보다 더 큰 상대 유전 상수를 갖는, 액정 표시 장치.

청구항 31.
제 28항에 있어서, 상기 제2 층간 절연막은 AlN, AlN_xO_y, Si_3N_4, 및 SiO_xN_y로 이루어진 그룹으로부터 선택되는 재료들중 하나 또는 복수의 재료들로 만들어지는, 액정 표시 장치.

청구항 32.
제 28항에 있어서, 상기 제1 층간 절연막은 0.1 내지 5.0㎛ 범위의 두께를 갖고, 상기 제2 층간 절연막은 0.01 내지 1.0㎛ 범위의 두께를 갖는, 액정 표시 장치.

청구항 33.
제 28항에 있어서, 상기 픽셀 전극에 접속되고, 베이스 영역과 부동 섬 영역으로 분리되는 반도체층을 활성층으로서 갖는 박막 트랜지스터를 더 포함하는, 액정 표시 장치.

청구항 34.
제 28항에 있어서, 상기 제1 층간 절연막은 평탄화 막으로서 역할하는, 액정 표시 장치.

청구항 35.
액정 표시 장치에 있어서,
동일한 액티브 매트릭스 기판 상에 매트릭스 형태로 배열된 게이트 라인들 및 데이터 라인들과, 상기 게이트 라인들 및 데이터 라인들의 각 교차부에 형성된 박막 트랜지스터들과, 상기 각 박막 트랜지스터에 접속된 픽셀 라인들 및 상기 각 픽셀 라인들로부터 연장된 픽셀 전극들과, 상기 픽셀 전극들 각각에 적어도 부분적으로 대향하고 대응하는 데이터 라인과 중첩하는 블랙 매트릭스인 공통 전극을 포함하는, 액티브 매트릭스 기판과;

상기 액티브 매트릭스 기판 상에 유지되며, 상기 픽셀 전극들 각각과 상기 공통 전극 사이에 형성되는 상기 액티브 매트릭스 기판과 평행한 성분을 갖는 전계에 의해 구동되는 액정층을 포함하는, 액정 표시 장치.

청구항 36.

제 35항에 있어서, 상기 픽셀 전극은 0.1 내지 2.0㎛ 범위의 폭을 갖는, 액정 표시 장치.

청구항 37.

제 35항에 있어서, 상기 블랙 매트릭스는 상기 게이트 라인들, 상기 데이터 라인들, 및 기타 배선들에 대해 기준면으로서의 역할을 하는, 액정 표시 장치.

청구항 38.

제 35항에 있어서, 상기 박막 트랜지스터들 각각의 활성층으로서의 반도체층은 베이스 영역과 부동 섬 영역으로 분리되는, 액정 표시 장치.

청구항 39.

액정 표시 장치에 있어서,

동일한 액티브 매트릭스 기판 상에 매트릭스 형태로 배열된 게이트 라인들 및 데이터 라인들과, 상기 게이트 라인들 및 데이터 라인들의 각 교차부에 형성된 박막 트렌지스터들과, 상기 박막 트랜지스터들 위에 형성된 제1 층간 절연막 및 제2 층간 절연막과, 상기 각 박막 트랜지스터에 접속된 픽셀 라인들 및 상기 각 픽셀 라인들로부터 연장된 픽셀 전극들과, 상기 픽셀 전극들 각각에 적어도 부분적으로 대향하고 대응하는 데이터 라인과 중첩하는 블랙 매트릭스인 공통 전극을 포함하는, 액티브 매트릭스 기판과;

상기 액티브 매트릭스 기판 상에 유지되며, 상기 픽셀 전극들 각각과 상기 공통 전극 사이에 형성되는 상기 액티브 매트릭스 기판과 평행한 성분을 갖는 전계에 의해 구동되는 액정층과;

적어도 상기 픽셀 라인과 상기 블랙 매트릭스 부분들에 의해 각각 형성되는 저장 커패시터들로서, 상기 부분들은 상기 제1 층간 절연막 상에서 사이에 끼워진 상기 제2 층간 절연막과 함께 연장되는, 상기 저장 커패시터들을 포함하는, 액정 표시 장치.

청구항 40.

제 39항에 있어서, 상기 픽셀 전극들은 0.1 내지 2.0㎛ 범위의 폭을 갖는, 액정 표시 장치.

청구항 41.

제 39항에 있어서, 상기 블랙 매트릭스는 상기 게이트 라인들, 상기 데이터 라인들, 및 기타 배선들에 대해 기준면으로서의 역할을 하는, 액정 표시 장치.

청구항 42.

제 39항에 있어서, 상기 박막 트랜지스터들 각각의 활성층으로서의 반도체층은 베이스 영역과 부동 섬 영역으로 분리된, 액정 표시 장치.

청구항 43.

제 39항에 있어서, 상기 제1 층간 절연막은 유기 수지 재료 및/또는 무기 재료로 만들어지고, 0.1 내지 5.0㎛ 범위의 두께를 갖고, 상기 제2 층간 절연막은 유기 수지 재료 및/또는 무기 재료로 만들어지고, 0.01 내지 1.0㎛ 범위의 두께를 갖고, 상기 제2 층간 절연막은 상기 제1 층간 절연막보다 더 큰 상대 유전 상수를 갖는, 액정 표시 장치.

청구항 44.

제 39항에 있어서, 상기 제2 층간 절연막은 AlN, AlN_xO_y, Si_3N_4, 및 SiO_xN_y로 이루어진 그룹으로부터 선택되는 재료들중 하나 또는 복수의 재료들로 만들어지는, 액정 표시 장치.

청구항 45.

제 39항에 있어서, 상기 제1 층간 절연막은 평탄화 막으로 역할하는, 액정 표시 장치.

청구항 46.

액정 표시 장치에 있어서,

동일한 액티브 매트릭스 기판 상에 매트릭스 형태로 배열된 게이트 라인들 및 데이터 라인들과, 상기 게이트 라인들 및 데이터 라인들의 각 교차부에 형성된 박막 트랜지스터들과, 상기 박막 트랜지스터들 위에 형성된 제1 층간 절연막 및 제2 층간 절연막과, 상기 각 박막 트랜지스터에 접속된 픽셀 라인들 및 상기 각 픽셀 라인들로부터 연장된 픽셀 전극들과, 상기 픽셀 전극들 각각에 적어도 부분적으로 대향하고 대응하는 데이터 라인과 중첩하는 블랙 매트릭스인 공통 전극과, 상기 픽셀 라인들 및 상기 픽셀 전극들과는 상이한 층에 형성되는 커패시터-형성 전극들을 포함하는, 액티브 매트릭스 기판과;

상기 액티브 매트릭스 기판 상에 유지되며, 상기 픽셀 전극들 각각과 상기 공통 전극 사이에 형성되는 상기 액티브 매트릭스 기판과 평행한 성분을 갖는 전계에 의해 구동되는 액정층과;

적어도 상기 픽셀 라인과 상기 커패시터 형성 전극 부분들에 의해 각각 형성되는 저장 커패시터들로서, 상기 부분들은 상기 제1 층간 절연막 상에서 사이에 끼워진 상기 제2 층간 절연막과 함께 연장되는, 상기 저장 커패시터들을 포함하는, 액정 표시 장치.

청구항 47.

제 46항에 있어서, 상기 픽셀 전극들은 0.1 내지 2.0㎛ 범위의 폭을 갖는, 액정 표시 장치.

청구항 48.

제 46항에 있어서, 상기 블랙 매트릭스는 상기 게이트 라인들, 상기 데이터 라인들, 및 기타 배선들에 대해 기준면으로서의 역할을 하는, 액정 표시 장치.

청구항 49.

제 46항에 있어서, 상기 박막 트랜지스터들 각각의 활성층으로서의 반도체층은 베이스 영역과 부동 섬 영역으로 분리되는, 액정 표시 장치.

청구항 50.

제 46항에 있어서, 상기 제1 층간 절연막은 유기 수지 재료 및/또는 무기 재료로 만들어지고, 0.1 내지 5.0㎛ 범위의 두께를 갖고, 상기 제2 층간 절연막은 유기 수지 재료 및/또는 무기 재료로 만들어지고, 0.01 내지 1.0㎛ 범위의 두께를 갖고, 상기 제2 층간 절연막은 상기 제1 층간 절연막보다 더 큰 상대 유전 상수를 갖는, 액정 표시 장치.

청구항 51.

제 46항에 있어서, 상기 제2 층간 절연막은 AlN, AlN_xO_y, Si_3N_4, 및 SiO_xN_y로 이루어진 그룹으로부터 선택되는 재료들중 하나 또는 복수의 재료들로 만들어지는, 액정 표시 장치.

청구항 52.

제 46항에 있어서, 상기 제1 층간 절연막은 평탄화 막으로써 역할하는, 액정 표시 장치.

청구항 53.

액정 표시 장치에 있어서,

동일한 액티브 매트릭스 기판 상에 매트릭스 형태로 배치된 게이트 라인들 및 데이터 라인들과, 상기 게이트 라인들 및 상기 데이터 라인들의 각 교차점에 형성되며 결정질 실리콘막을 활성층으로서 각각 갖는 박막 트랜지스터들과, 상기 각 박막 트랜지스터에 접속된 픽셀 라인들 및 상기 각 픽셀 라인으로부터 연장되는 픽셀 전극들과, 상기 픽셀 전극들 각각에 적어도 부분적으로 대향하고 대응하는 데이터 라인과 중첩하는 블랙 매트릭스인 공통 전극을 포함하는, 액티브 매트릭스 기판과;

상기 액티브 매트릭스 기판 상에 유지되며, 상기 픽셀 전극들 각각과 상기 공통 전극 사이에 형성되는 상기 액티브 매트릭스 기판과 평행한 성분을 갖는 전계에 의해 구동되는 액정층을 포함하는, 액정 표시 장치.

청구항 54.

제 53항에 있어서, 상기 픽셀 전극은 0.1 내지 2.0㎛ 범위의 폭을 갖는, 액정 표시 장치.

청구항 55.

제 53항에 있어서, 상기 블랙 매트릭스는 상기 게이트 라인들, 상기 데이터 라인들, 및 기타 배선들에 대해 기준면으로서의 역할을 하는, 액정 표시 장치.

청구항 56.

제 53항에 있어서, 상기 박막 트랜지스터들 각각의 활성층으로서의 반도체층은 베이스 영역과 부동 섬 영역으로 분리되는, 액정 표시 장치.

청구항 57.

제 53항에 있어서, 결정질 실리콘막을 활성층으로서 갖는 상기 박막 트랜지 스터들 각각은, n-채널 타입인 경우에는 적어도 20 $cm^2/V \cdot s$의 전계 효과 이동도를 가지며, p-채널 타입인 경우에는 적어도 10 $cm^2/V \cdot s$의 전계 효과 이동도를 갖는, 액정 표시 장치.

청구항 58.

액정 표시 장치에 있어서,

동일한 액티브 매트릭스 기판 상에 매트릭스 형태로 배열된 게이트 라인들 및 데이터 라인들과, 상기 게이트 라인들 및 데이터 라인들의 각 교차부에 형성되며 결정질 실리콘막을 활성층으로서 각각 갖는 박막 트랜지스터들과, 상기 박막 트랜지스터들 위에 형성된 제1 층간 절연막 및 제2 층간 절연막과, 상기 각 박막 트랜지스터에 접속된 픽셀 라인들 및 상기 각 픽셀 라인들로부터 연장된 픽셀 전극들과, 상기 픽셀 전극들 각각에 적어도 부분적으로 대향하고 대응하는 데이터 라인과 중첩하는 블랙 매트릭스인 공통 전극을 포함하는, 액티브 매트릭스 기판과;

상기 액티브 매트릭스 기판 상에 유지되며, 상기 픽셀 전극들 각각과 상기 공통 전극 사이에 형성되는 상기 액티브 매트릭스 기판과 평행한 성분을 갖는 전계에 의해 구동되는 액정층과;

적어도 상기 픽셀 라인과 상기 블랙 매트릭스 부분들에 의해 각각 형성되는 저장 커패시터들로서, 상기 부분들은 상기 제1 층간 절연막 상에서 사이에 끼워진 상기 제2 층간 절연막과 함께 연장되는, 상기 저장 커패시터들을 포함하는, 액정 표시 장치.

청구항 59.

제 58항에 있어서, 상기 픽셀 전극들은 0.1 내지 2.0㎛ 범위의 폭을 갖는, 액정 표시 장치.

청구항 60.

제 58항에 있어서, 상기 블랙 매트릭스는 상기 게이트 라인들, 상기 데이터 라인들, 및 기타 배선들에 대해 기준면으로서의 역할을 하는, 액정 표시 장치.

청구항 61.

제 58항에 있어서, 상기 박막 트랜지스터들 각각의 활성층으로서의 반도체층은 베이스 영역과 부동 섬 영역으로 분리되는, 액정 표시 장치.

청구항 62.

제 58항에 있어서, 결정질 실리콘막을 활성층으로서 갖는 상기 박막 트랜지스터들 각각은, n-채널 타입인 경우에는 적어도 20 $cm^2/V \cdot s$의 전계 효과 이동도를 가지며, p-채널 타입인 경우에는 적어도 10 $cm^2/V \cdot s$의 전계 효과 이동도를 갖는, 액정 표시 장치.

청구항 63.

제 58항에 있어서, 상기 제1 층간 절연막은 유기 수지 재료 및/또는 무기 재료로 만들어지고, 0.1 내지 5.0㎛ 범위의 두께를 가지며, 상기 제2 층간 절연막은 유기 수지 재료 및/또는 무기 재료로 만들어지고, 0.01 내지 1.0㎛ 범위의 두께를 가지며, 상기 제2 층간 절연막은 상기 제1 층간 절연막보다 더 큰 상대 유전 상수 를 갖는, 액정 표시 장치.

청구항 64.

제 58항에 있어서, 상기 제2 층간 절연막은 AlN, AlN_xO_y, Si_3N_4, 및 SiO_xN_y 로 이루어진 그룹으로부터 선택되는 재료들중 하나 또는 복수의 재료들로 만들어지는, 액정 표시 장치.

청구항 65.

제 58항에 있어서, 상기 제1 층간 절연막은 평탄화 막으로서 역할하는, 액정 표시 장치.

청구항 66.

액정 표시 장치에 있어서,

동일한 액티브 매트릭스 기판 상에 매트릭스 형태로 배열된 게이트 라인들 및 데이터 라인들과, 상기 게이트 라인들 및 데이터 라인들의 각 교차부에 형성되며 결정질 실리콘막을 활성층으로서 각각 갖는 박막 트랜지스터들과, 상기 박막 트렌지스터들 위에 형성된 제1 층간 절연막 및 제2 층간 절연막과, 상기 각 박막 트랜지스터에 접속된 픽셀 라인들 및 상기 각 픽셀 라인들로부터 연장된 픽셀 전극들과, 상기 픽셀 전극들 각각에 적어도 부분적으로 대향하고 대응하는 데이터 라인과 중첩하는 블랙 매트릭스인 공통 전극과, 상기 픽셀 라인들 및 상기 픽셀 전극들과는 상이한 층에 형성되는 커패시터 형성 전극들을 포함하는, 액티브 매트릭스 기판과;

상기 액티브 매트릭스 기판 상에 유지되며, 상기 픽셀 전극들 각각과 상기 공통 전극 사이에 형성되는 상기 액티브 매트릭스 기판과 평행한 성분을 갖는 전계에 의해 구동되는 액정층과;

적어도 상기 픽셀 라인과 상기 커패시터 형성 전극 부분들에 의해 각각 형성되는 저장 커패시터들로서, 상기 부분들은 상기 제1 층간 절연막 상에서 사이에 끼워진 상기 제2 층간 절연막과 함께 연장되는, 상기 저장 커패시터들을 포함하는, 액정 표시 장치.

청구항 67.

제 66항에 있어서, 상기 픽셀 전극들은 0.1 내지 2.0㎛ 범위의 폭을 갖는, 액정 표시 장치.

청구항 68.

제 66항에 있어서, 상기 블랙 매트릭스는 상기 게이트 라인들, 상기 데이터 라인들, 및 기타 배선들에 대해 기준면으로서의 역할을 하는, 액정 표시 장치.

청구항 69.

제 66항에 있어서, 박막 트랜지스터들 각각의 활성층으로서의 반도체층은 베이스 영역과 부동 섬 영역으로 분리되는, 액정 표시 장치.

청구항 70.

제 66항에 있어서, 결정질 실리콘막을 활성층으로서 갖는 상기 박막 트랜지스터들 각각은, n-채널 타입인 경우에는 적어도 20 $cm^2/V \cdot s$의 전계 효과 이동도를 가지며, p-채널 타입인 경우에는 적어도 10 $cm^2/V \cdot s$의 전계 효과 이동도를 갖는, 액정 표시 장치.

청구항 71.

제 66항에 있어서, 상기 제1 층간 절연막은 유기 수지 재료 및/또는 무기 재료로 만들어지고, 0.1 내지 5.0㎛ 범위의 두께를 가지며, 상기 제2 층간 절연막은 유기 수지 재료 및/또는 무기 재료로 만들어지고, 0.01 내지 1.0㎛ 범위의 두께를 가지며, 상기 제2 층간 절연막은 상기 제1 층간 절연막보다 더 큰 상대 유전 상수를 갖는, 액정 표시 장치.

청구항 72.

제 66항에 있어서, 상기 제2 층간 절연막은 AlN, AlN_xO_y, Si_3N_4, 및 SiO_xN_y 로 이루어진 그룹으로부터 선택되는 재료들중 하나 또는 복수의 재료들로 만들어지는, 액정 표시 장치.

청구항 73.

제 66항에 있어서, 상기 제1 층간 절연막은 평탄화 막으로써 역할하는, 액정 표시 장치.

청구항 74.

액정 표시 장치에 있어서,

동일한 액티브 매트릭스 기판 상에 매트릭스 형태로 배열된 게이트 라인들 및 데이터 라인들과, 상기 게이트 라인들 및 데이터 라인들의 각 교차부에 형성된 박막 트랜지스터들과, 상기 각 박막 트랜지스터에 접속된 픽셀 라인들 및 상기 각 픽셀 라인들로부터 연장된 픽셀 전극들과, 상기 픽셀 전극들 각각에 적어도 부분적으로 대향하고 대응하는 데이터 라인과 중첩하는 블랙 매트릭스인 공통 전극을 포함하는, 액티브 매트릭스 기판과;

상기 액티브 매트릭스 기판에 대향하는 대향 기판과;

상기 액티브 매트릭스 기판과 상기 대향 기판 사이에 유지되며, 상기 픽셀 전극들 각각과 상기 공통 전극 사이에 형성되는 상기 기판들과 평행한 성분을 갖는 전계에 의해 구동되는 액정층을 포함하는, 액정 표시 장치.

청구항 75.

제 74항에 있어서, 상기 픽셀 전극들은 0.1 내지 2.0㎛ 범위의 폭을 갖는, 액정 표시 장치.

청구항 76.

제 74항에 있어서, 상기 블랙 매트릭스는 상기 게이트 라인들, 상기 데이터 라인들, 및 기타 배선들에 대해 기준면으로서의 역할을 하는, 액정 표시 장치.

청구항 77.

제 74항에 있어서, 상기 박막 트랜지스터들 각각의 활성층으로서의 반도체층은 베이스 영역과 부동 섬 영역으로 분리되는, 액정 표시 장치.

청구항 78.

액정 표시 장치에 있어서,

동일한 액티브 매트릭스 기판 상에 매트릭스 형태로 배열된 게이트 라인들 및 데이터 라인들과, 상기 게이트 라인들 및 데이터 라인들의 각 교차부에 형성되는 박막 트랜지스터들과, 상기 박막 트랜지스터들 위에 형성된 제1 층간 절연막 및 제2 층간 절연막과, 상기 각 박막 트랜지스터에 접속된 픽셀 라인들 및 상기 각 픽셀 라인들로부터 연장된 픽셀 전극들과, 상기 픽셀 전극들 각각에 적어도 부분적으로 대향하고 대응하는 데이터 라인과 중첩하는 블랙 매트릭스인 공통 전극을 포함하는, 액티브 매트릭스 기판과;

상기 액티브 매트릭스 기판에 대향하는 대향 기판과;

상기 액티브 매트릭스 기판과 상기 대향 기판 사이에 유지되며, 상기 픽셀 전극들 각각과 상기 공통 전극 사이에 형성되는 상기 기판들과 평행한 성분을 갖는 전계에 의해 구동되는 액정층과;

적어도 상기 픽셀 라인과 상기 블랙 매트릭스 부분들에 의해 각각 형성되는 저장 커패시터들로서, 상기 부분들은 상기 제1 층간 절연막 상에서 사이에 끼워진 상기 제2 층간 절연막과 함께 연장되는, 상기 저장 커패시터들을 포함하는, 액정 표시 장치.

청구항 79.

제 78항에 있어서, 상기 픽셀 전극들은 0.1 내지 2.0㎛ 범위의 폭을 갖는, 액정 표시 장치.

청구항 80.

제 78항에 있어서, 상기 블랙 매트릭스는 상기 게이트 라인들, 상기 데이터 라인들, 및 기타 배선들에 대해 기준면으로서의 역할을 하는, 액정 표시 장치.

청구항 81.

제 78항에 있어서, 상기 박막 트랜지스터들 각각의 활성층으로서의 반도체층은 베이스 영역과 부동 섬 영역으로 분리되는, 액정 표시 장치.

청구항 82.

제 78항에 있어서, 상기 제1 층간 절연막은 유기 수지 재료 및/또는 무기 재료로 만들어지고, 0.1 내지 5.0㎛ 범위의 두께를 가지며, 상기 제2 층간 절연막은 유기 수지 재료 및/또는 무기 재료로 만들어지고, 0.01 내지 1.0㎛ 범위의 두께를 가지며, 상기 제2 층간 절연막은 상기 제1 층간 절연막보다 더 큰 상대 유전 상수를 갖는, 액정 표시 장치.

청구항 83.

제 78항에 있어서, 상기 제2 층간 절연막은 AlN, AlN_xO_y, Si_3N_4, 및 SiO_xN_y로 이루어진 그룹으로부터 선택되는 재료들중 하나 또는 복수의 재료들로 만들어지는, 액정 표시 장치.

청구항 84.

제 78항에 있어서, 상기 제1 층간 절연막은 평탄화 막으로서 역할하는, 액정 표시 장치.

청구항 85.

액정 표시 장치에 있어서,

동일한 액티브 매트릭스 기판 상에 매트릭스 형태로 배열된 게이트 라인들 및 데이터 라인들과, 상기 게이트 라인들 및 데이터 라인들의 각 교차부에 형성되는 박막 트랜지스터들과, 상기 박막 트랜지스터들 위에 형성된 제1 층간 절연막 및 제2 층간 절연막과, 상기 각 박막 트랜지스터에 접속된 픽셀 라인들 및 상기 각 픽셀 라인들로부터 연장된 픽셀 전극들과, 상기 픽셀 전극들 각각에 적어도 부분적으로 대향하고 대응하는 데이터 라인과 중첩하는 블랙 매트릭스인 공통 전극과, 상기 픽셀 라인들 및 상기 픽셀 전극들과는 상이한 층에 형성되는 커패시터 형성 전극들을 포함하는, 액티브 매트릭스 기판과;

상기 액티브 매트릭스 기판에 대향하는 대향 기판과;

상기 액티브 매트릭스 기판과 상기 대향 기판 사이에 유지되며, 상기 픽셀 전극들 각각과 상기 공통 전극 사이에 형성되는 상기 기판들과 평행한 성분을 갖는 전계에 의해 구동되는 액정층과;

적어도 상기 픽셀 라인과 상기 커패시터 형성 전극 부분들에 의해 각각 형성되는 저장 커패시터들로서, 상기 부분들은 상기 제1 층간 절연막 상에서 사이에 끼워진 상기 제2 층간 절연막과 함께 연장되는, 상기 저장 커패시터들을 포함하는, 액정 표시 장치.

청구항 86.

제 85항에 있어서, 상기 픽셀 전극들은 0.1 내지 2.0㎛ 범위의 폭을 갖는, 액정 표시 장치.

청구항 87.

제 85항에 있어서, 상기 블랙 매트릭스는 상기 게이트 라인들, 상기 데이터 라인들, 및 기타 배선들에 대해 기준면으로서의 역할을 하는, 액정 표시 장치.

청구항 88.

제 85항에 있어서, 박막 트랜지스터들 각각의 활성층으로서의 반도체층은 베이스 영역과 부동 섬 영역으로 분리되는, 액정 표시 장치.

청구항 89.

제 85항에 있어서, 상기 제1 충간 절연막은 유기 수지 재료 및/또는 무기 재료로 만들어지고, 0.1 내지 5.0㎛ 범위의 두께를 가지며, 상기 제2 층간 절연막은 유기 수지 재료 및/또는 무기 재료로 만들어지고, 0.01 내지 1.0㎛ 범위의 두께를 가지며, 상기 제2 층간 절연막은 상기 제1 층간 절연막보다 더 큰 상대 유전 상수를 갖는, 액정 표시 장치.

청구항 90.
제 85항에 있어서, 상기 제2 층간 절연막은 AlN, AlN_xO_y, Si_3N_4, 및 SiO_xN_y 로 이루어진 그룹으로부터 선택되는 재료들중 하나 또는 복수의 재료들로 만들어지는, 액정 표시 장치.

청구항 91.
제 85항에 있어서, 상기 제1 층간 절연막은 평탄화 막으로서 역할하는, 액정 표시 장치.

청구항 92.
액정 표시 장치에 있어서,
동일한 액티브 매트릭스 기판 상에 매트릭스 형태로 배열된 게이트 라인들 및 데이터 라인들과, 상기 게이트 라인들 및 데이터 라인들의 각 교차부에 형성되며 결정질 실리콘막을 활성층으로서 각각 갖는 박막 트랜지스터들과, 상기 각 박막 트랜지스터에 접속된 픽셀 라인들 및 상기 각 픽셀 라인들로부터 연장된 픽셀 전극들과, 상기 픽셀 전극들 각각에 적어도 부분적으로 대향하고 대응하는 데이터 라인과 중첩하는 블랙 매트릭스인 공통 전극을 포함하는, 액티브 매트릭스 기판과;
상기 액티브 매트릭스 기판에 대향하는 대향 기판과;
상기 액티브 매트릭스 기판과 상기 대향 기판 사이에 유지되며, 상기 픽셀 전극들 각각과 상기 공통 전극 사이에 형성되는 상기 기판들과 평행한 성분을 갖는 전계에 의해 구동되는 액정층을 포함하는, 액정 표시 장치.

청구항 93.
제 92항에 있어서, 상기 픽셀 전극들은 0.1 내지 2.0㎛ 범위의 폭을 갖는, 액정 표시 장치.

청구항 94.
제 92항에 있어서, 상기 블랙 매트릭스는 상기 게이트 라인들, 상기 데이터 라인들, 및 기타 배선들에 대해 기준면으로서의 역할을 하는, 액정 표시 장치.

청구항 95.
제 92항에 있어서, 상기 박막 트랜지스터들 각각의 활성층으로서의 반도체층은 베이스 영역과 부동 섬 영역으로 분리되는, 액정 표시 장치.

청구항 96.
제 92항에 있어서, 결정질 실리콘막을 활성층으로서 갖는 상기 박막 트랜지스터들 각각은, n-채널 타입인 경우에는 적어도 20 $cm^2/V \cdot s$의 전계 효과 이동도를 가지며, p-채널 타입인 경우에는 적어도 10 $cm^2/V \cdot s$의 전계 효과 이동도를 갖는, 액정 표시 장치.

청구항 97.
액정 표시 장치에 있어서,
동일한 액티브 매트릭스 기판 상에 매트릭스 형태로 배열된 게이트 라인들 및 데이터 라인들과, 상기 게이트 라인들 및 데이터 라인들의 각 교차부에 형성되며 결정질 실리콘막을 활성층으로서 각각 갖는 박막 트랜지스터들과, 상기 박막 트랜지스터들 위에 형성된 제1 층간 절연막 및 제2 층간 절연막과, 상기 각 박막 트랜지스터에 접속된 픽셀 라인들 및 상기 각 픽셀 라인들로부터 연장된 픽셀 전극들과, 상기 픽셀 전극들 각각에 적어도 부분적으로 대향하고 대응하는 데이터 라인과 중첩하는 블랙 매트릭스인 공통 전극을 포함하는, 액티브 매트릭스 기판과;
상기 액티브 매트릭스 기판에 대향하는 대향 기판과;
상기 액티브 매트릭스 기판과 상기 대향 기판 사이에 유지되며, 상기 픽셀 전극들 각각과 상기 공통 전극 사이에 형성되는 상기 기판들과 평행한 성분을 갖는 전계에 의해 구동되는 액정층과;
적어도 상기 픽셀 라인과 상기 블랙 매트릭스 부분들에 의해 각각 형성되는 저장 커패시터들로서, 상기 부분들은 상기 제1 층간 절연막 상에서 사이에 끼워진 상기 제2 층간 절연막과 함께 연장되는, 상기 저장 커패시터들을 포함하는, 액정 표시 장치.

청구항 98.
제 97항에 있어서, 상기 픽셀 전극들은 0.1 내지 2.0㎛ 범위의 폭을 갖는, 액정 표시 장치.

청구항 99.
제 97항에 있어서, 상기 블랙 매트릭스는 상기 게이트 라인들, 상기 데이터 라인들, 및 기타 배선들에 대해 기준면으로서의 역할을 하는, 액정 표시 장치.

청구항 100.
제 97항에 있어서, 각 박막 트랜지스터의 활성층으로서의 반도체층은 베이스 영역과 부동 섬 영역으로 분리되는, 액정 표시 장치.

청구항 101.
제 97항에 있어서, 결정질 실리콘막을 활성층으로서 갖는 상기 박막 트랜지스터들 각각은, n-채널 타입인 경우에는 적어도 20 $cm^2/V \cdot s$의 전계 효과 이동도를 가지며, p-채널 타입인 경우에는 적어도 10 $cm^2/V \cdot s$의 전계 효과 이동도를 갖는, 액정 표시 장치.

청구항 102.
제 97항에 있어서, 상기 제1 층간 절연막은 유기 수지 재료 및/또는 무기 재료로 만들어지고, 0.1 내지 5.0㎛ 범위의 두께를 가지며, 상기 제2 층간 절연막은 유기수지 재료 및/또는 무기 재료로 만들어지고, 0.01 내지 1.0㎛ 범위의 두께를 가지며, 상기 제2 층간 절연막은 상기 제1 층간 절연막보다 더 큰 상대 유전 상수를 갖는, 액정 표시 장치.

청구항 103.

제 97항에 있어서, 상기 제2 층간 절연막은 AlN, AlN_xO_y, Si_3N_4, 및 SiO_xN_y로 이루어진 그룹으로부터 선택되는 재료들중 하나 또는 복수의 재료들로 만들어지는, 액정 표시 장치.

청구항 104.

제 97항에 있어서, 상기 제1 층간 절연막은 평탄화 막으로서 역할하는, 액정 표시 장치.

청구항 105.

액정 표시 장치에 있어서,

동일한 액티브 매트릭스 기판 상에 매트릭스 형태로 배열된 게이트 라인들 및 데이터 라인들과, 상기 게이트 라인들 및 데이터 라인들의 각 교차부에 형성되며 결정질 실리콘막을 활성층으로서 각각 갖는 박막 트랜지스터들과, 상기 박막 트랜지스터들 위에 형성된 제1 층간 절연막 및 제2 층간 절연막과, 상기 각 박막 트랜지스터에 접속된 픽셀 라인들 및 상기 각 픽셀 라인들로부터 연장된 픽셀 전극들과, 상기 픽셀 전극들 각각에 적어도 부분적으로 대향하고 대응하는 데이터 라인과 중첩하는 블랙 매트릭스인 공통 전극과, 상기 픽셀 라인들 및 상기 픽셀 전극들과 는 상이한 층에 형성되는 커패시터 형성 전극들을 포함하는, 액티브 매트릭스 기판과;

상기 액티브 매트릭스 기판에 대향하는 대향 기판과;

상기 액티브 매트릭스 기판과 상기 대향 기판 사이에 유지되며, 상기 픽셀 전극들 각각과 상기 공통 전극 사이에 형성되는 상기 기판들과 평행한 성분을 갖는 전계에 의해 구동되는 액정층과;

적어도 상기 픽셀 라인과 상기 커패시터 형성 전극 부분들에 의해 각각 형성되는 저장 커패시터들로서, 상기 부분들은 상기 제1 층간 절연막 상에서 사이에 끼워진 상기 제2 층간 절연막과 함께 연장되는, 상기 저장 커패시터들을 포함하는, 액정 표시 장치.

청구항 106.

제 105항에 있어서, 상기 픽셀 전극들은 0.1 내지 2.0㎛ 범위의 폭을 갖는, 액정 표시 장치.

청구항 107.

제 105항에 있어서, 상기 블랙 매트릭스는 상기 게이트 라인들, 상기 데이터 라인들, 및 기타 배선들에 대해 기준면으로서의 역할을 하는, 액정 표시 장치.

청구항 108.

제 105항에 있어서, 상기 박막 트랜지스터들 각각의 활성층으로서의 반도체층은 베이스 영역과 부동 섬 영역으로 분리되는, 액정 표시 장치.

청구항 109.

제 105항에 있어서, 결정질 실리콘막을 활성층으로서 갖는 상기 박막 트랜지스터들 각각은, n-채널 타입인 경우에는 적어도 20 $cm^2/V \cdot s$의 전계 효과 이동도를 가지며, p-채널 타입인 경우에는 적어도 10 $cm^2/V \cdot s$의 전계 효과 이동도를 갖는, 액정 표시 장치.

청구항 110.

제 105항에 있어서, 상기 제1 층간 절연막은 유기 수지 재료 및/또는 무기 재료로 만들어지고, 0.1 내지 5.0㎛ 범위의 두께를 가지며, 상기 제2 층간 절연막은 유기 수지 재료 및/또는 무기 재료로 만들어지고, 0.01 내지 1.0㎛ 범위의 두께를 가지며, 상기 제2 층간 절연막은 상기 제1 층간 절연막보다 더 큰 상대 유전 상수를 갖는, 액정 표시 장치.

청구항 111.

제 105항에 있어서, 상기 제2 층간 절연막은 AlN, AlN_xO_y, Si_3N_4, 및 SiO_xN_y로 이루어진 그룹으로부터 선택되는 재료들중 하나 또는 복수의 재료들로 만들어지는, 액정 표시 장치.

청구항 112.

제 105항에 있어서, 상기 제1 층간 절연막은 평탄화 막으로서 역할하는, 액정 표시 장치.

청구항 113.

동일한 액티브 매트릭스 기판 상에 매트릭스 형태로 배열된 게이트 라인들 및 데이터 라인들과, 상기 게이트 라인들 및 데이터 라인들의 각 교차부에 형성되며 결정질 실리콘막을 활성층으로서 각각 갖는 박막 트랜지스터들과, 상기 박막 트랜지스터들 위에 형성된 제2 층간 절연막과, 상기 각 박막 트랜지스터에 접속된 픽셀 라인들 및 상기 각 픽셀 라인들로부터 연장된 픽셀 전극들과, 상기 픽셀 전극들 각각에 적어도 부분적으로 대향하고 대응하는 데이터 라인과 중첩하는 블랙 매트릭스인 공통 전극을 포함하는, 액티브 매트릭스 기판과,

상기 액티브 매트릭스 기판 상에 유지되며, 상기 픽셀 전극들 각각과 상기 공통 전극 사이에 형성되는 상기 액티브 매트릭스 기판과 평행한 성분을 갖는 전계에 의해 구동되는 액정층을 포함하는 액정 표시 장치를 제조하는 방법에 있어서,

상기 게이트 라인들을 덮는 제1 층간 절연막, 및 상기 데이터 라인들을 덮도록 유기 수지 재료 및/또는 무기 재료로 만들어진 제2 층간 절연막을 형성하는 단계와;

대응하는 데이터 라인과 중첩하도록 상기 제2 층간 절연막 상에 상기 공통 전극을 형성하는 단계와;

상기 공통 전극을 덮도록 제3 층간 절연막을 형성하는 단계와;

상기 제2 및 제3 층간 절연막을 통하는 접촉홀들을 형성하는 단계와;

상기 제3 층간 절연막 상에, 픽셀 라인들 및 상기 각각의 픽셀 라인으로부터 연장되는 픽셀 전극들을 형성하는 단계를 포함하고,

저장 커패시터들 각각은 적어도 상기 픽셀 라인과 상기 블랙 매트릭스 부분들에 의해 형성되고, 상기 부분들은 상기 제2 층간 절연막 상에서 사이에 끼워진 상기 제3 층간 절연막과 함께 연장되는, 액정 표시 장치 제조 방법.

청구항 114.

제 113항에 있어서, 상기 접촉홀 형성 단계는,
에칭에 의해 상기 제3 층간 절연막의 일부까지 개구를 형성하는 서브-단계; 및
상기 제3 층간 절연막의 개구의 바닥으로서 노출된 상기 제2 층간 절연막의 일부를, 상기 제3 층간 절연막을 마스크로서 사용하여 에칭에 의해 제거함으로써 개구를 형성하는 서브-단계를 더 포함하는, 액정 표시 장치 제조방법.

청구항 115.
제 113항에 있어서, 상기 제2 층간 절연막은 유기 수지 재료 및/또는 무기 재료로 만들어지고, 0.1 내지 5.0㎛ 범위의 두께를 가지며, 상기 제3 층간 절연막은 유기 수지 재료 및/또는 무기 재료로 만들어지고, 0.01 내지 1.0㎛ 범위의 두께를 가지며, 상기 제3 층간 절연막은 상기 제1 층간 절연막보다 더 큰 상대 유전 상수를 갖는, 액정 표시 장치 제조방법.

청구항 116.
제 113항에 있어서, 상기 제3 층간 절연막은 AlN, AlN_xO_y, Si_3N_4, 및 SiO_xN_y로 이루어진 그룹으로부터 선택되는 재료들중 하나 또는 복수의 재료들로 만들어지는, 액정 표시 장치 제조방법.

청구항 117.
제 113항에 있어서, 상기 제2 층간 절연막은 평탄화 막으로서 역할하는, 액정 표시 장치 제조방법.

청구항 118.
제 113항에 있어서, 상기 박막 트랜지스터들 각각의 활성층으로서의 반도체층은 베이스 영역과 부동 섬 영역으로 분리되는, 액정 표시 장치 제조방법.

청구항 119.
동일한 액티브 매트릭스 기판 상에 매트릭스 형태로 배열된 게이트 라인들 및 데이터 라인들과, 상기 게이트 라인들 및 데이터 라인들의 각 교차부에 형성되며 결정질 실리콘막을 활성층으로서 각각 갖는 박막 트랜지스터들과, 상기 박막 트랜지스터들 위에 형성된 제2 층간 절연막과, 상기 각 박막 트랜지스터에 접속된 픽셀 라인들 및 상기 각 픽셀 라인들로부터 연장된 픽셀 전극들과, 상기 픽셀 전극들 각각에 적어도 부분적으로 대향하고 대응하는 데이터 라인과 중첩하는 블랙 매트릭스인 공통 전극을 포함하는, 액티브 매트릭스 기판과;
상기 액티브 매트릭스 기판 상에 유지되며, 상기 픽셀 전극들 각각과 상기 공통 전극 사이에 형성되는 상기 액티브 매트릭스 기판과 평행한 성분을 갖는 전계에 의해 구동되는 액정층을 포함하는 액정 표시 장치를 제조하는 방법에 있어서,
상기 게이트 라인들을 덮는 제1 층간 절연막, 및 상기 데이터 라인들을 덮도록 유기 수지 재료 및/또는 무기 재료로 만들어진 제2 층간 절연막을 형성하는 단계와;
상기 제2 층간 절연막을 통하는 접촉홀들을 형성하는 단계와;
상기 제2 층간 절연막 상에, 픽셀 라인들 및 상기 각각의 픽셀 라인으로부터 연장되는 픽셀 전극들을 형성하는 단계와;
상기 픽셀 라인들 및 상기 픽셀 전극들을 덮도록 제3 층간 절연막을 형성하는 단계와;
대응하는 데이터 라인과 중첩하도록 상기 제3 절연막 상에 상기 공통 전극을 형성하는 단계를 포함하고,
저장 커패시터들 각각은 적어도 상기 픽셀 라인과 상기 블랙 매트릭스 부분들에 의해 형성되고, 상기 부분들은 상기 제2 층간 절연막 상에서 사이에 끼워진 상기 제3 층간 절연막과 함께 연장되는, 액정 표시 장치 제조 방법.

청구항 120.
제 119항에 있어서, 상기 제2 층간 절연막은 유기 수지 재료 및/또는 무기 재료로 만들어지고, 0.1 내지 5.0㎛ 범위의 두께를 가지며, 상기 제3 층간 절연막은 유기 수지 재료 및/또는 무기 재료로 만들어지고, 0.01 내지 1.0㎛ 범위의 두께를 가지며, 상기 제3 층간 절연막은 상기 제1 층간 절연막보다 더 큰 상대 유전 상수를 갖는, 액정 표시 장치 제조방법.

청구항 121.
제 119항에 있어서, 상기 제3 층간 절연막은 AlN, AlN_xO_y, Si_3N_4, 및 SiO_xN_y로 이루어진 그룹으로부터 선택되는 재료들중 하나 또는 복수의 재료들로 만들어지는, 액정 표시 장치 제조방법.

청구항 122.
제 119항에 있어서, 상기 제2 층간 절연막은 평탄화 막으로서 역할하는, 액정 표시 장치 제조방법.

청구항 123.
제 119항에 있어서, 박막 트랜지스터들 각각의 활성층으로서의 반도체층은 베이스 영역과 부동 섬 영역으로 분리되는, 액정 표시 장치 제조방법.

청구항 124.
동일한 액티브 매트릭스 기판 상에 매트릭스 형태로 배열된 게이트 라인들 및 데이터 라인들과, 상기 게이트 라인들 및 데이터 라인들의 각 교차부에 형성되며 결정질 실리콘막을 활성층으로서 각각 갖는 박막 트랜지스터들과, 상기 박막 트랜지스터들 위에 형성된 제2 층간 절연막과, 상기 각 박막 트랜지스터에 접속된 픽셀 라인들 및 상기 각 픽셀 라인들로부터 연장된 픽셀 전극들과, 상기 픽셀 전극들 각각에 적어도 부분적으로 대향하고 대응하는 데이터 라인과 중첩하는 블랙 매트릭스인 공통 전극을 포함하는, 액티브 매트릭스 기판과;
상기 액티브 매트릭스 기판에 대향하는 대향 기판과;
상기 액티브 매트릭스 기판과 상기 대향 기판 사이에 유지되며, 상기 픽셀 전극들 각각과 상기 공통 전극 사이에 형성되는 상기 액티브 매트릭스 기판과 평행한 성분을 갖는 전계에 의해 구동되는 액정층을 포함하는 액정 표시 장치를 제조하는 방법에 있어서,

상기 게이트 라인들을 덮는 제1 층간 절연막과, 상기 데이터 라인들을 덮도 록 유기 수지 재료 및/또는 무기 재료로 만들어진 제2 층간 절연막을 형성하는 단계와;
대응하는 데이터 라인과 중첩하도록 상기 제2 절연막 상에 상기 공통 전극을 형성하는 단계와;
상기 공통 전극을 덮도록 제3 층간 절연막을 형성하는 단계와;
상기 제2 및 제3 층간 절연막을 통하는 접촉홀들을 형성하는 단계와;
상기 제3 층간 절연막 상에, 픽셀 라인들과 상기 각각의 픽셀 라인으로부터 연장되는 픽셀 전극들을 형성하는 단계를 포함하고,
저장 커패시터들 각각은 적어도 상기 픽셀 라인과 상기 블랙 매트릭스 부분들에 의해 형성되고, 상기 부분들은 상기 제2 층간 절연막 상에서 사이에 끼워진 상기 제3 층간 절연막과 함께 연장되는, 액정 표시 장치 제조 방법.

청구항 125.

제 124항에 있어서, 상기 접촉홀 형성 단계는,
에칭에 의해 상기 제3 층간 절연막의 일부까지 개구를 형성하는 서브-단계; 및
상기 제3 층간 절연막의 개구의 바닥으로서 노출된 상기 제2 층간 절연막의 일부를, 상기 제3 층간 절연막을 마스크로서 사용하여 에칭에 의해 제거함으로써 개구를 형성하는 서브-단계를 더 포함하는, 액정 표시 장치 제조방법.

청구항 126.

제 124항에 있어서, 상기 제2 층간 절연막은 유기 수지 재료 및/또는 무기 재료로 만들어지고, 0.1 내지 5.0㎛ 범위의 두께를 가지며, 상기 제3 층간 절연막은 유기 수지 재료 및/또는 무기 재료로 만들어지고, 0.01 내지 1.0㎛ 범위의 두께를 가지며, 상기 제3 층간 절연막은 상기 제1 층간 절연막보다 더 큰 상대 유전 상수를 갖는, 액정 표시 장치 제조방법.

청구항 127.

제 124항에 있어서, 상기 제3 층간 절연막은 AlN, AlN_xO_y, Si_3N_4, 및 SiO_xN_y로 이루어진 그룹으로부터 선택되는 재료들중 하나 또는 복수의 재료들로 만들어지는, 액정 표시 장치 제조방법.

청구항 128.

제 124항에 있어서, 상기 제2 층간 절연막은 평탄화 막으로서 역할하는, 액정 표시 장치 제조방법.

청구항 129.

제 124항에 있어서, 상기 박막 트랜지스터들 각각의 활성층으로서의 결정질 실리콘막은 베이스 영역과 부동 섬 영역으로 분리되는, 액정 표시 장치 제조방법.

청구항 130.

동일한 액티브 매트릭스 기판 상에 매트릭스 형태로 배열된 게이트 라인들 및 데이터 라인들과, 상기 게이트 라인들 및 데이터 라인들의 각 교차부에 형성되며 결정질 실리콘막을 활성층으로서 각각 갖는 박막 트랜지스터들과, 상기 박막 트랜지스터들 위에 형성된 제2 층간 절연막과, 상기 각 박막 트랜지스터에 접속된 픽 셀 라인들 및 상기 각 픽셀 라인들로부터 연장된 픽셀 전극들과, 상기 픽셀 전극들 각각에 적어도 부분적으로 대향하고 대응하는 데이터 라인과 중첩하는 블랙 매트릭스인 공통 전극을 포함하는, 액티브 매트릭스 기판과,
상기 액티브 매트릭스 기판에 대향하는 대향 기판과,
상기 액티브 매트릭스 기판과 상기 대향 기판 사이에 유지되며, 상기 픽셀 전극들 각각과 상기 공통 전극 사이에 형성되는 상기 액티브 매트릭스 기판과 평행한 성분을 갖는 전계에 의해 구동되는 액정층을 포함하는 액정 표시 장치를 제조하는 방법에 있어서,
상기 게이트 라인들을 덮는 제1 층간 절연막과, 상기 데이터 라인들을 덮도록 유기 수지 재료 및/또는 무기 재료로 만들어진 제2 층간 절연막을 형성하는 단계와;
상기 제2 층간 절연막을 통하는 접촉홀들을 형성하는 단계와;
상기 제2 층간 절연막 상에, 픽셀 라인들과 상기 각 픽셀 라인으로부터 연장된 픽셀 전극들을 형성하는 단계와;
상기 픽셀 라인들과 상기 픽셀 전극들을 덮도록 제3 층간 절연막을 형성하는 단계와;
대응하는 데이터 라인과 중첩하도록 상기 제3 층간 절연막 상에 상기 공통 전극을 형성하는 단계를 포함하고,
저장 커패시터들 각각은 적어도 상기 픽셀 라인과 상기 블랙 매트릭스 부분들에 의해 형성되고, 상기 부분들은 상기 제2 층간 절연막 상에서 사이에 끼워진 상기 제3 층간 절연막과 함께 연장되는, 액정 표시 장치 제조 방법.

청구항 131.

제 130항에 있어서, 상기 제2 층간 절연막은 유기 수지 재료 및/또는 무기 재료로 만들어지고, 0.1 내지 5.0㎛ 범위의 두께를 가지며, 상기 제3 층간 절연막은 유기 수지 재료 및/또는 무기 재료로 만들어지고, 0.01 내지 1.0㎛ 범위의 두께를 가지며, 상기 제3 층간 절연막은 상기 제1 층간 절연막보다 더 큰 상대 유전 상수를 갖는, 액정 표시 장치 제조방법.

청구항 132.

제 130항에 있어서, 상기 제3 층간 절연막은 AlN, N_xO_y, Si_3N_4, 및 SiO_xN_y로 이루어진 그룹으로부터 선택되는 재료들중 하나 또는 복수의 재료들로 만들어지는, 액정 표시 장치 제조방법.

청구항 133.

제 130항에 있어서, 상기 제2 층간 절연막은 평탄화 막으로서 역할하는, 액정 표시 장치 제조방법.

청구항 134.

제 130항에 있어서, 박막 트랜지스터들 각각의 활성층으로서의 결정질 실리콘막은 베이스 영역과 부동 섬 영역으로 분리되는, 액정 표시 장치 제조방법.

청구항 135.

액정 표시 장치에 있어서,

픽셀 라인들 및 상기 각 픽셀 라인으로부터 연장되는 픽셀 전극들과, 사이에 층간 절연막을 삽입하여 상기 픽셀 라인들 및 상기 픽셀 전극들과는 상이한 층에 형성되는 공통전극을 포함하는 기판으로서, 상기 공통 전극은 상기 기판 위에 제공된 데이터 라인과 중첩하는 블랙 매트릭스인, 상기 기판과;

상기 기판 상에 유지되며, 상기 픽셀 전극들 각각과 상기 공통 전극 사이에 형성되는 상기 기판과 평행한 성분을 갖는 전계에 의해 구동되는 액정층과;

적어도 상기 픽셀 라인과 상기 블랙 매트릭스 부분들에 의해 각각 형성되는 저장 커패시터들로서, 상기 부분들은 사이에 끼워진 상기 층간 절연막과 함께 연장되는, 상기 저장 커패시터들을 포함하는, 액정 표시 장치.

청구항 136.

액정 표시 장치에 있어서,

픽셀 라인들 및 상기 각 픽셀 라인으로부터 연장되는 픽셀 전극들과, 사이에 층간 절연막을 삽입하여 상기 픽셀 라인들 및 상기 픽셀 전극들과는 상이한 층에 형성되는 커패시터 형성 전극들과, 공통 전극을 포함하는 기판으로서, 상기 공통 전극은 상기 기판 위에 제공된 데이터 라인과 중첩하는 블랙 매트릭스인, 상기 기판과;

상기 기판 상에 유지되며, 상기 픽셀 전극들 각각과 상기 공통 전극 사이에 형성되는 상기 기판과 평행한 성분을 갖는 전계에 의해 구동되는 액정층과;

적어도 상기 픽셀 라인과 상기 커패시터 형성 전극 부분들에 의해 각각 형성되는 저장 커패시터들로서, 상기 부분들은 사이에 끼워진 상기 층간 절연막과 함께 연장되는, 상기 저장 커패시터들을 포함하는, 액정 표시 장치.

청구항 137.

액정 표시 장치에 있어서,

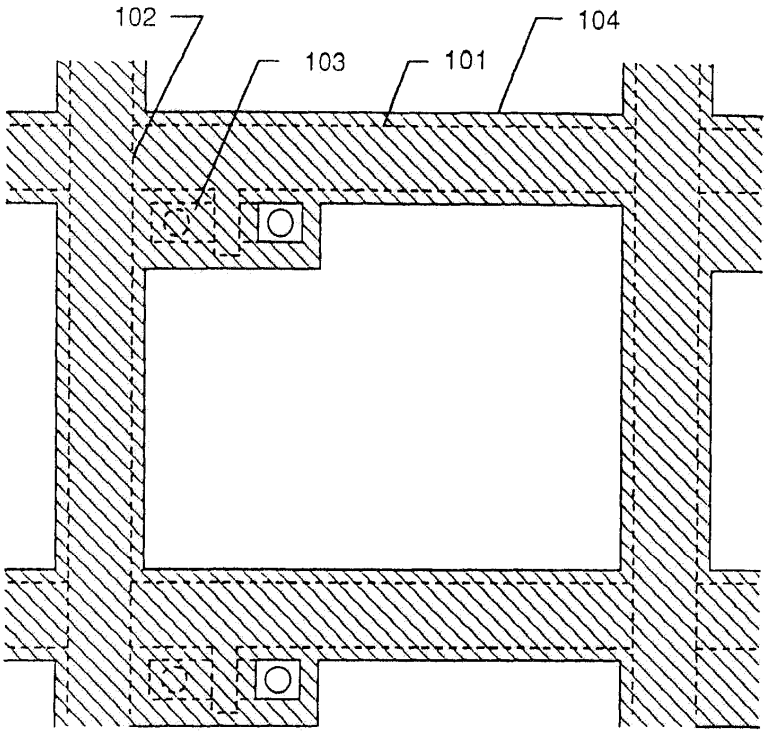
동일한 액티브 매트릭스 기판 상에 매트릭스 형태로 배열된 게이트 라인들 및 데이터 라인들과, 상기 게이트 라인들 및 데이터 라인들의 각 교차부에 형성된 박막 트랜지스터들과, 상기 각각의 박막 트랜지스터에 접속된 픽셀 라인들 및 상기 각 픽셀 라인으로부터 연장되는 픽셀 전극들과, 대응하는 데이터 라인과 중첩하는 블랙 매트릭스인 공통 전극과, 커패시터 형성 전극들을 포함하는 액티브 매트릭스 기판과;

상기 액티브 매트릭스 기판 상에 유지되며, 상기 픽셀 전극들 각각과 상기 공통 전극 사이에 형성되는 상기 액티브 매트릭스 기판과 평행한 성분을 갖는 전계에 의해 구동되는 액정층과;

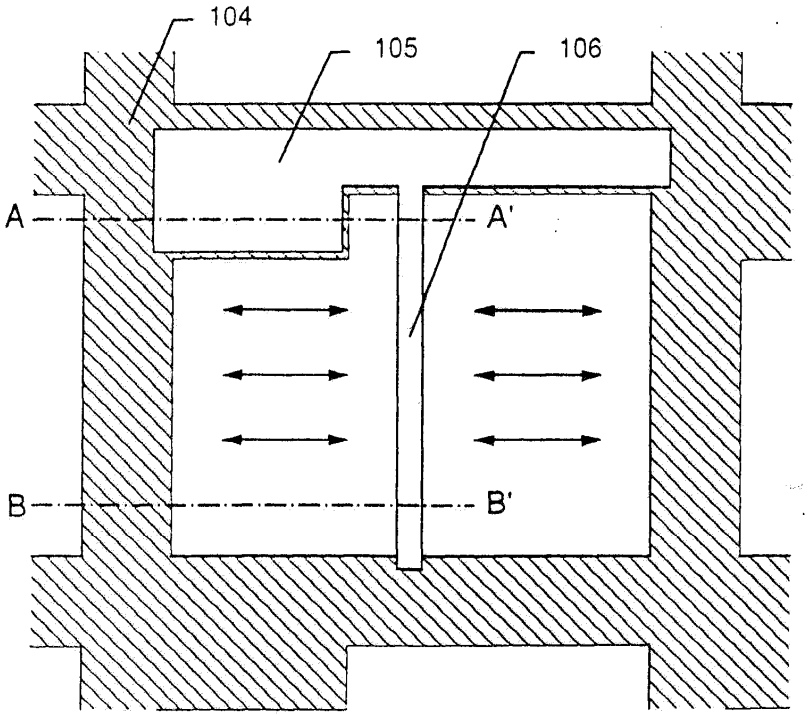
적어도 커패시터 형성 전극과 또 다른 도전막 부분들에 의해 각각 형성되는 저장 커패시터들로서, 상기 부분들은 사이에 끼워진 상기 절연막과 함께 연장되는, 상기 저장 커패시터들을 포함하는, 액정 표시 장치.

도면

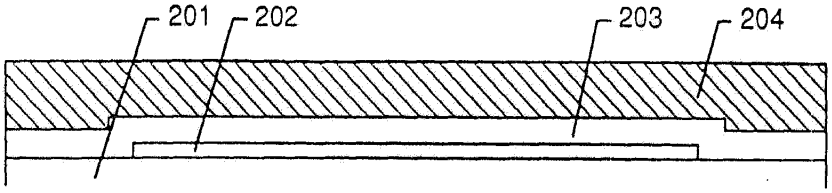
도면1a



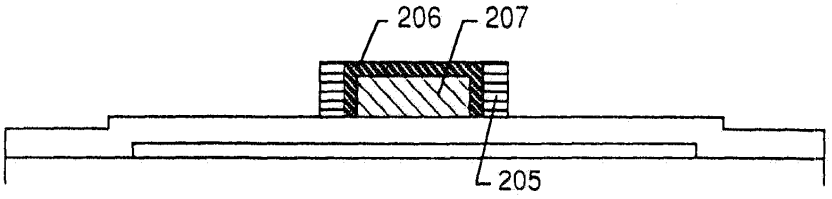
도면1b



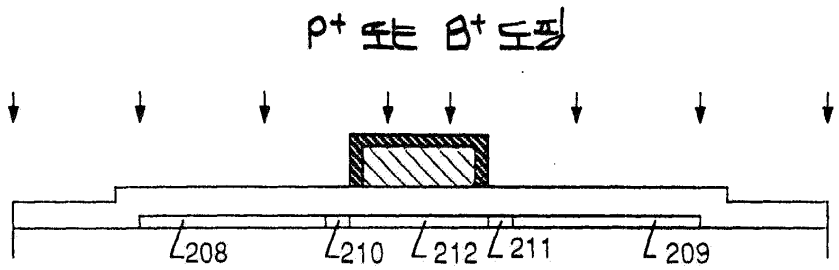
도면2a



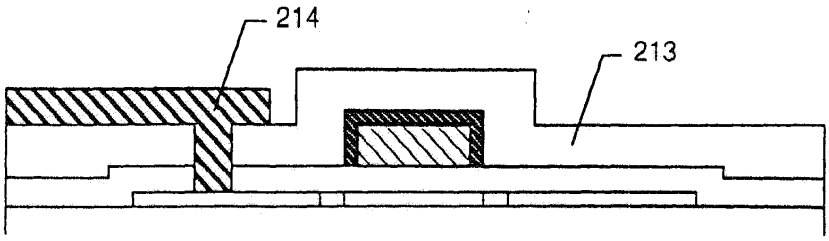
도면2b



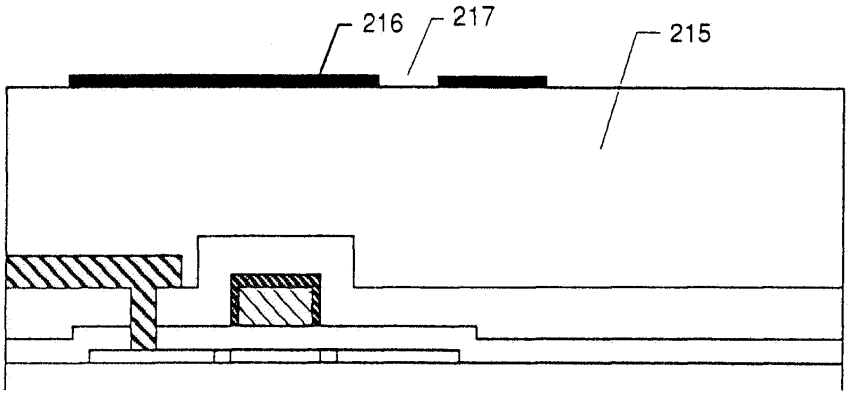
도면2c



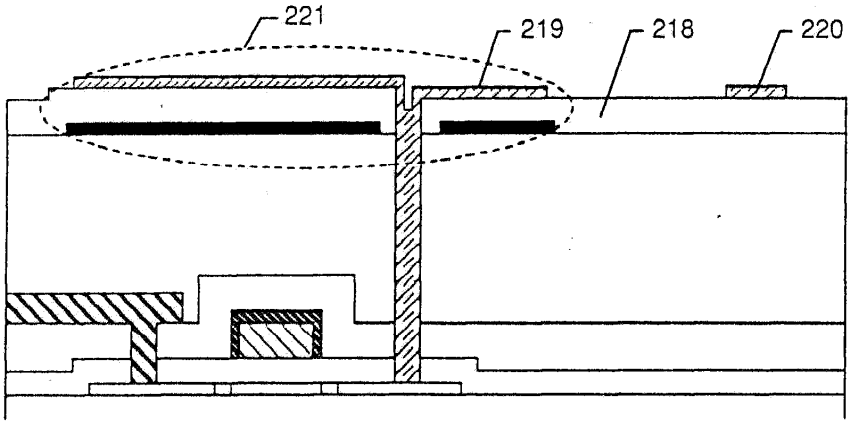
도면2d



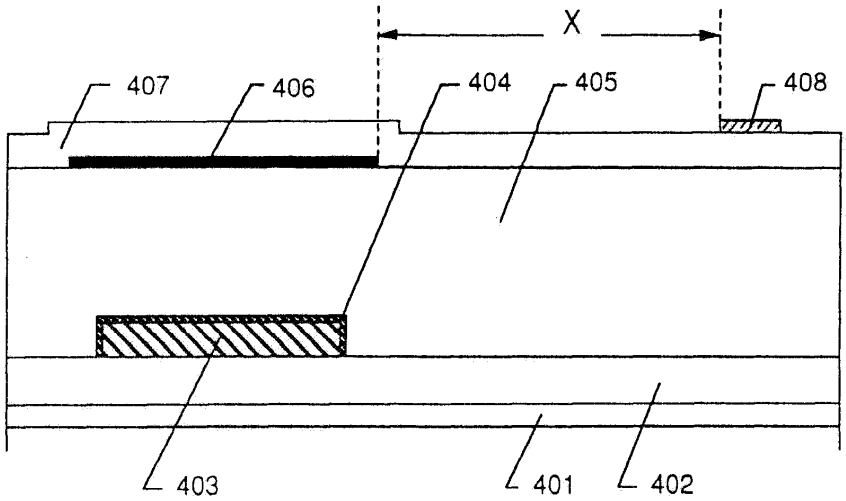
도면3a



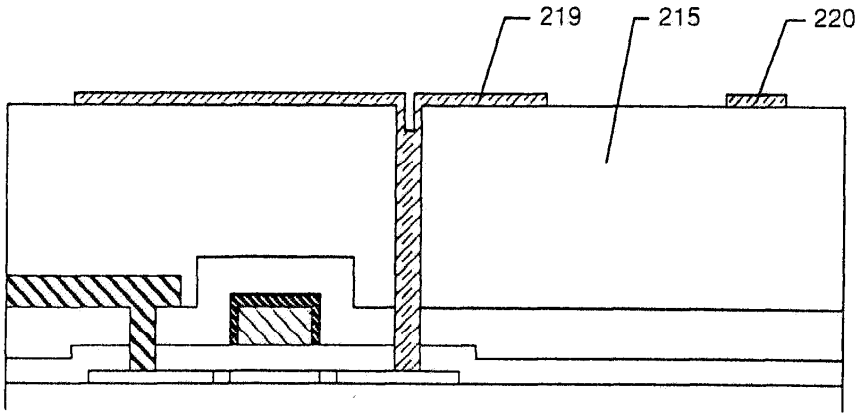
도면3b



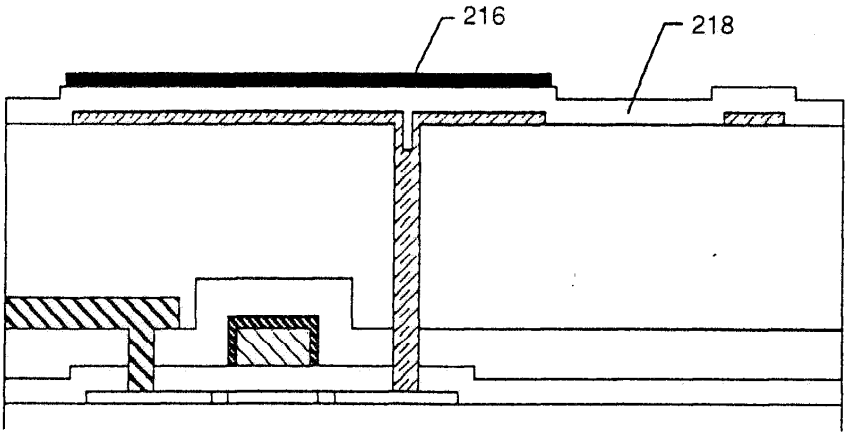
도면4



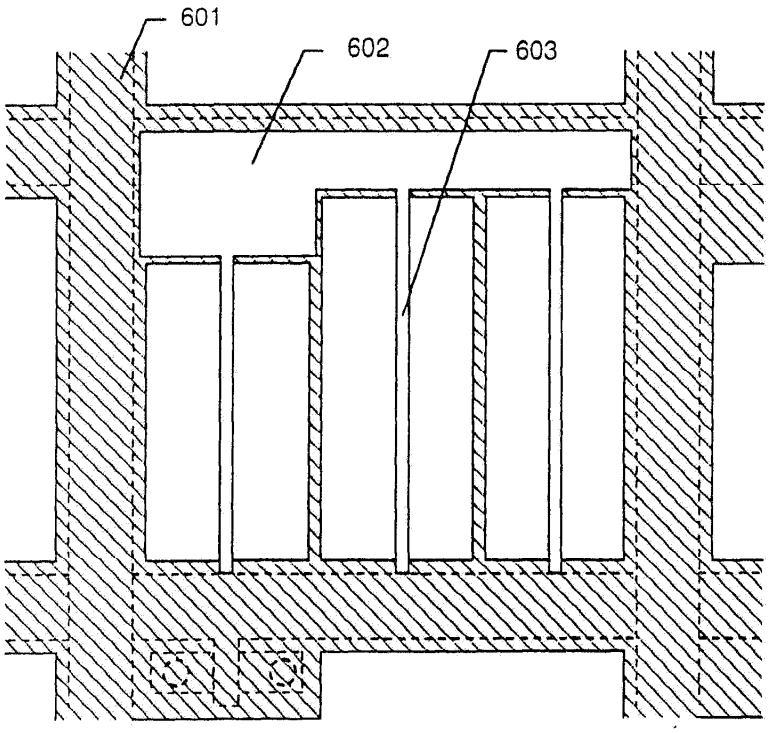
도면5a



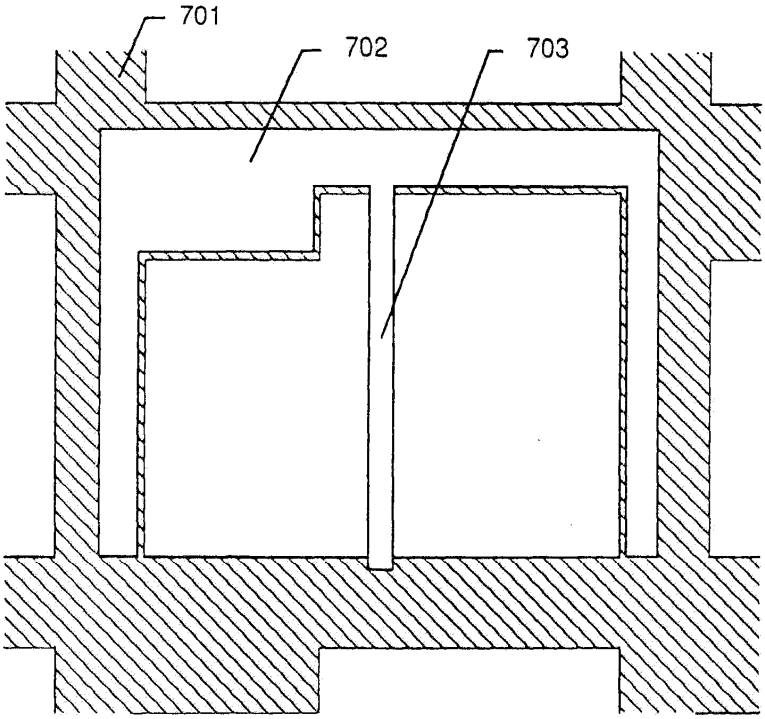
도면5b



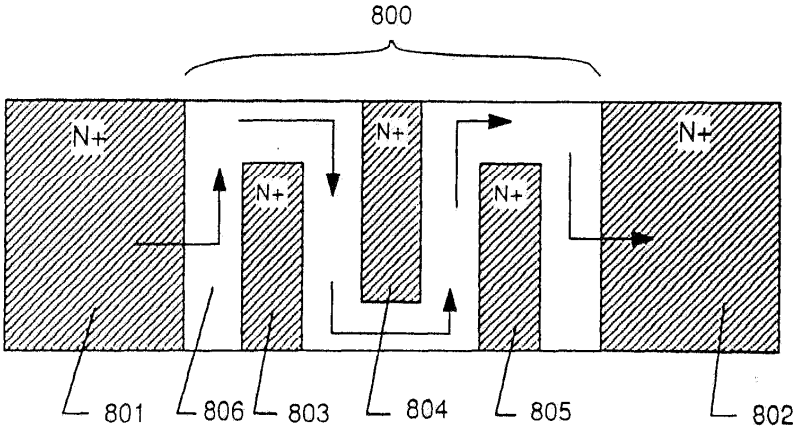
도면6



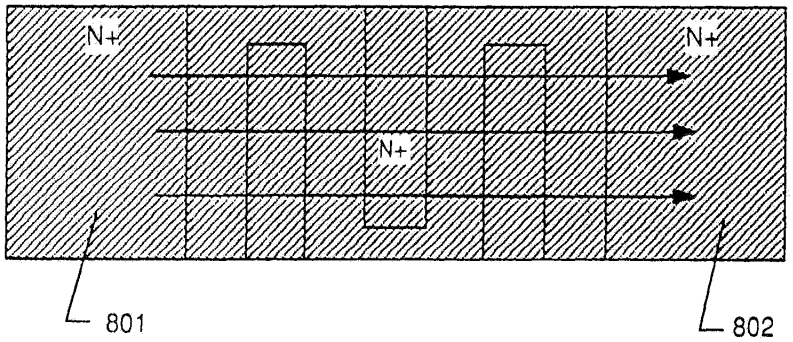
도면7



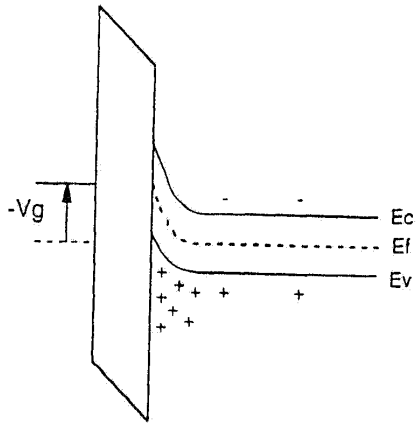
도면8a



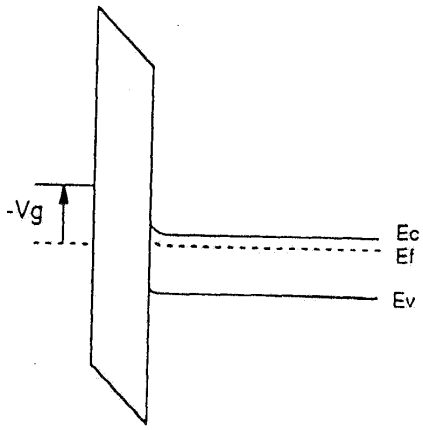
도면8b



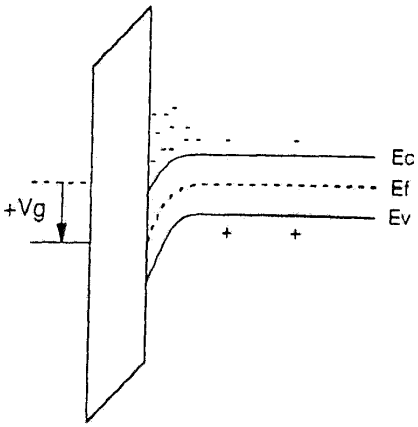
도면9a



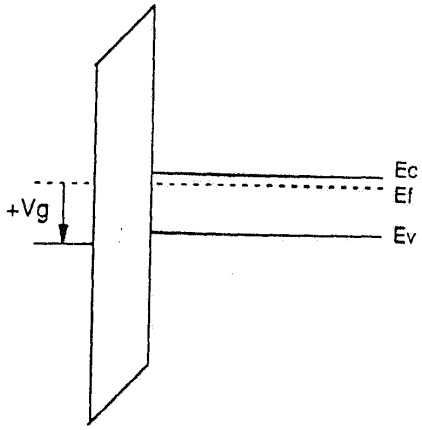
도면9b



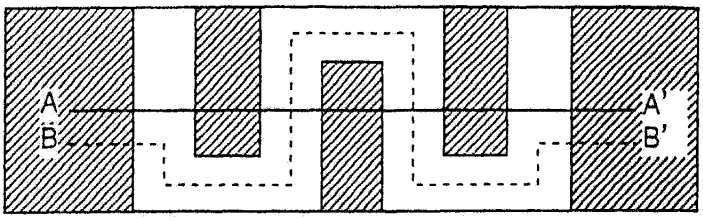
도면9c



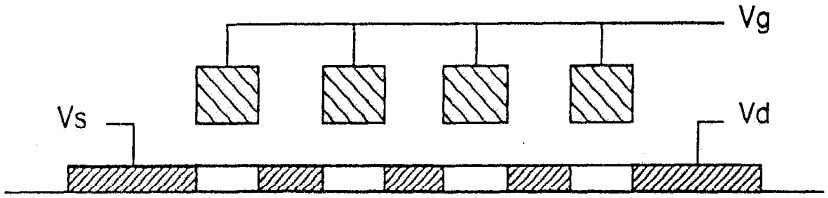
도면9d



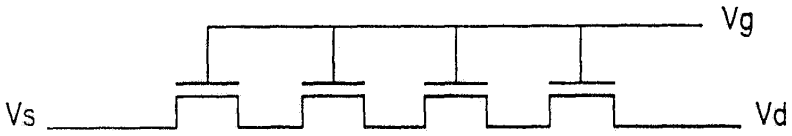
도면10a



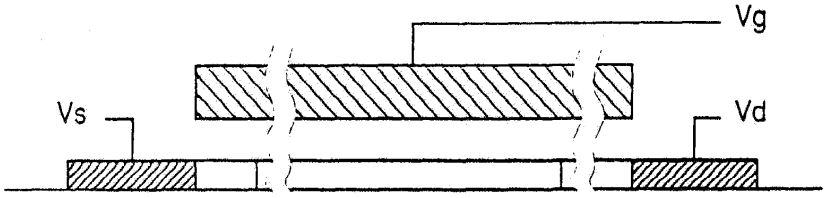
도면10b



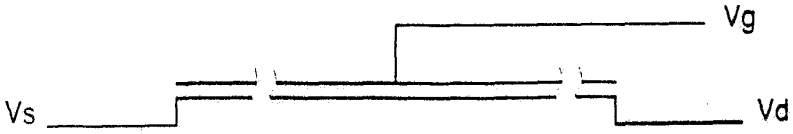
도면10c



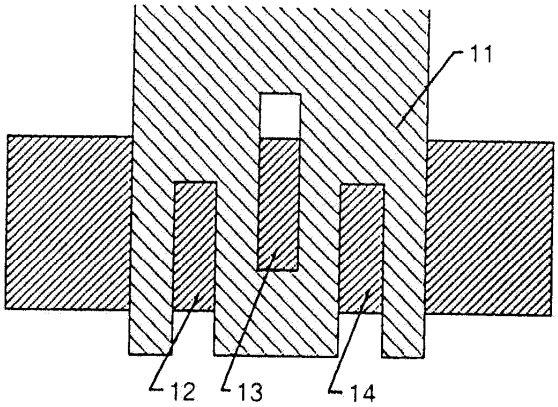
도면10d



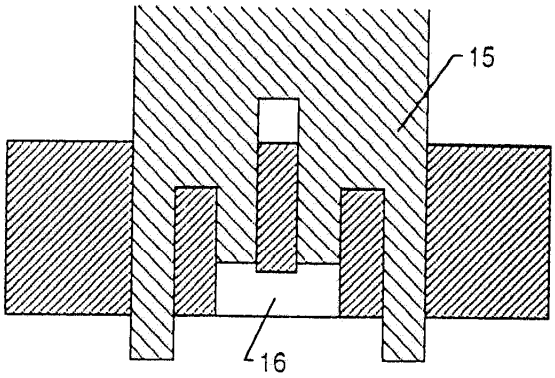
도면10e



도면11a



도면11b



도면11c

