





# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

半導體裝置及其製造方法

Semiconductor device and manufacturing method thereof

## 【技術領域】

[0001] 本發明係關於一種物體、方法或製造方法。本發明係關於一種製程 ( process )、機器 ( machine )、產品 ( manufacture ) 或者組合物 ( composition of matter )。尤其是，本發明的一個方式係關於一種半導體裝置、半導體裝置的驅動方法、半導體裝置的製造方法。

[0002] 注意，在本說明書等中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。另外，電晶體、半導體電路、算術裝置、記憶體裝置、攝像裝置、電光裝置、顯示裝置、發光裝置、蓄電裝置、發電裝置 ( 包括薄膜太陽能電池、有機薄膜太陽能電池等 ) 有時包括半導體裝置。

## 【先前技術】

[0003] 使用半導體材料構成電晶體的技術受到關注。該電晶體被廣泛地應用於積體電路 ( IC )、影像顯示裝置等電子裝置。作為可以用於電晶體的半導體材料，矽類半導體材料被廣泛地周知，而作為其他材料，氧化物半

導體受到關注。

[0004] 例如，公開了作為氧化物半導體使用氧化鋅或 In-Ga-Zn 類氧化物半導體來製造電晶體的技術（參照專利文獻 1 及專利文獻 2）。

[0005] 近年來，隨著電子裝置的高功能化、小型化或輕量化，對高密度地集成有被微型化的電晶體等半導體元件的積體電路的要求提高。

[0006]

[專利文獻 1]日本專利申請公開第 2007-123861 號公報

[專利文獻 2]日本專利申請公開第 2007-096055 號公報

### 【發明內容】

[0007] 本發明的一個方式的目的之一是提供一種適合於高集成化的半導體裝置。

[0008] 另外，本發明的目的之一是使半導體裝置具有良好的電特性。此外，本發明的目的之一是提供一種可靠性高的半導體裝置。另外，本發明的目的之一是提供一種具有新穎結構的半導體裝置。

[0009] 注意，這些目的的記載不妨礙其他目的的存在。此外，本發明的一個方式並不需要實現所有上述目的。另外，可以從說明書、圖式、申請專利範圍等的記載得知並抽出上述以外的目的。

[0010] 本發明的一個方式是一種半導體裝置，包括：島狀半導體；第一電極；第二電極；第一絕緣體；第二絕緣體；以及第三電極，其中，該第一電極和該第二電極接觸於該島狀半導體，該第一絕緣體設置在該島狀半導體、該第一電極和該第二電極上，該第一絕緣體具有開口或槽，該第二絕緣體設置在該第一絕緣體、該開口的內壁或槽的內壁、被露出的島狀半導體上，並且，該第三電極設置在該開口或槽中。

[0011] 本發明的一個方式是一種半導體裝置的製造方法，包括如下步驟：設置半導體的第一製程；對半導體進行第一加工而設置島狀半導體的第二製程；在該島狀半導體上設置第一導電體的第三製程；對該第一導電體進行第二加工而設置具有第一圖案的導電體的第四製程；在具有第一圖案的該導電體上設置第一絕緣體的第五製程；在該第一絕緣體中形成開口或槽的第六製程；在該開口或槽中，對具有第一圖案的導電體進行第三加工，由此形成第一電極和第二電極，並且使該島狀半導體露出的第七製程；在該第一絕緣體、該開口的內壁或槽的內壁以及被露出的島狀半導體上設置第二絕緣體的第八製程；在該第二絕緣體上設置第二導電體的第九製程；以及對該第二導電體進行第四加工而設置第三電極的第十製程。

[0012] 本發明的一個方式是一種半導體裝置的製造方法，包括如下步驟：設置半導體的第一製程；對半導體進行第一加工而設置島狀半導體的第二製程；在該島狀半

導體上設置第一導電體的第三製程；在該第一導電體上設置第一絕緣體的第四製程；對該第一絕緣體進行第二加工，以使第一絕緣體具有所希望的圖案，對第一導電體進行第三加工，由此形成第一電極和第二電極，並且使該島狀半導體露出的第五製程；在該第一絕緣體、藉由上述第二加工及第三加工形成的開口的內壁或槽的內壁以及被露出的島狀半導體上設置第二絕緣體的第六製程；在該第二絕緣體上設置第二導電體的第七製程；以及對該第二導電體進行第四加工而設置第三電極的第八製程。

[0013] 本發明的一個方式是一種半導體裝置的製造方法，包括如下步驟：設置半導體的第一製程；在該半導體上以接觸於該半導體的方式設置第一導電體的第二製程；藉由第一加工使該半導體和該第一導電體具有第一圖案的第三製程；在具有第一圖案的該半導體和具有第一圖案的該導電體上設置第一絕緣體的第四製程；在該第一絕緣體中形成開口或槽的第五製程；在該開口或槽中，對具有第一圖案的該導電體進行第二加工，由此形成第一電極和第二電極，並且使具有第一圖案的半導體露出的第六製程；在該第一絕緣體、該開口的內壁或槽的內壁以及被露出的具有第一圖案的半導體上設置第二絕緣體的第七製程；在該第二絕緣體上設置第二導電體的第八製程；以及對該第二導電體進行第三加工而設置第三電極的第九製程。

[0014] 本發明的一個方式是一種半導體裝置的製造

方法，包括如下步驟：設置半導體的第一製程；在該半導體上以接觸於該半導體的方式設置第一導電體的第二製程；在該第一導電體上設置第一絕緣體的第三製程；對該第一絕緣體、第一導電體及半導體進行第一加工，以使第一絕緣體、第一導電體及半導體具有所希望的圖案的第四製程；對該第一絕緣體及第一導電體進行第二加工，由此形成第一電極和第二電極，並且使該半導體露出的第五製程；在該第一絕緣體、藉由上述第二加工形成的開口的內壁或槽的內壁以及半導體的被露出的部分上設置第二絕緣體的第六製程；在該第二絕緣體上設置第二導電體的第七製程；以及對該第二導電體進行第三加工而設置第三電極的第八製程。

[0015] 另外，作為該第一絕緣體較佳為使用具有平坦性的絕緣體。

[0016] 此外，該第一絕緣體較佳為具有低介電常數材料。

[0017] 另外，當對第二導電體進行加工時，較佳為進行 CMP 處理。藉由該處理，可以在該開口或槽中設置第三電極。

[0018] 此外，當對第二導電體進行加工時，較佳為利用雙鑲嵌法。

[0019] 根據本發明的一個方式，可以提供一種適合於微型化的半導體裝置。

[0020] 另外，根據本發明的一個方式，可以使半導

體裝置具有良好的電特性。此外，根據本發明的一個方式，可以提供一種可靠性高的半導體裝置。

[0021] 另外，根據本發明的一個方式，可以提供一種具有新穎結構的半導體裝置等。此外，當製造半導體裝置時，可以減少製程數。

[0022] 另外，藉由設置第一絕緣體，可以減少產生在第一電極與第三電極之間的寄生電容。

[0023] 此外，藉由設置第一絕緣體，可以減少產生在第二電極與第三電極之間的寄生電容。

[0024] 另外，藉由減少寄生電容，可以提高該半導體裝置的工作速度。尤其是，可以提高半導體裝置從第一導電狀態切換為第二導電狀態時的速度。

[0025] 此外，藉由使半導體與第一電極或第二電極接觸，可以減少寄生電阻。並且，藉由減少寄生電阻，可以增高通態電流（on-state current）。

[0026] 另外，藉由設置第二絕緣體，可以在通道區域與源極區域或汲極區域之間形成偏置區域。此外，可以進行比光微影法的最小加工尺寸更微細的加工，由此得到包括具有更微小的閘極長度的閘極電極的半導體裝置。

[0027] 此外，藉由改變第二絕緣體的厚度，可以控制電晶體的通道長度。另外，可以在通道區域與源極區域或汲極區域之間控制偏置區域的長度。

[0028] 另外，當對第二導電體進行加工時，藉由利用 CMP 處理，可以對難以藉由蝕刻進行加工的導電體也

進行微細加工，並且，可以進行比光微影法的最小加工尺寸更微細的加工。

[0029] 注意，這些效果的記載不妨礙其他效果的存在。另外，說明書、圖式以及申請專利範圍的記載中顯然存在上述效果以外的效果，可以從說明書、圖式以及申請專利範圍等的記載中獲得上述效果以外的效果。

### 【圖式簡單說明】

[0030] 在圖式中：

圖 1A 至圖 1C 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 2A 和圖 2B 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 3A 和圖 3B 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 4A 和圖 4B 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 5 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 6A 和圖 6B 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 7A 和圖 7B 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 8A 和圖 8B 是說明根據實施方式的半導體裝置的

製造方法例子的圖；

圖 9 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 10A 至圖 10C 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 11A 和圖 11B 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 12A 和圖 12B 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 13A 和圖 13B 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 14A 和圖 14B 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 15A 和圖 15B 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 16A 和圖 16B 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 17A 和圖 17B 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 18A 和圖 18B 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 19A 和圖 19B 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 20A 和圖 20B 是說明根據實施方式的半導體裝置

的製造方法例子的圖；

圖 21 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 22A 和圖 22B 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 23A 和圖 23B 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 24A 和圖 24B 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 25 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 26A 至圖 26C 是氧化物半導體的剖面 TEM 影像及局部性的傅立葉變換影像；

圖 27A 和圖 27B 示出氧化物半導體膜的奈米束電子繞射圖案，並且圖 27C 和圖 27D 示出穿透式電子繞射測量裝置的一個例子；

圖 28A 示出利用穿透式電子繞射測量的結構分析的一個例子，並且圖 28B 和圖 28C 示出平面 TEM 影像；

圖 29A 至圖 29C 是說明根據實施方式的能帶結構的圖；

圖 30A 和圖 30B 是根據實施方式的半導體裝置的結構實例；

圖 31 是根據實施方式的 CPU 的結構實例；

圖 32 是根據實施方式的記憶元件的電路圖；

圖 33A 至圖 33C 是根據實施方式的顯示裝置的俯視圖及電路圖；

圖 34A 至圖 34F 是根據實施方式的電子裝置。

### 【實施方式】

[0031] 將參照圖式對實施方式進行詳細說明。注意，本發明不侷限於以下說明，而所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的精神及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅侷限於以下所示的實施方式所記載的內容中。

[0032] 注意，在以下說明的發明的結構中，在不同的圖式之間共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略其重複說明。此外，當表示具有相同功能的部分時有時使用相同的陰影線，而不特別附加元件符號。

[0033] 注意，在本說明書所說明的各個圖式中，有時為了明確起見，誇大表示各構成要素的大小、層的厚度、區域。因此，本發明並不一定限定於上述尺寸。

[0034] 另外，在本說明書等中使用的“第一”、“第二”等序數詞是為了方便識別構成要素而附的，而不是為了在數目方面上進行限定的。

[0035] 此外，在本說明書等中，電極和電連接到該

電極的佈線也可以是一個構成要素。就是說，有時佈線的一部分被用作電極，有時電極的一部分被用作佈線。

[0036] 電晶體是半導體元件的一種，並且可以進行電流或電壓的放大、控制導通或非導通的切換工作等。本說明書中的電晶體包括 IGFET ( Insulated Gate Field Effect Transistor：絕緣閘場效電晶體 ) 和薄膜電晶體 ( TFT：Thin Film Transistor ) 。

[0037]

實施方式 1

以下，參照圖 1A 至圖 5 對本發明的一個方式的半導體裝置的製造方法的一個例子進行說明。另外，圖式中的 a1-a2 是 FET 部的剖面圖，b1-b2 是電容元件的剖面圖，c1-c2 是接觸部的剖面圖。

[0038] 首先，設置絕緣體 101。接著，設置半導體 102 ( 圖 1A ) 。

[0039] 作為絕緣體 101，除了如後面說明那樣的絕緣體之外，還可以使用玻璃基板、石英基板、藉由 LOCOS ( Local Oxidation of Silicon：矽局部氧化 ) 法形成的氧化矽膜等。另外，當作為絕緣體 101 使用玻璃基板、石英基板等時，較佳的是，在與半導體 102 之間設置氧化矽膜、氮化矽膜、氧氮化矽膜或它們的疊層膜。

[0040] 接著，藉由光微影法等該半導體 102 上形成光阻遮罩，去除該半導體 102 的不需要的部分，由此形成島狀半導體 103。然後，去除光阻遮罩 ( 圖 1B ) 。另

外，如圖 1B 所示，當去除半導體 102 的不需要的部分時，絕緣體 101 的一部分也可以被去除。

[0041] 接著，設置導電體 104（圖 1C）。

[0042] 接著，藉由光微影法等在该導電體 104 上形成光阻遮罩，去除該導電體 104 的不需要的部分。然後，去除光阻遮罩，由此形成導電圖案 201、202、203（圖 2A）。

[0043] 接著，在该導電圖案 201、202、203 上設置絕緣體 204（圖 2B）。

[0044] 作為絕緣體 204，可以使用後面說明的絕緣體，尤其較佳為使用具有平坦性的膜。

[0045] 另外，因為該絕緣體 204 也用作層間絕緣膜，所以較佳為使用低介電常數材料（也稱為 low-k 材料）形成。

[0046] 接著，藉由光微影法等在该絕緣體 204 上形成光阻遮罩，去除該絕緣體 204 的不需要的部分。然後，去除該導電圖案 201、202 的不需要的部分，由此形成用作源極電極或汲極電極的電極 301、302、電容元件的電極 303、開口或槽 310、311。此時，可以在去除該光阻遮罩之前或在去除該光阻遮罩之後去除導電圖案 201、202 的不需要的部分（圖 3A）。

[0047] 接著，設置絕緣體 304（圖 3B）。

[0048] 雖然作為該絕緣體 304 可以使用後面說明的絕緣體，但是較佳為使用藉由 ALD（Atomic Layer

Deposition：原子層沉積）法形成的膜。藉由利用 ALD 法，可以均勻地形成厚度薄的絕緣體。因此，可以在該絕緣體 204、開口或槽 310 的內壁及被露出的島狀半導體 103 上設置具有均勻的厚度的絕緣體。

[0049] 另外，因為該絕緣體 304 的一部分也用作閘極絕緣膜，所以較佳為使用高介電常數物質（也稱為 high-k 材料）形成。

[0050] 接著，藉由光微影法等在该絕緣體 304 上形成光阻遮罩，去除該絕緣體 304 及該絕緣體 204 的不需要的部分，由此形成開口或槽 410。然後，去除光阻遮罩（圖 4A）。

[0051] 接著，設置導電體 401（圖 4B）。

[0052] 雖然作為該導電體 401 可以使用後面說明的導電體，但是較佳為使用藉由 MOCVD（Metal Organic CVD）法形成的導電體。藉由利用 MOCVD 法形成導電體，可以在具有高縱橫比的凹部中也填充導電體。

[0053] 接著，藉由光微影法等在该導電體 401 上形成光阻遮罩，去除該導電體 401 的不需要的部分，由此形成導電圖案 501、502、503。然後，去除光阻遮罩。另外，導電圖案 501 用作閘極電極。導電圖案 502 可以在隔著絕緣體 304 與電極 303 相對的部分中形成電容元件（圖 5）。

[0054] 在本發明的一個方式的半導體裝置中，如圖 1A 至圖 5 所示那樣，可以同時形成 FET 部、電容元件、

接觸部。

[0055] 在 FET 部中，藉由設置絕緣體 204，可以減少電極 301 與導電圖案 501 之間以及電極 302 與導電圖案 501 之間的寄生電容。另外，藉由減少寄生電容，可以提高該半導體裝置的工作速度。尤其是，可以提高半導體裝置從第一導電狀態切換為第二導電狀態時的速度。此外，藉由使島狀半導體 103 的源極區域或汲極區域的大部分與電極 301 或電極 302 接觸，可以減少寄生電阻。另外，藉由減少寄生電阻，可以增高通態電流。此外，藉由設置絕緣體 304，可以在通道區域與源極區域或汲極區域之間形成偏置區域，可以在通道區域附近配置電極 301 或電極 302。另外，可以進行比光微影法的最小加工尺寸更微細的加工，由此得到包括具有更微小的閘極長度的閘極電極的半導體裝置。此外，藉由改變絕緣體 304 的厚度，可以控制電晶體的通道長度。另外，可以在通道區域與源極區域或汲極區域之間控制偏置區域的長度。

[0056] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0057]

實施方式 2

以下，參照圖 6A 至圖 9 對本發明的一個方式的半導體裝置的製造方法的一個例子進行說明。另外，圖式中的 a1-a2 是 FET 部的剖面圖，b1-b2 是電容元件的剖面圖，c1-c2 是接觸部的剖面圖。

[0058] 另外，在本實施方式 2 中，對改變實施方式 1 所示的半導體裝置的製造方法的一部分的半導體裝置的製造方法進行說明。

[0059] 首先，藉由與實施方式 1 所示的圖 1A 至圖 2A 同樣的方法得到圖 6A 的結構。

[0060] 接著，使用具有平坦性的絕緣體，在導電圖案 601、602、603 上設置絕緣體 604（圖 6B）。

[0061] 另外，因為該絕緣體 604 也用作層間絕緣膜，所以較佳為使用低介電常數材料（也稱為 low-k 材料）形成。

[0062] 接著，藉由光微影法等，在該絕緣體 604 上形成光阻遮罩，去除該絕緣體 604 的不需要的部分。然後，去除該導電圖案 601、602 的不需要的部分，由此形成用作源極電極或汲極電極的電極 701、702、電容元件的電極 703、開口或槽 710、711。此時，可以在去除該光阻遮罩之前或在去除該光阻遮罩之後去除導電圖案 601、602 的不需要的部分（圖 7A）。

[0063] 接著，設置絕緣體 704（圖 7B）。

[0064] 雖然作為該絕緣體 704 可以使用後面說明的絕緣體，但是較佳為使用藉由 ALD（Atomic Layer Deposition：原子層沉積）法形成的膜。藉由利用 ALD 法，可以均勻地形成厚度薄的絕緣體。因此，可以在該絕緣體 604、開口或槽 710 的內壁及被露出的島狀半導體上設置具有均勻的厚度的絕緣體。

[0065] 另外，因為該絕緣體 704 的一部分也用作閘極絕緣膜，所以較佳為使用高介電常數物質（也稱為 high-k 材料）形成。

[0066] 接著，藉由光微影法等在该絕緣體 704 上形成光阻遮罩，去除該絕緣體 704 及該絕緣體 604 的不需要的部分，由此形成開口或槽 810。然後，去除光阻遮罩（圖 8A）。

[0067] 接著，設置導電體 801（圖 8B）。

[0068] 雖然作為該導電體 801 可以使用後面說明的導電體，但是較佳為使用藉由 MOCVD（Metal Organic CVD）法形成的導電體。藉由利用 MOCVD 法形成導電體，可以在具有高縱橫比的被形成面的凹部中也填充導電體。

[0069] 接著，藉由 CMP（Chemical Mechanical Polishing：化學機械拋光）法對該導電體 801 進行加工，可以形成導電圖案 901、902、903。另外，導電圖案 901 用作閘極電極。導電圖案 902 可以在隔著絕緣體 704 與電極 703 相對的部分中形成電容元件。此外，當形成導電圖案 901、902、903 等時，也可以利用雙鑲嵌法（圖 9）。

[0070] 在本發明的一個方式的半導體裝置中，如圖 6A 至圖 9 所示那樣，可以同時形成 FET 部、電容元件、接觸部。

[0071] 在 FET 部中，藉由設置絕緣體 604，可以減少電極 701 與導電圖案 901 之間以及電極 702 與導電圖案

901 之間的寄生電容。另外，藉由減少寄生電容，可以提高該半導體裝置的工作速度。尤其是，可以提高半導體裝置從第一導電狀態切換為第二導電狀態時的速度。此外，藉由使半導體的源極區域或汲極區域的大部分與電極 701 或電極 702 接觸，可以減少寄生電阻。另外，藉由減少寄生電阻，可以增高通態電流。此外，藉由設置絕緣體 704，可以在通道區域與源極區域或汲極區域之間形成偏置區域。另外，可以進行比光微影法的最小加工尺寸更微細的加工，由此得到包括具有更微小的閘極長度的閘極電極的半導體裝置。此外，藉由改變絕緣體 704 的厚度，可以控制電晶體的通道長度。另外，可以在通道區域與源極區域或汲極區域之間控制偏置區域的長度。

[0072] 此外，藉由利用 CMP 法對導電體 801 進行加工，可以在不使用光微影製程的情況下形成導電圖案 901、902、903。因此，可以實現光罩的減少等的製程的簡化。

[0073] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0074]

### 實施方式 3

以下，參照圖 10A 至圖 13B 對本發明的一個方式的半導體裝置的製造方法的一個例子進行說明。另外，圖式中的 a1-a2 是 FET 部的剖面圖，b1-b2 是電容元件的剖面圖，c1-c2 是接觸部的剖面圖。

[0075] 首先，設置絕緣體 1001。接著，設置半導體 1002（圖 10A）。

[0076] 作為絕緣體 1001，除了如後面說明那樣的絕緣體之外，還可以使用玻璃基板、石英基板、藉由 LOCOS（Local Oxidation of Silicon：矽局部氧化）法形成的氧化矽膜等。另外，當作為絕緣體 1001 使用玻璃基板、石英基板等時，在與半導體 1002 之間設置氧化矽膜、氮化矽膜、氧氮化矽膜或它們的疊層膜是較佳的。

[0077] 接著，藉由光微影法等在该半導體 1002 上形成光阻遮罩，去除該半導體 1002 的不需要的部分，由此形成島狀半導體 1003。然後，去除光阻遮罩（圖 10B）。另外，如圖 10B 所示，當去除半導體 1002 的不需要的部分時，絕緣體 1001 的一部分也可以被去除。

[0078] 接著，設置導電體 1004（圖 10C）。

[0079] 接著，在該導電體 1004 上設置絕緣體 1101（圖 11A）。

[0080] 作為絕緣體 1101，可以使用後面說明的絕緣體，尤其較佳為使用具有平坦性的膜。

[0081] 另外，因為該絕緣體 1101 也用作層間絕緣膜，所以較佳為使用低介電常數材料（也稱為 low-k 材料）形成。

[0082] 接著，藉由光微影法等在该絕緣體 1101 上形成光阻遮罩，去除該絕緣體 1101 及導電體 1004 的不需要的部分。藉由去除導電體 1004 的不需要的部分，形成用

作源極電極或汲極電極的電極 1102、1103、電容元件的電極 1104、導電圖案 1105。此時，在去除絕緣體 1101 的不需要的部分之後，可以在去除該光阻遮罩之前或在去除該光阻遮罩之後去除導電體 1004 的不需要的部分（圖 11B）。

[0083] 接著，設置絕緣體 1201（圖 12A）。

[0084] 雖然作為該絕緣體 1201 可以使用後面說明的絕緣體，但是較佳為使用藉由 ALD（Atomic Layer Deposition：原子層沉積）法形成的膜。藉由利用 ALD 法，可以均勻地形成厚度薄的絕緣體。因此，可以在該絕緣體 1101 的頂面及側面、用作源極電極或汲極電極的電極 1102、1103、電容元件的電極 1104、導電圖案 1105 的側面及被露出的島狀半導體 1003 上設置具有均勻的厚度的絕緣體。

[0085] 另外，因為該絕緣體 1201 的一部分也用作閘極絕緣膜，所以較佳為使用高介電常數物質（也稱為 high-k 材料）形成。

[0086] 接著，藉由光微影法等在该絕緣體 1201 上形成光阻遮罩，去除該絕緣體 1101 及該絕緣體 1201 的不需要的部分，由此形成開口或槽 1202。然後，去除光阻遮罩（圖 12B）。

[0087] 接著，設置導電體 1301（圖 13A）。

[0088] 雖然作為該導電體 1301 可以使用後面說明的導電體，但是較佳為使用藉由 MOCVD（Metal Organic

CVD) 法形成的導電體。藉由利用 MOCVD 法形成導電體，可以在具有高縱橫比的被形成面的凹部中也填充導電體。

[0089] 接著，藉由光微影法等在该導電體 1301 上形成光阻遮罩，去除該導電體 1301 的不需要的部分，由此形成導電圖案 1302、1303、1304。然後，去除光阻遮罩。另外，導電圖案 1302 用作閘極電極。導電圖案 1303 可以在隔著絕緣體 1201 與電極 1104 相對的部分中形成電容元件（圖 13B）。

[0090] 在本發明的一個方式的半導體裝置中，如圖 10A 至圖 13B 所示那樣，可以同時形成 FET 部、電容元件、接觸部。

[0091] 在 FET 部中，藉由設置絕緣體 1101，可以減少電極 1102 與導電圖案 1302 之間以及電極 1103 與導電圖案 1302 之間的寄生電容。另外，藉由減少寄生電容，可以提高該半導體裝置的工作速度。尤其是，可以提高半導體裝置從第一導電狀態切換為第二導電狀態時的速度。此外，藉由使島狀半導體 1003 的源極區域或汲極區域的大部分與電極 1102 或電極 1103 接觸，可以減少寄生電阻。另外，藉由減少寄生電阻，可以增高通態電流。此外，藉由設置絕緣體 1201，可以在通道區域與源極區域或汲極區域之間形成偏置區域。另外，可以進行比光微影法的最小加工尺寸更微細的加工，由此得到包括具有更微小的閘極長度的閘極電極的半導體裝置。此外，藉由改變

絕緣體 1201 的厚度，可以控制電晶體的通道長度。另外，可以在通道區域與源極區域或汲極區域之間控制偏置區域的長度。

[0092] 另外，藉由使用相同的遮罩對導電體 1004 和絕緣體 1101 進行加工，當製造半導體裝置時，可以實現光罩的減少等的製程的簡化。

[0093] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0094]

#### 實施方式 4

以下，參照圖 14A 至圖 17B 對本發明的一個方式的半導體裝置的製造方法的一個例子進行說明。另外，圖式中的 a1-a2 是 FET 部的剖面圖，b1-b2 是電容元件的剖面圖，c1-c2 是接觸部的剖面圖。

[0095] 首先，設置絕緣體 1401。接著，設置半導體 1402、導電體 1403（圖 14A）。

[0096] 作為絕緣體 1401，除了如後面說明那樣的絕緣體之外，還可以使用玻璃基板、石英基板、藉由 LOCOS（Local Oxidation of Silicon：矽局部氧化）法形成的氧化矽膜等。另外，當作為絕緣體 1401 使用玻璃基板、石英基板等時，在與半導體 1402 之間設置氧化矽膜、氮化矽膜、氧氮化矽膜或它們的疊層膜是較佳的。

[0097] 接著，藉由光微影法等在该導電體 1403 上形成光阻遮罩，去除該導電體 1403、半導體 1402 的不需要

的部分，由此形成半導體 1404、導電圖案 1405、1406、1407（圖 14B）。然後，去除光阻遮罩。另外，如圖 14B 所示，當去除導電體 1403 及半導體 1402 的不需要的部分時，絕緣體 1401 的一部分也可以被去除。

[0098] 接著，在該導電圖案 1405、1406、1407 上設置絕緣體 1501（圖 15A）。

[0099] 作為絕緣體 1501，可以使用後面說明的絕緣體，尤其較佳為使用具有平坦性的膜。

[0100] 另外，因為該絕緣體 1501 也用作層間絕緣膜，所以較佳為使用低介電常數材料（也稱為 low-k 材料）形成。

[0101] 接著，藉由光微影法等在该絕緣體 1501 上形成光阻遮罩，去除該絕緣體 1501 的不需要的部分。然後，去除該導電圖案 1405、1406 的不需要的部分，由此形成用作源極電極或汲極電極的電極 1502、1503、電容元件的電極 1504、開口或槽 1510、1511。此時，可以在去除該光阻遮罩之前或在去除該光阻遮罩之後去除導電圖案 1405、1406 的不需要的部分（圖 15B）。

[0102] 接著，設置絕緣體 1601（圖 16A）。

[0103] 雖然作為該絕緣體 1601 可以使用後面說明的絕緣體，但是較佳為使用藉由 ALD（Atomic Layer Deposition：原子層沉積）法形成的膜。藉由利用 ALD 法，可以均勻地形成厚度薄的絕緣體。因此，可以在該絕緣體 1501、開口或槽 1510、1511 的內壁及半導體 1404

的被露出的部分上設置具有均勻的厚度的絕緣體。

[0104] 另外，因為該絕緣體 1601 的一部分也用作閘極絕緣膜，所以較佳為使用高介電常數物質（也稱為 high-k 材料）形成。

[0105] 接著，藉由光微影法等在该絕緣體 1601 上形成光阻遮罩，去除該絕緣體 1601 及該絕緣體 1501 的不需要的部分，由此形成開口或槽 1610。然後，去除光阻遮罩（圖 16B）。

[0106] 接著，設置導電體 1701（圖 17A）。

[0107] 雖然作為該導電體 1701 可以使用後面說明的導電體，但是較佳為使用藉由 MOCVD（Metal Organic CVD）法形成的導電體。藉由利用 MOCVD 法形成導電體，可以在具有高縱橫比的被形成面的凹部中也填充導電體。

[0108] 接著，藉由光微影法等在该導電體 1701 上形成光阻遮罩，去除該導電體 1701 的不需要的部分，由此形成導電圖案 1702、1703、1704。然後，去除光阻遮罩。另外，導電圖案 1702 用作閘極電極。導電圖案 1703 可以在隔著絕緣體 1601 與電極 1504 相對的部分中形成電容元件（圖 17B）。

[0109] 在本發明的一個方式的半導體裝置中，如圖 14A 至圖 17B 所示那樣，可以同時形成 FET 部、電容元件、接觸部。

[0110] 在 FET 部中，藉由設置絕緣體 1501，可以減

少電極 1502 與導電圖案 1702 之間以及電極 1503 與導電圖案 1702 之間的寄生電容。另外，藉由減少寄生電容，可以提高該半導體裝置的工作速度。尤其是，可以提高半導體裝置從第一導電狀態切換為第二導電狀態時的速度。此外，藉由使半導體 1404 的源極區域或汲極區域的大部分與電極 1502 或電極 1503 接觸，可以減少寄生電阻。另外，藉由減少寄生電阻，可以增高通態電流。此外，藉由設置絕緣體 1601，可以在通道區域與源極區域或汲極區域之間形成偏置區域。另外，可以進行比光微影法的最小加工尺寸更微細的加工，由此得到包括具有更微小的閘極長度的閘極電極的半導體裝置。此外，藉由改變絕緣體 1601 的厚度，可以控制電晶體的通道長度。另外，可以在通道區域與源極區域或汲極區域之間控制偏置區域的長度。

[0111] 另外，藉由使用相同的遮罩對半導體 1402 和導電體 1403 進行加工，當製造半導體裝置時，可以實現光罩的減少等的製程的簡化。

[0112] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0113]

#### 實施方式 5

以下，參照圖 18A 至圖 21 對本發明的一個方式的半導體裝置的製造方法的一個例子進行說明。另外，圖式中的 a1-a2 是 FET 部的剖面圖，b1-b2 是電容元件的剖面

圖，c1-c2 是接觸部的剖面圖。

[0114] 另外，在本實施方式 5 中，對改變實施方式 4 所示的半導體裝置的製造方法的一部分的半導體裝置的製造方法進行說明。

[0115] 首先，藉由與實施方式 4 所示的圖 14A 和圖 14B 同樣的方法得到圖 18A 的結構。

[0116] 接著，使用具有平坦性的絕緣體，在該導電圖案 1801、1802、1803、半導體 1804 上設置絕緣體 1805（圖 18B）。

[0117] 另外，因為該絕緣體 1805 也用作層間絕緣膜，所以較佳為使用低介電常數材料（也稱為 low-k 材料）形成。

[0118] 接著，藉由光微影法等在该絕緣體 1805 上形成光阻遮罩，去除該絕緣體 1805 的不需要的部分。然後，去除該導電圖案 1801、1802 的不需要的部分，由此形成用作源極電極或汲極電極的電極 1901、1902、電容元件的電極 1903、開口或槽 1910、1911。此時，可以在去除該光阻遮罩之前或在去除該光阻遮罩之後去除導電圖案 1801、1802 的不需要的部分（圖 19A）。

[0119] 接著，設置絕緣體 1904（圖 19B）。

[0120] 雖然作為該絕緣體 1904 可以使用後面說明的絕緣體，但是較佳為使用藉由 ALD（Atomic Layer Deposition：原子層沉積）法形成的膜。藉由利用 ALD 法，可以均勻地形成厚度薄的絕緣體。因此，可以在該絕

緣體 1805、開口或槽 1910、1911 的內壁及半導體 1804 的被露出的部分上設置具有均勻的厚度的絕緣體。

[0121] 另外，因為該絕緣體 1904 的一部分也用作閘極絕緣膜，所以較佳為使用高介電常數物質（也稱為 high-k 材料）形成。

[0122] 接著，藉由光微影法等該絕緣體 1904 上形成光阻遮罩，去除該絕緣體 1904 及該絕緣體 1805 的不需要的部分，由此形成開口或槽 2010。然後，去除光阻遮罩（圖 20A）。

[0123] 接著，設置導電體 2001（圖 20B）。

[0124] 雖然作為該導電體 2001 可以使用後面說明的導電體，但是較佳為使用藉由 MOCVD（Metal Organic CVD）法形成的導電體。藉由利用 MOCVD 法形成導電體，可以在具有高縱橫比的被形成面的凹部中也填充導電體。

[0125] 接著，藉由 CMP（Chemical Mechanical Polishing：化學機械拋光）法對該導電體 2001 進行加工，可以形成導電圖案 2101、2102、2103。另外，導電圖案 2101 用作閘極電極。導電圖案 2102 可以在隔著絕緣體 1904 與電極 1903 相對的部分中形成電容元件。此外，當形成導電圖案 2101、2102、2103 等時，可以利用雙鑲嵌法（圖 21）。

[0126] 在本發明的一個方式的半導體裝置中，如圖 18A 至圖 21 所示那樣，可以同時形成 FET 部、電容元

件、接觸部。

[0127] 在 FET 部中，藉由設置絕緣體 1805，可以減少電極 1901 與導電圖案 2101 之間以及電極 1902 與導電圖案 2101 之間的寄生電容。另外，藉由減少寄生電容，可以提高該半導體裝置的工作速度。尤其是，可以提高半導體裝置從第一導電狀態切換為第二導電狀態時的速度。此外，藉由使半導體的源極區域或汲極區域的大部分與電極 1901 或電極 1902 接觸，可以減少寄生電阻。另外，藉由減少寄生電阻，可以增高通態電流。此外，藉由設置絕緣體 1904，可以在通道區域與源極區域或汲極區域之間形成偏置區域。另外，可以進行比光微影法的最小加工尺寸更微細的加工，由此得到包括具有更微小的閘極長度的閘極電極的半導體裝置。此外，藉由改變絕緣體 1904 的厚度，可以控制電晶體的通道長度。另外，可以在通道區域與源極區域或汲極區域之間控制偏置區域的長度。

[0128] 此外，藉由利用 CMP 法對導電體 2001 進行加工，可以在不使用光微影法製程的情況下形成導電圖案 2101、2102、2103。因此，可以實現光罩的減少等的製程的簡化。

[0129] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0130]

實施方式 6

以下，參照圖 22A 至圖 25 對本發明的一個方式的半

導體裝置的製造方法的一個例子進行說明。另外，圖式中的 a1-a2 是 FET 部的剖面圖，b1-b2 是電容元件的剖面圖，c1-c2 是接觸部的剖面圖。

[0131] 首先，設置絕緣體 2201。接著，依次設置半導體 2202、導電體 2203、絕緣體 2204（圖 22A）。

[0132] 作為絕緣體 2201，除了如後面說明那樣的絕緣體之外，還可以使用玻璃基板、石英基板、藉由 LOCOS（Local Oxidation of Silicon：矽局部氧化）法形成的氧化矽膜等。另外，當作為絕緣體 2201 使用玻璃基板、石英基板等時，在與半導體 2202 之間設置氧化矽膜、氮化矽膜、氧氮化矽膜或它們的疊層膜是較佳的。

[0133] 作為絕緣體 2204，可以使用後面說明的絕緣體，尤其較佳為使用具有平坦性的膜。

[0134] 另外，因為該絕緣體 2204 也用作層間絕緣膜，所以較佳為使用低介電常數材料（也稱為 low-k 材料）形成。

[0135] 接著，藉由光微影法等在该絕緣體 2204 上形成光阻遮罩，去除該絕緣體 2204、導電體 2203 及半導體 2202 的不需要的部分。去除導電體 2203 的不需要的部分，形成導電圖案 2206、2207、2208 及半導體 2205。此時，在去除絕緣體 2204 的不需要的部分之後，可以在去除該光阻遮罩之前或在去除該光阻遮罩之後去除導電體 2203 的不需要的部分。另外，如圖 22B 所示，當去除半導體 2202 的不需要的部分時，絕緣體 2201 的一部分也可

以被去除。導電圖案 2206 用作電容元件的電極（圖 22B）。

[0136] 接著，再次藉由光微影法等形成光阻遮罩，去除絕緣體 2204、導電圖案 2208 的不需要的部分，由此形成用作源極電極或汲極電極的電極 2301、2302。此時，可以在去除該光阻遮罩之前或在去除該光阻遮罩之後去除導電圖案 2208 的不需要的部分（圖 23A）。

[0137] 接著，設置絕緣體 2303（圖 23B）。

[0138] 雖然作為該絕緣體 2303 可以使用後面說明的絕緣體，但是較佳為使用藉由 ALD（Atomic Layer Deposition：原子層沉積）法形成的膜。藉由利用 ALD 法，可以均勻地形成厚度薄的絕緣體。因此，可以在不需要的部分被去除的絕緣體 2204 的頂面及側面、用作源極電極或汲極電極的電極 2301、2302、導電圖案 2206、2207 的側面及半導體 2205 上設置具有均勻的厚度的絕緣體。

[0139] 另外，因為該絕緣體 2303 的一部分也用作閘極絕緣膜，所以較佳為使用高介電常數物質（也稱為 high-k 材料）形成。

[0140] 接著，藉由光微影法等在该絕緣體 2303 上形成光阻遮罩，去除該絕緣體 2303 及該絕緣體 2204 的不需要的部分，由此形成開口或槽 2410。然後，去除光阻遮罩（圖 24A）。

[0141] 接著，設置導電體 2401（圖 24B）。

[0142] 雖然作為該導電體 2401 可以使用後面說明的導電體，但是較佳為使用藉由 MOCVD (Metal Organic CVD) 法形成的導電體。藉由利用 MOCVD 法形成導電體，可以在具有高縱橫比的被形成面的凹部中也填充導電體。

[0143] 接著，藉由光微影法等在该導電體 2401 上形成光阻遮罩，去除該導電體 2401 的不需要的部分，由此形成導電圖案 2501、2502、2503。然後，去除光阻遮罩。另外，導電圖案 2501 用作閘極電極。導電圖案 2502 可以在隔著絕緣體 2303 與導電圖案 2206 相對的部分中形成電容元件 (圖 25)。

[0144] 在本發明的一個方式的半導體裝置中，如圖 22A 至圖 25 所示那樣，可以同時形成 FET 部、電容元件、接觸部。

[0145] 在 FET 部中，藉由設置絕緣體 2303，可以減少電極 2301 與導電圖案 2501 之間以及電極 2302 與導電圖案 2501 之間的寄生電容。另外，藉由減少寄生電容，可以提高該半導體裝置的工作速度。尤其是，可以提高半導體裝置從第一導電狀態切換為第二導電狀態時的速度。此外，藉由使半導體 2205 的源極區域或汲極區域的大部分與電極 2301 或電極 2302 接觸，可以減少寄生電阻。另外，藉由減少寄生電阻，可以增高通態電流。此外，藉由設置絕緣體 2303，可以在通道區域與源極區域或汲極區域之間形成偏置區域。另外，可以進行比光微影法的最小

加工尺寸更微細的加工，由此得到包括具有更微小的閘極長度的閘極電極的半導體裝置。此外，藉由改變絕緣體 2303 的厚度，可以控制電晶體的通道長度。另外，可以在通道區域與源極區域或汲極區域之間控制偏置區域的長度。

[0146] 另外，藉由使用相同的遮罩對半導體 2202、導電體 2203 及絕緣體 2204 進行加工，當製造半導體裝置時，可以實現光罩的減少等的製程的簡化。

[0147] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0148]

實施方式 7

在本實施方式中，對能夠適用於本發明的一個方式的半導體裝置的半導體的絕緣體、半導體、導電體及它們的形成方法、加工方法進行說明。

[0149] 作為絕緣體，可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁等，可以以疊層或單層形成。

[0150] 作為能夠用作絕緣體的高介電常數物質（也稱為 high-k 材料），可以使用鉬氧化物、氧化鉛、氧化鉛矽酸鹽、氧化鋯、氧化鋁、氧化鈦等金屬氧化物或氧化釷等稀土氧化物等。

[0151] 另外，在作為半導體使用氧化物半導體的情況下，接觸於該氧化物半導體的絕緣體較佳為使用藉由加

熱使氧脫離的氧化物材料。作為藉由加熱使氧脫離的氧化物材料，例如較佳為使用包含超過滿足化學計量組成的氧的氧化物。包含超過滿足化學計量組成的氧的氧化物膜在熱脫附譜（TDS：Thermal Desorption Spectroscopy）分析中，換算為氧原子的氧的脫離量為  $1.0 \times 10^{18} \text{ atoms/cm}^3$  以上，較佳為  $3.0 \times 10^{20} \text{ atoms/cm}^3$  以上。注意，上述 TDS 分析時的膜的表面溫度較佳為  $100^\circ\text{C}$  以上且  $700^\circ\text{C}$  以下或  $100^\circ\text{C}$  以上且  $500^\circ\text{C}$  以下。例如，作為這種材料，較佳為使用包含氧化矽或氧氮化矽的材料。另外，也可以使用金屬氧化物。注意，在本說明書中，“氧氮化矽”是指在其組成中氧含量多於氮含量的材料，而“氮氧化矽”是指在其組成中氮含量多於氧含量的材料。

[0152] 作為絕緣體的形成方法，例如可以利用濺射法、CVD（Chemical Vapor Deposition：化學氣相沉積）法（包括熱 CVD 法、MOCVD（Metal Organic CVD：有機金屬 CVD）法、PECVD（Plasma Enhanced CVD：電漿 CVD）法等）、MBE（Molecular Beam Epitaxy：分子束磊晶）法、ALD（Atomic Layer Deposition：原子層沉積）法或 PLD（Pulsed Laser Deposition：脈衝雷射沉積）法等。

[0153] 另外，作為具有平坦性的絕緣體，可以使用聚醯亞胺樹脂、丙烯酸樹脂、苯并環丁烯類樹脂、聚醯胺樹脂、環氧樹脂等具有耐熱性的有機材料。此外，除了上述有機材料以外，還可以使用矽氧烷類樹脂、PSG（磷矽

玻璃)、BPSG(硼磷矽玻璃)等。另外,也可以層疊多個上述材料。此外,當形成上述材料時,可以利用 CVD 法、濺射法、SOG 法、旋塗法、浸漬法、噴塗法、液滴噴射法(噴墨法等)、印刷法(網版印刷、平板印刷等)等方法以及刮刀、輥塗機、幕式塗布機、刮刀式塗布機等工具(設備)。

[0154] 另外,作為上述方法之外的具有平坦性的絕緣體的製造方法,有 CMP (Chemical Mechanical Polishing) 法。在形成絕緣體之後,對其表面進行 CMP 處理,由此可以得到平坦的面。

[0155] 作為半導體,可以使用多晶半導體、微晶半導體、非晶半導體、化合物半導體等半導體。例如,也可以使用非晶矽、多晶矽、單晶矽或對它們摻雜以磷為代表的第 15 族元素的半導體。另外,也可以使用 In-Ga-Zn-O 類氧化物半導體等氧化物半導體。

[0156] 作為導電體,可以使用鋁、鈦、鉻、鎳、銅、鈮、銨、鉬、銀、鉭、銲或鎢等金屬、以這些金屬為主要成分的合金材料或化合物材料。另外,還可以使用添加有磷等雜質的多晶矽。另外,導電體可以具有單層結構或使用多個材料的疊層結構。例如,有包含矽的鋁膜的單層結構、在鈦膜上層疊鋁膜的兩層結構、在鎢膜上層疊鋁膜的兩層結構、在銅-鎂-鋁合金膜上層疊銅膜的兩層結構、在鈦膜上層疊銅膜的兩層結構、在鎢膜上層疊銅膜的兩層結構、依次層疊鈦膜或氮化鈦膜、鋁膜或銅膜和鈦膜

或氮化鈦膜的三層結構、依次層疊鉬膜或氮化鉬膜、鋁膜或銅膜和鉬膜或氮化鉬膜的三層結構等。藉由設置金屬氮化物膜，可以提高金屬膜的緊密性，從而能夠防止剝離。另外，也可以使用包含氧化銮、氧化錫或氧化鋅的透明導電材料。

[0157] 作為導電體的形成方法，可以利用濺射法、蒸鍍法、CVD 法等。注意，可以將 CVD 法分類為利用電漿的電漿 CVD（PECVD：Plasma Enhanced CVD）法及利用熱的熱 CVD（TCVD：Thermal CVD）法等。再者，可以根據使用的源氣體分類為金屬 CVD（MCVD：Metal CVD）法及有機金屬 CVD（MOCVD：Metal Organic CVD）法。藉由利用電漿 CVD 法以較低的溫度得到高品質的膜。熱 CVD 法由於不使用電漿，所以不產生電漿損傷，而可以得到缺陷較少的膜。

[0158] 對被加工膜的加工方法進行說明。當對被加工膜進行微細加工時，可以使用各種微細加工技術。例如，也可以採用對藉由光微影法等形成的光阻遮罩進行縮小處理的方法。另外，也可以藉由光微影法等形成假圖案，在該假圖案處形成側壁之後去除假圖案，將殘留的側壁用作光阻遮罩，對被加工膜進行蝕刻。此外，為了實現高縱橫比，作為被加工膜的蝕刻較佳為利用各向異性乾蝕刻。另外，也可以使用由無機膜或金屬膜構成的硬遮罩。

[0159] 作為用來形成光阻遮罩的光，例如可以使用 i 線（波長 356nm）、g 線（波長 436nm）、h 線（波長

405nm) 或將這些光混合的光。此外，可以使用 KrF 雷射或 ArF 雷射等。此外，也可以利用液浸曝光技術進行曝光。作為用於曝光的光，也可以使用極紫外光 (EUV: Extreme Ultra-Violet) 或 X 射線。此外，也可以使用電子束代替用於曝光的光。當使用極紫外光、X 射線或電子束時，可以進行極其精細的加工，所以是較佳的。注意，在藉由掃描電子束等而進行曝光時，不需要光罩。

[0160] 也可以在形成將成為光阻遮罩的光阻膜之前，形成具有提高被加工膜與光阻膜的密接性的功能的有機樹脂膜。可以利用旋塗法等以覆蓋其下層的步階而使其表面平坦化的方式形成該有機樹脂膜，而可以降低形成在該有機樹脂膜的上層的光阻遮罩的厚度的偏差。尤其是，在進行微細的加工時，作為該有機樹脂膜較佳為使用具有對用於曝光的光的反射防止膜的功能的材料。作為具有這種功能的有機樹脂膜，例如有 BARC (Bottom Anti Reflection Coating: 底部抗反射塗料) 膜等。在去除光阻遮罩的同時或在去除光阻遮罩之後去除該有機樹脂膜即可。

[0161] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0162]

#### 實施方式 8

在本實施方式中，說明能夠適用於本發明的一個方式的半導體裝置的半導體的氧化物半導體。

[0163] 氧化物半導體具有  $3.0\text{eV}$  以上的高能隙。在包括以適當的條件對氧化物半導體進行加工並充分降低其載子密度而獲得的氧化物半導體膜的電晶體中，可以使關閉狀態下的源極與汲極之間的洩漏電流（關態電流（off-state current））為比習知的使用矽的電晶體小得多。

[0164] 能夠應用的氧化物半導體至少含有銦（In）或鋅（Zn）是較佳的。尤其是較佳為包含 In 及 Zn。另外，作為用來減少使用該氧化物半導體的電晶體的電特性不均勻的穩定劑，除了包含上述元素以外，還包含選自鎵（Ga）、錫（Sn）、鈦（Hf）、鋯（Zr）、鈦（Ti）、釷（Sc）、鉕（Y）、鑼系元素（例如，鈾（Ce）、釷（Nd）、釷（Gd））中的一種或多種是較佳的。

[0165] 例如，作為氧化物半導體可以使用氧化銦、氧化錫、氧化鋅、In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物、In-Ga-Zn 類氧化物（也稱為 IGZO）、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-Zr-Zn 類氧化物、In-Ti-Zn 類氧化物、In-Sc-Zn 類氧化物、In-Y-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類

氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物、In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

[0166] 在此，“In-Ga-Zn 類氧化物”是指以 In、Ga 以及 Zn 為主要成分的氧化物，對 In、Ga 以及 Zn 的比例沒有限制。此外，也可以包含 In、Ga、Zn 以外的金屬元素。

[0167] 另外，作為氧化物半導體，也可以使用表示為  $\text{InMO}_3(\text{ZnO})_m$  ( $m>0$  且  $m$  不是整數) 的材料。另外，M 表示選自 Ga、Fe、Mn 及 Co 中的一種或多種金屬元素或者用作上述穩定劑的元素。另外，作為氧化物半導體，也可以使用表示為  $\text{In}_2\text{SnO}_5(\text{ZnO})_n$  ( $n>0$  且  $n$  是整數) 的材料。

[0168] 例如，可以使用其原子數比為 In : Ga : Zn=1 : 1 : 1、In : Ga : Zn=1 : 3 : 2、In : Ga : Zn=1 : 3 : 4、In : Ga : Zn=1 : 3 : 6、In : Ga : Zn=3 : 1 : 2 或 In : Ga : Zn=2 : 1 : 3 的 In-Ga-Zn 類氧化物或接近於上述組成的氧化物。

[0169] 當氧化物半導體膜含有多量的氫時，該氫與氧化物半導體鍵合，以便在氧化物半導體膜中起因於氫而有時形成施體能階。例如，有時由於氫侵入到氧化物半導體膜中的氧缺陷的位 (site) 而形成施體能階。其結果，導致電晶體的臨界電壓向負方向漂移。因此，較佳的是，

藉由在形成氧化物半導體膜之後進行脫水化處理（脫氫化處理），從氧化物半導體膜去除氫或水分來進行高度純化以使其儘量不包含雜質。

[0170] 另外，有時氧化物半導體膜中的氧也因脫水化處理（脫氫化處理）而被減少。由此，較佳的是，將在由於進行脫水化處理（脫氫化處理）的同時減少的氧加入氧化物半導體，或者藉由供給氧填補氧化物半導體膜的氧缺陷。在本說明書等中，將對氧化物半導體膜供應氧的情況稱為加氧化處理，或者，有時將使氧化物半導體膜的氧含量超過化學計量組成的情況稱為過氧化處理。

[0171] 如上所述，藉由進行脫水化處理（脫氫化處理）以從氧化物半導體膜去除氫或水分，並進行加氧化處理以填補氧缺陷，可以得到被 i 型（本質）化的氧化物半導體膜或無限趨近於 i 型而實質上呈 i 型（本質）的氧化物半導體膜。注意，“實質上本質”是指：在氧化物半導體膜中，來自於施體的載子極少（近於零），載子密度低於  $1 \times 10^{17}/\text{cm}^3$ ，低於  $1 \times 10^{15}/\text{cm}^3$ ，或者低於  $1 \times 10^{13}/\text{cm}^3$ 。

[0172] 如此，具備 i 型或實質上呈 i 型的氧化物半導體膜的電晶體可以實現極為優良的關態電流特性。例如，可以將使用氧化物半導體膜的電晶體處於關閉狀態時的汲極電流在室溫（ $25^\circ\text{C}$  左右）下設定為  $1 \times 10^{-18}\text{A}$  以下，較佳為  $1 \times 10^{-21}\text{A}$  以下，更佳為  $1 \times 10^{-24}\text{A}$  以下，或者，可以將汲極電流在  $85^\circ\text{C}$  的溫度下設定為  $1 \times 10^{-15}\text{A}$  以下，較佳為  $1 \times 10^{-18}\text{A}$  以下，更佳為  $1 \times 10^{-21}\text{A}$  以下。注意，“電晶

體處於關閉狀態”是指：在採用 n 通道型電晶體的情況下，閘極電壓充分小於臨界電壓的狀態。明確而言，在閘極電壓比臨界電壓小 1V 以上，2V 以上或 3V 以上時，電晶體成為關閉狀態。

[0173] 下面，對氧化物半導體膜的結構進行說明。

[0174] 氧化物半導體膜大致分為非單晶氧化物半導體膜和單晶氧化物半導體膜。非單晶氧化物半導體膜包括 CAAC-OS (C-Axis Aligned Crystalline Oxide Semiconductor: c 軸配向結晶氧化物半導體) 膜、多晶氧化物半導體膜、微晶氧化物半導體膜以及非晶氧化物半導體膜等。

[0175] 首先，對 CAAC-OS 膜進行說明。

[0176] CAAC-OS 膜是包含呈 c 軸配向的多個結晶部的氧化物半導體膜之一。

[0177] 在 CAAC-OS 膜的穿透式電子顯微鏡 (TEM: Transmission Electron Microscope) 影像中，觀察不到結晶部與結晶部之間的明確的邊界，即晶界 (grain boundary)。因此，在 CAAC-OS 膜中，不容易發生起因於晶界的電子移動率的降低。

[0178] 根據從大致平行於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像 (剖面 TEM 影像) 可知在結晶部中金屬原子排列為層狀。各金屬原子層具有反映著形成 CAAC-OS 膜的面 (也稱為被形成面) 或 CAAC-OS 膜的頂面的凸凹的形狀並以平行於 CAAC-OS 膜的被形成面或頂

面的方式排列。

[0179] 另一方面，根據從大致垂直於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像（平面 TEM 影像）可知在結晶部中金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間金屬原子的排列沒有規律性。

[0180] 圖 26A 是 CAAC-OS 膜的剖面 TEM 影像。另外，圖 26B 是放大圖 26A 的剖面 TEM 影像，為便於理解而強調表示原子排列。

[0181] 圖 26C 是圖 26A 中的 A-O-A' 之間的由圓圈包圍的區域（直徑大致為 4nm）的局部性的傅立葉變換影像。在圖 26C 所示的各區域中可以確認到 c 軸配向性。此外，A-O 之間的 c 軸方向和 O-A' 之間的 c 軸方向不同，由此可知 A-O 之間的晶粒與 O-A' 之間的晶粒不同。另外，A-O 之間的 c 軸的角度逐漸地連續變化，諸如  $14.3^\circ$ 、 $16.6^\circ$ 、 $26.4^\circ$ 。同樣地，O-A' 之間的 c 軸的角度也逐漸地連續變化，諸如  $-18.3^\circ$ 、 $-17.6^\circ$ 、 $-15.9^\circ$ 。

[0182] 另外，在 CAAC-OS 膜的電子繞射圖案中，觀察到表示配向性的斑點（亮點）。例如，在使用例如為 1nm 以上且 30nm 以下的電子束獲得的 CAAC-OS 膜的頂面的電子繞射圖案（也稱為奈米束電子繞射圖案）中，觀察到斑點（參照圖 27A）。

[0183] 由剖面 TEM 觀察及平面 TEM 觀察可知，CAAC-OS 膜的結晶部具有配向性。

[0184] 注意，CAAC-OS 膜所包含的結晶部幾乎都具

有可以被容納在一個邊長短於 100nm 的立方體內的尺寸。因此，有時 CAAC-OS 膜所包含的結晶部的尺寸為可以被容納在一個邊長短於 10nm、短於 5nm 或短於 3nm 的立方體內的尺寸。但是，有時包含在 CAAC-OS 膜中的多個結晶部連接而形成一個大結晶區域。例如，在平面 TEM 影像中有時會觀察到  $2500\text{nm}^2$  以上、 $5\mu\text{m}^2$  以上或  $1000\mu\text{m}^2$  以上的結晶區域。

[0185] 使用 X 射線繞射 (XRD: X-Ray Diffraction) 裝置對 CAAC-OS 膜進行結構分析。例如，當利用 out-of-plane 法分析包括  $\text{InGaZnO}_4$  結晶的 CAAC-OS 膜時，在繞射角 ( $2\theta$ ) 為  $31^\circ$  附近時會出現峰值。由於該峰值來源於  $\text{InGaZnO}_4$  結晶的 (009) 面，由此可知 CAAC-OS 膜中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於 CAAC-OS 膜的被形成面或頂面的方向。

[0186] 另一方面，當利用從大致垂直於 c 軸的方向使 X 射線入射到樣本的 in-plane 法分析 CAAC-OS 膜時，在  $2\theta$  為  $56^\circ$  附近時會出現峰值。該峰值來源於  $\text{InGaZnO}_4$  結晶的 (110) 面。在此，將  $2\theta$  固定為  $56^\circ$  附近並在以樣本面的法線向量為軸 ( $\phi$  軸) 旋轉樣本的條件下進行分析 ( $\phi$  掃描)。當該樣本是  $\text{InGaZnO}_4$  的單晶氧化物半導體膜時，出現六個峰值。該六個峰值來源於相等於 (110) 面的結晶面。另一方面，當該樣本是 CAAC-OS 膜時，即使在將  $2\theta$  固定為  $56^\circ$  附近的狀態下進行  $\phi$  掃描也不能觀察到明確的峰值。

[0187] 由上述結果可知，在具有  $c$  軸配向性的 CAAC-OS 膜中，雖然  $a$  軸及  $b$  軸的方向在結晶部之間不同，但是  $c$  軸朝向平行於被形成面或頂面的法線向量的方向。因此，在上述剖面 TEM 影像中觀察到的排列為層狀的各金屬原子層相當於與結晶的  $ab$  面平行的面。

[0188] 注意，結晶部在形成 CAAC-OS 膜或進行加熱處理等晶化處理時形成。如上所述，結晶的  $c$  軸朝向平行於 CAAC-OS 膜的被形成面或頂面的法線向量的方向。由此，例如，當 CAAC-OS 膜的形狀因蝕刻等而改變時，結晶的  $c$  軸不一定平行於 CAAC-OS 膜的被形成面或頂面的法線向量。

[0189] 此外，在 CAAC-OS 膜中， $c$  軸配向結晶部的分佈不一定均勻。例如，當 CAAC-OS 膜的結晶部是由 CAAC-OS 膜的頂面附近的結晶生長而形成時，有時頂面附近的  $c$  軸配向結晶部的比例高於被形成面附近的  $c$  軸配向結晶部的比例。另外，在添加有雜質的 CAAC-OS 膜中，添加有雜質的區域變質而有時 CAAC-OS 膜中的  $c$  軸配向結晶部所占的比例根據區域不同。

[0190] 注意，當利用 out-of-plane 法分析包括  $\text{InGaZnO}_4$  結晶的 CAAC-OS 膜時，除了在  $2\theta$  為  $31^\circ$  附近的峰值之外，有時還在  $2\theta$  為  $36^\circ$  附近觀察到峰值。 $2\theta$  為  $36^\circ$  附近的峰值意味著 CAAC-OS 膜的一部分中含有不具有  $c$  軸配向性的結晶。較佳的是，在 CAAC-OS 膜中在  $2\theta$  為  $31^\circ$  附近時出現峰值而在  $2\theta$  為  $36^\circ$  附近時不出現峰值。

[0191] CAAC-OS 膜是雜質濃度低的氧化物半導體膜。雜質是指氫、碳、矽、過渡金屬元素等氧化物半導體膜的主要成分以外的元素。尤其是，與氧的鍵合力比構成氧化物半導體膜的金屬元素強的矽等元素因為會從氧化物半導體膜中奪取氧而打亂氧化物半導體膜的原子排列，導致結晶性下降。另外，由於鐵或鎳等的重金屬、氫、二氧化碳等的原子半徑（或分子半徑）大，所以如果其被包含在氧化物半導體膜內，也會打亂氧化物半導體膜的原子排列，導致結晶性下降。注意，包含在氧化物半導體膜中的雜質有時成為載子陷阱或載子發生源。

[0192] 此外，CAAC-OS 膜是缺陷態密度低的氧化物半導體膜。例如，氧化物半導體膜中的氧缺陷有時成為載子陷阱或者藉由俘獲氫而成為載子發生源。

[0193] 將雜質濃度低且缺陷態密度低（氧缺陷的個數少）的狀態稱為“高純度本質”或“實質上高純度本質”。高純度本質或實質上高純度本質的氧化物半導體膜具有較少的載子發生源，因此可以具有較低的載子密度。因此，使用該氧化物半導體膜的電晶體很少具有負臨界電壓的電特性（也稱為常開（normally-on）特性）。此外，高純度本質或實質上高純度本質的氧化物半導體膜具有較少的載子陷阱。因此，使用該氧化物半導體膜的電晶體的電特性變動小，而成為高可靠性電晶體。此外，被氧化物半導體膜的載子陷阱俘獲的電荷到被釋放需要長時間，有時像固定電荷那樣動作。因此，使用雜質濃度高且缺陷態

密度高的氧化物半導體膜的電晶體的電特性有時不穩定。

[0194] 此外，在使用 CAAC-OS 膜的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。

[0195] 接下來，對多晶氧化物半導體膜進行說明。

[0196] 在多晶氧化物半導體膜的 TEM 影像中，可以觀察到晶粒。在 TEM 影像中，多晶氧化物半導體膜中含有的晶粒的粒徑大多為 2nm 以上且 300nm 以下、3nm 以上且 100nm 以下或 5nm 以上且 50nm 以下。另外，在多晶氧化物半導體膜的 TEM 影像中，有時觀察到晶界。

[0197] 多晶氧化物半導體膜包含多個晶粒，並且，在該多個晶粒之間結晶定向有時不同。另外，使用 XRD 裝置對多晶氧化物半導體膜進行結構分析。例如，當利用 out-of-plane 法分析包括  $\text{InGaZnO}_4$  結晶的多晶氧化物半導體膜時，有時在  $2\theta$  為  $31^\circ$  或  $36^\circ$  等附近時出現峰值。

[0198] 由於多晶氧化物半導體膜具有高結晶性，因此有時具有高電子移動率。所以，使用多晶氧化物半導體膜的電晶體具有高場效移動率。注意，在多晶氧化物半導體膜中，雜質有時偏析在晶界。另外，多晶氧化物半導體膜的晶界成為缺陷能階。多晶氧化物半導體膜的晶界有可能成為載子陷阱或載子發生源，因此，與使用 CAAC-OS 膜的電晶體相比，有時使用多晶氧化物半導體膜的電晶體的電特性變動大，而成為可靠性低的電晶體。

[0199] 接下來，說明微晶氧化物半導體膜。

[0200] 在微晶氧化物半導體膜的 TEM 影像中有時觀

察不到明確的結晶部。微晶氧化物半導體膜中含有的結晶部的尺寸大多為 1nm 以上且 100nm 以下，或 1nm 以上且 10nm 以下。尤其是，將具有尺寸為 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下的微晶的奈米晶（nc：nanocrystal）的氧化物半導體膜稱為 nc-OS（nanocrystalline Oxide Semiconductor：奈米晶氧化物半導體）膜。另外，例如在 nc-OS 膜的 TEM 影像中，有時觀察不到明確的晶界。

[0201] nc-OS 膜在微小區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中其原子排列具有週期性。另外，nc-OS 膜在不同的結晶部之間觀察不到晶體配向的規律性。因此，在膜整體上觀察不到配向性。所以，有時 nc-OS 膜在某些分析方法中與非晶氧化物半導體膜沒有差別。例如，在藉由 out-of-plane 法利用使用其束徑比結晶部大的 X 射線的 XRD 裝置對 nc-OS 膜進行結構分析時，檢測不出表示結晶面的峰值。此外，在對 nc-OS 膜進行使用其束徑比結晶部大（例如，50nm 以上）的電子射線的電子繞射（選區電子繞射）時，觀察到類似光暈圖案的繞射圖案。另一方面，在對 nc-OS 膜進行使用其束徑近於結晶部或者比結晶部小的電子射線的奈米束電子繞射時，觀察到斑點。另外，在 nc-OS 膜的奈米束電子繞射圖案中，有時觀察到如圓圈那樣的（環狀的）亮度高的區域。而且，在 nc-OS 膜的奈米束電子繞射圖案中，有時還觀察到環狀的區域內的多個斑

點（參照圖 27B）。

[0202] nc-OS 膜是其規律性比非晶氧化物半導體膜高的氧化物半導體膜。因此，nc-OS 膜的缺陷態密度比非晶氧化物半導體膜低。但是，nc-OS 膜在不同的結晶部之間觀察不到晶體配向的規律性。所以，nc-OS 膜的缺陷態密度比 CAAC-OS 膜高。

[0203] 因此，nc-OS 膜有時具有比 CAAC-OS 膜高的載子密度。載子密度高的氧化物半導體膜有時具有高電子移動率。因此，使用 nc-OS 膜的電晶體有時具有較高的場效移動率。此外，因為 nc-OS 膜有時具有比 CAAC-OS 膜高的缺陷態密度，所以有時具有較多的載子陷阱。因此，有時與使用 CAAC-OS 膜的電晶體相比，使用 nc-OS 膜的電晶體的電特性變動較大，而成為可靠性低的電晶體。注意，因為 nc-OS 膜即使包含較多的雜質也可以形成，所以與 CAAC-OS 膜相比容易形成。因此，有時根據用途較佳為使用 nc-OS 膜。因此，有時能夠高生產率地製造具有使用 nc-OS 膜的電晶體的半導體裝置。

[0204] 接著，對非晶氧化物半導體膜進行說明。

[0205] 非晶氧化物半導體膜是具有無序的原子排列並不具有結晶部的氧化物半導體膜。其一個例子為具有如石英那樣的無定形態的氧化物半導體膜。

[0206] 在非晶氧化物半導體膜的 TEM 影像中，觀察不到結晶部。

[0207] 使用 XRD 裝置對非晶氧化物半導體膜進行結

構分析。當利用 out-of-plane 法分析時，檢測不到示出結晶面的峰值。另外，在非晶氧化物半導體膜的電子繞射圖案中，觀察到光暈圖案。另外，在非晶氧化物半導體膜的奈米束電子繞射圖案中，觀察不到斑點，而觀察到光暈圖案。

[0208] 非晶氧化物半導體膜是以高濃度包含氫等雜質的氧化物半導體膜。此外，非晶氧化物半導體膜是缺陷態密度高的氧化物半導體膜。

[0209] 雜質濃度高且缺陷態密度高的氧化物半導體膜是載子陷阱或載子發生源多的氧化物半導體膜。

[0210] 因此，非晶氧化物半導體膜有時具有比 nc-OS 膜更高的載子密度。因此，使用非晶氧化物半導體膜的電晶體容易具有常導通特性。因此，有時可以將非晶氧化物半導體膜用於需要常導通特性的電晶體。非晶氧化物半導體膜具有較高的缺陷態密度，因此有時具有較多的載子陷阱。因此，與使用 CAAC-OS 膜或 nc-OS 膜的電晶體相比，使用非晶氧化物半導體膜的電晶體的電特性變動大，而成為可靠性低的電晶體。

[0211] 接著，對單晶氧化物半導體膜進行說明。

[0212] 單晶氧化物半導體膜是雜質濃度低且缺陷態密度低（氧缺陷少）的氧化物半導體膜。因此，可以降低載子密度。因此，使用單晶氧化物半導體膜的電晶體很少具有常導通特性。另外，由於單晶氧化物半導體膜具有較低的雜質濃度和較低的缺陷態密度，因此有時具有很少的

載子陷阱。因此，使用單晶氧化物半導體膜的電晶體的電特性變動小，而成為可靠性高的電晶體。

[0213] 此外，氧化物半導體膜的缺陷越少其密度越高。此外，氧化物半導體膜的結晶性越高其密度越高。另外，當氧化物半導體膜中的氫等雜質的濃度越低其密度越高。單晶氧化物半導體膜的密度比 CAAC-OS 膜高。另外，CAAC-OS 膜的密度比微晶氧化物半導體膜高。另外，多晶氧化物半導體膜的密度比微晶氧化物半導體膜高。另外，微晶氧化物半導體膜的密度比非晶氧化物半導體膜高。

[0214] 注意，氧化物半導體膜例如也可以是包括非晶氧化物半導體膜、微晶氧化物半導體膜和 CAAC-OS 膜中的兩種以上的疊層膜。

[0215] 當氧化物半導體膜具有多個結構時，有時可以藉由利用奈米束電子繞射來進行結構分析。

[0216] 圖 27C 示出一種穿透式電子繞射測定裝置，該穿透式電子繞射測定裝置包括：電子槍室 10；電子槍室 10 下的光學系統 12；光學系統 12 下的樣本室 14；樣本室 14 下的光學系統 16；光學系統 16 下的觀察室 20；設置於觀察室 20 的照相裝置 18；以及觀察室 20 下的膠片室 22。照相裝置 18 以朝向觀察室 20 的內部的方式設置。另外，該穿透式電子繞射測定裝置也可以不包括膠片室 22。

[0217] 此外，圖 27D 示出圖 27C 所示的穿透式電子

繞射測定裝置內部的結構。在穿透式電子繞射測定裝置內部中，從設置在電子槍室 10 中的電子槍發射的電子經由光學系統 12 照射到配置在樣本室 14 中的物質 28。穿過物質 28 的電子經由光學系統 16 入射到設置在觀察室 20 內部的螢光板 32。在螢光板 32 上出現對應於所入射的電子的強度的圖案，因此可以測定穿透式電子繞射圖案。

[0218] 因為照相裝置 18 朝向螢光板 32 地設置，所以可以拍攝出現在螢光板 32 上的圖案。經過照相裝置 18 的透鏡的中央及螢光板 32 的中央的直線與螢光板 32 的頂面所形成的角度例如為  $15^\circ$  以上且  $80^\circ$  以下， $30^\circ$  以上且  $75^\circ$  以下或  $45^\circ$  以上且  $70^\circ$  以下。該角度越小，由照相裝置 18 拍攝的穿透式電子繞射圖案的應變越大。但是，如果預先知道該角度，則能夠校正所得到的穿透式電子繞射圖案的應變。另外，有時也可以將照相裝置 18 設置於膠片室 22。例如，也可以以與電子 24 的入射方向相對的方式將照相裝置 18 設置於膠片室 22。在此情況下，可以從螢光板 32 的背面拍攝應變少的穿透式電子繞射圖案。

[0219] 樣本室 14 設置有用來固定作為樣本的物質 28 的支架。支架使穿過物質 28 的電子透過。例如，支架也可以具有在 X 軸、Y 軸、Z 軸等的方向上移動物質 28 的功能。支架例如具有在  $1\text{nm}$  以上且  $10\text{nm}$  以下、 $5\text{nm}$  以上且  $50\text{nm}$  以下、 $10\text{nm}$  以上且  $100\text{nm}$  以下、 $50\text{nm}$  以上且  $500\text{nm}$  以下、 $100\text{nm}$  以上且  $1\mu\text{m}$  以下等的範圍中移動物質的精度，即可。至於這些範圍，根據物質 28 的結構設

定最適合的範圍，即可。

[0220] 接著，說明使用上述穿透式電子繞射測定裝置測定物質的穿透式電子繞射圖案的方法。

[0221] 例如，如圖 27D 所示，藉由改變作為奈米束的電子 24 的照射到物質的位置（進行掃描），可以確認到物質的結構逐漸變化。此時，如果物質 28 是 CAAC-OS 膜，則可以觀察到圖 27A 所示的繞射圖案。如果物質 28 是 nc-OS 膜，則可以觀察到圖 27B 所示的繞射圖案。

[0222] 即使物質 28 是 CAAC-OS 膜，也有時部分地觀察到與 nc-OS 膜等同樣的繞射圖案。因此，有時可以由在一定區域中觀察到 CAAC-OS 膜的繞射圖案的區域所占的比例（也稱為 CAAC 化率）表示 CAAC-OS 膜的優劣。例如，優良的 CAAC-OS 膜的 CAAC 化率為 50%以上，較佳為 80%以上，更佳為 90%以上，進一步較佳為 95%以上。另外，將觀察到與 CAAC-OS 膜不同的繞射圖案的區域的比例表示為非 CAAC 化率。

[0223] 作為一個例子，對具有剛完成成膜之後（表示為 as-sputtered）的 CAAC-OS 膜的樣本的頂面以及具有在包含氧的氛圍中以 450℃ 進行加熱處理之後的 CAAC-OS 膜的樣本的頂面進行掃描，來得到穿透式電子繞射圖案。在此，以 5nm/秒鐘的速度進行掃描 60 秒鐘來觀察繞射圖案，並且，在每 0.5 秒鐘將觀察到的繞射圖案轉換為靜態影像，由此算出 CAAC 化率。注意，作為電子線使用束徑為 1nm 的奈米束電子射線。另外，對六個樣本進行同樣

的測量。而且，藉由利用六個樣本中的平均值算出 CAAC 化率。

[0224] 圖 28A 示出各樣本的 CAAC 化率。剛完成成膜之後的 CAAC-OS 膜的 CAAC 化率為 75.7%（非 CAAC 化率為 24.3%）。此外，進行 450℃ 的加熱處理之後的 CAAC-OS 膜的 CAAC 化率為 85.3%（非 CAAC 化率為 14.7%）。由此可知，與剛完成成膜之後相比，450℃ 的加熱處理之後的 CAAC 化率更高。也就是說，可以知道高溫（例如 400℃ 以上）下的加熱處理降低非 CAAC 化率（提高 CAAC 化率）。此外，可知在進行低於 500℃ 的加熱處理時也可以得到具有高 CAAC 化率的 CAAC-OS 膜。

[0225] 在此，與 CAAC-OS 膜不同的繞射圖案的大部分是與 nc-OS 膜同樣的繞射圖案。此外，在測量區域中觀察不到非晶氧化物半導體膜。由此可知，藉由加熱處理，具有與 nc-OS 膜同樣的結構的區域受到相鄰的區域的結構的影響而重新排列，因此該區域被 CAAC 化。

[0226] 圖 28B 和圖 28C 是剛完成成膜之後及 450℃ 的加熱處理之後的 CAAC-OS 膜的平面 TEM 影像。藉由對圖 28B 和圖 28C 進行比較，可以知道 450℃ 的加熱處理之後的 CAAC-OS 膜的膜質更均勻。也就是說，可以知道藉由高溫的加熱處理提高 CAAC-OS 膜的膜質。

[0227] 藉由採用這種測量方法，有時可以對具有多種結構的氧化物半導體膜進行結構分析。

[0228] CAAC-OS 膜例如可以利用以下方法形成。

[0229] 藉由減少成膜時的雜質混入，可以抑制因雜質導致的結晶狀態的損壞。例如，降低存在於成膜室內的雜質（氫、水、二氧化碳及氮等）的濃度即可。另外，降低成膜氣體中的雜質濃度即可。明確而言，使用露點為  $-80^{\circ}\text{C}$  以下，較佳為  $-100^{\circ}\text{C}$  以下的成膜氣體。

[0230] 另外，藉由增高成膜氣體中的氧比例並使電力最佳化，來減輕成膜時的電漿損傷是較佳的。將成膜氣體中的氧比例設定為 30vol.% 以上，較佳為設定為 100vol.%。

[0231] 或者，CAAC-OS 膜使用以下方法而形成。

[0232] 首先，形成其厚度為 1nm 以上且小於 10nm 的第一氧化物半導體膜。第一氧化物半導體膜使用濺射法形成。明確而言，第一氧化物半導體膜的形成條件如下：基板溫度為  $100^{\circ}\text{C}$  以上且  $500^{\circ}\text{C}$  以下，較佳為  $150^{\circ}\text{C}$  以上且  $450^{\circ}\text{C}$  以下；以及成膜氣體中的氧比例為 30vol.% 以上，較佳為 100vol.%。

[0233] 接著，進行加熱處理，以使第一氧化物半導體膜形成為高結晶性第一 CAAC-OS 膜。將加熱處理的溫度設定為  $350^{\circ}\text{C}$  以上且  $740^{\circ}\text{C}$  以下，較佳為  $450^{\circ}\text{C}$  以上且  $650^{\circ}\text{C}$  以下。另外，將加熱處理的時間設定為 1 分鐘以上且 24 小時以下，較佳為 6 分鐘以上且 4 小時以下。加熱處理可以在惰性氛圍或氧化性氛圍中進行。較佳的是，先在惰性氛圍中進行加熱處理，然後在氧化性氛圍中進行加熱處理。藉由在惰性氛圍中進行加熱處理，可以在短時間

內降低第一氧化物半導體膜的雜質濃度。另一方面，藉由在惰性氛圍中進行加熱處理，有可能在第一氧化物半導體膜中形成氧缺陷。在此情況下，藉由在氧化性氛圍中進行加熱處理，可以減少該氧缺陷。另外，也可以在 1000Pa 以下、100Pa 以下、10Pa 以下或 1Pa 以下的減壓下進行加熱處理。在減壓下，可以在更短時間內降低第一氧化物半導體膜的雜質濃度。

[0234] 藉由將第一氧化物半導體膜的厚度設定為 1nm 以上且低於 10nm，與厚度為 10nm 以上的情況相比可以藉由進行加熱處理而容易地使其結晶化。

[0235] 接著，以 10nm 以上且 50nm 以下的厚度形成其組成與第一氧化物半導體膜相同的第二氧化物半導體膜。使用濺射法形成第二氧化物半導體膜。明確而言，第二氧化物半導體膜的形成條件如下：基板溫度為 100℃ 以上且 500℃ 以下，較佳為 150℃ 以上且 450℃ 以下；以及成膜氣體中的氧比例為 30vol.% 以上，較佳為 100vol.%。

[0236] 接著，進行加熱處理，以使第二氧化物半導體膜從第一 CAAC-OS 膜進行固相成長，來形成高結晶性第二 CAAC-OS 膜。將加熱處理的溫度設定為 350℃ 以上且 740℃ 以下，較佳為 450℃ 以上且 650℃ 以下。另外，將加熱處理的時間設定為 1 分鐘以上且 24 小時以下，較佳為 6 分鐘以上且 4 小時以下。加熱處理可以在惰性氛圍或氧化性氛圍中進行。較佳的是，先在惰性氛圍中進行加熱處理，然後在氧化性氛圍中進行加熱處理。藉由在惰性

氛圍中進行加熱處理，可以在短時間內降低第二氧化物半導體膜的雜質濃度。另一方面，藉由在惰性氛圍中進行加熱處理，有可能在第二氧化物半導體膜中形成氧缺陷。在此情況下，藉由在氧化性氛圍中進行加熱處理，可以減少該氧缺陷。另外，也可以在 1000Pa 以下、100Pa 以下、10Pa 以下或 1Pa 以下的減壓下進行加熱處理。在減壓下，可以在更短時間內降低第二氧化物半導體膜的雜質濃度。

[0237] 經上述步驟，可以形成總厚度為 10nm 以上的 CAAC-OS 膜。

[0238] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0239]

#### 實施方式 9

在本實施方式中，說明能夠適用於本發明的一個方式的半導體裝置的半導體的氧化物半導體。

[0240] 較佳的是，本發明的一個方式的半導體裝置在氧化物半導體與重疊於該氧化物半導體的絕緣體之間包括作為構成元素包含構成氧化物半導體的金屬元素中的至少一種金屬元素的氧化物。由此，可以抑制在氧化物半導體與重疊於該氧化物半導體的絕緣體之間的介面形成陷阱能階。

[0241] 就是說，在本發明的一個方式中，較佳的是，氧化物半導體中的至少通道形成區域的頂面及底面接

觸於被用作防止形成與氧化物半導體之間的介面態的障壁膜的氧化物。藉由採用這種結構，可以抑制在氧化物半導體中及與氧化物半導體之間的介面生成成為載子的生成原因的氧缺陷並抑制雜質混入，所以可以使氧化物半導體高純度本質化。高純度本質化是指使氧化物半導體本質化或實質上本質化。因此，可以抑制包括該氧化物半導體的電晶體的電特性變動，可以提供一種可靠性高的半導體裝置。

[0242] 注意，在本說明書等中，實質上本質是指氧化物半導體的載子密度低於  $1 \times 10^{17}/\text{cm}^3$ 、低於  $1 \times 10^{15}/\text{cm}^3$  或低於  $1 \times 10^{13}/\text{cm}^3$  的狀態。藉由使氧化物半導體高純度本質化，可以對電晶體賦予穩定的電特性。

[0243] 半導體 2901 設置在絕緣體 2904 與半導體 2902 之間。半導體 2903 設置在半導體 2902 與用作閘極絕緣膜的絕緣體 2905 之間。絕緣體 2905 設置在半導體 2903 與用作閘極電極的導電體 2906 之間（圖 29C）。

[0244] 半導體 2901 及半導體 2903 都包含含有與半導體 2902 相同的金屬元素中的一種以上的氧化物。

[0245] 注意，有時半導體 2902 與半導體 2901 的邊界或半導體 2902 與半導體 2903 的邊界不明確。

[0246] 例如，作為半導體 2901 及半導體 2903，使用如下材料：包含 In 或 Ga，典型為 In-Ga 類氧化物、In-Zn 類氧化物、In-M-Zn 類氧化物（M 為 Al、Ti、Ga、Y、Zr、La、Ce、Nd 或 Hf），並且其導帶底能量比半導體

2902 更近於真空能階。典型的是，半導體 2901 或半導體 2903 的導帶底的能量與半導體 2902 的導帶底的能量的差異較佳為  $0.05\text{eV}$  以上、 $0.07\text{eV}$  以上、 $0.1\text{eV}$  以上或  $0.15\text{eV}$  以上，且  $2\text{eV}$  以下、 $1\text{eV}$  以下、 $0.5\text{eV}$  以下或  $0.4\text{eV}$  以下。

[0247] 藉由將用作穩定劑的 Ga 的含量比半導體 2902 多的氧化物用於以夾著半導體 2902 的方式設置的半導體 2901 及半導體 2903，可以抑制氧從半導體 2902 被釋放。

[0248] 作為半導體 2902，例如當使用原子數比為  $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$  或  $3 : 1 : 2$  的 In-Ga-Zn 類氧化物時，作為半導體 2901 或半導體 2903，例如可以使用原子數比為  $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ 、 $1 : 3 : 4$ 、 $1 : 3 : 6$ 、 $1 : 6 : 4$ 、 $1 : 6 : 8$ 、 $1 : 6 : 10$  或  $1 : 9 : 6$  等的 In-Ga-Zn 類氧化物。此外，半導體 2902、半導體 2901 及半導體 2903 的原子數比都包括上述原子數比的  $\pm 20\%$  的變動的誤差。此外，半導體 2901 及半導體 2903 既可以使用相同的組成的材料形成，又可以使用不同的組成的材料形成。

[0249] 此外，當作為半導體 2902 使用 In-M-Zn 類氧化物時，作為用來形成成為半導體 2902 的半導體膜的靶材，當將該靶材所包含的金屬元素的原子數比設定為  $\text{In} : \text{M} : \text{Zn} = x_1 : y_1 : z_1$  時，較佳為使用如下原子數比的氧化物： $x_1/y_1$  的值為  $1/3$  以上且  $6$  以下，較佳為  $1$  以上且  $6$  以下， $z_1/y_1$  的值為  $1/3$  以上且  $6$  以下，較佳為  $1$  以上且  $6$  以

下。另外，藉由將  $z_1/y_1$  設定為 6 以下，可以使後面所述的 CAAC-OS 膜容易形成。作為靶材的金屬元素的原子數比的典型例子，可以舉出  $\text{In} : \text{M} : \text{Zn} = 1 : 1 : 1$ 、 $3 : 1 : 2$  等。

[0250] 此外，當作為半導體 2901、半導體 2903 使用  $\text{In-M-Zn}$  類氧化物時，作為用來形成成為半導體 2901、半導體 2903 的氧化物膜的靶材，當將該靶材所包含的金屬元素的原子數比設定為  $\text{In} : \text{M} : \text{Zn} = x_2 : y_2 : z_2$  時，較佳為使用如下原子數比的氧化物： $x_2/y_2 < x_1/y_1$ ， $z_2/y_2$  的值為  $1/3$  以上且 6 以下，較佳為 1 以上且 6 以下。另外，藉由將  $z_2/y_2$  設定為 6 以下，可以使後面所述的 CAAC-OS 膜容易形成。作為靶材的金屬元素的原子數比的典型例子，可以舉出  $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 4$ 、 $1 : 3 : 6$ 、 $1 : 3 : 8$  等。

[0251] 另外，作為半導體 2901、半導體 2903，可以使用氧化鎵、氧化鎵鋅等。藉由使用這種材料，可以降低電晶體的關態洩漏電流（off-state leakage current）。

[0252] 另外，藉由將導帶底能量比半導體 2902 離真空能階近的材料用於半導體 2901 及半導體 2903，主要在半導體 2902 中形成通道，半導體 2902 成為主要的電流路徑。如上所述，藉由將形成有通道的半導體 2902 夾在包含相同的金屬元素的半導體 2901 與半導體 2903 之間，介面態的生成得到抑制，而電晶體的電特性的可靠性得到提高。

[0253] 注意，不侷限於上述記載，可以根據所需的

電晶體的半導體特性及電特性（場效移動率、臨界電壓等）使用具有適當的組成的材料。另外，較佳的是，適當地設定半導體 2902、半導體 2901、半導體 2903 的載子密度、雜質濃度、缺陷密度、金屬元素與氧的原子數比、原子間距離、密度等，以得到所需的電晶體的半導體特性。

[0254] 在此，在半導體 2901 與半導體 2902 之間有時存在半導體 2901 和半導體 2902 的混合區域。另外，在半導體 2902 與半導體 2903 之間有時存在半導體 2902 和半導體 2903 的混合區域。混合區域的介面態密度低。因此，半導體 2901、半導體 2902 及半導體 2903 的疊層體具有各層之間的介面附近的能量連續地變化（也稱為連接結合）的能帶結構。

[0255] 在此，對能帶結構進行說明。為了容易理解，關於能帶結構，示出絕緣體 2904、半導體 2901、半導體 2902、半導體 2903 及用作閘極絕緣膜的絕緣體 2905 的導帶底的能量（ $E_c$ ）。

[0256] 如圖 29A、圖 29B 所示，在半導體 2901、半導體 2902、半導體 2903 中，導帶底的能量連續地變化。這也可以從因半導體 2901、半導體 2902、半導體 2903 的構成元素相同而氧容易互相擴散之處得知。由此可以說，雖然半導體 2901、半導體 2902、半導體 2903 是組成互不相同的疊層體，但是在物性上是連續的。

[0257] 主要成分相同而層疊的氧化物半導體不是只將各層層疊，而是以形成連續結合（在此，尤其是指各層

之間的導帶底的能量連續地變化的 U 字形井結構) 的方式形成。換言之，以在各層的介面之間不存在會形成俘獲中心或再結合中心等缺陷能階的雜質的方式形成疊層結構。如果雜質混入被層疊的多層膜的層間，能帶則失去連續性，因此載子在介面因被俘獲或者再結合而消失。

[0258] 注意，圖 29A 示出半導體 2901 的  $E_c$  與半導體 2903 的  $E_c$  相同的情況，但是也可以相互不同。例如，當半導體 2903 的  $E_c$  具有比半導體 2901 的  $E_c$  高的能量時，能帶結構的一部分表示為圖 29B 所示的能帶結構。

[0259] 從圖 29A 和圖 29B 可知，半導體 2902 成為井 (well)，在半導體 2902 中形成通道。另外，由於在半導體 2901、半導體 2902 及半導體 2903 中導帶底的能量連續地變化，因此也可以稱其為 U 字形井 (U-shaped Well)。另外，也可以將具有上述結構的通道稱為埋入通道。

[0260] 另外，雖然在半導體 2901 與氧化矽膜等絕緣膜之間以及半導體 2903 與氧化矽膜等絕緣膜之間的介面附近有可能形成起因於雜質或缺陷的陷阱能階，但是藉由設置半導體 2901 及半導體 2903，可以使半導體 2902 和該陷阱能階相離。注意，當半導體 2901 的  $E_c$  與半導體 2902 的  $E_c$  之間或半導體 2903 的  $E_c$  與半導體 2902 的  $E_c$  之間的能量差小時，有時半導體 2902 的電子越過該能量差到達陷阱能階。電子被陷阱能階俘獲，使得在絕緣膜的介面產生負的固定電荷，這導致電晶體的臨界電壓漂移到

正的方向。

[0261] 因此，為了降低電晶體的臨界電壓的變動，需要使半導體 2901 的  $E_c$  與半導體 2902 的  $E_c$  之間及半導體 2903 的  $E_c$  與半導體 2902 的  $E_c$  之間產生能量差。該能量差都較佳為  $0.1\text{eV}$  以上，更佳為  $0.15\text{eV}$  以上。

[0262] 另外，較佳的是，半導體 2901、半導體 2902 及半導體 2903 包含結晶部。尤其是，藉由使用  $c$  軸配向結晶，能夠對電晶體賦予穩定的電特性。

[0263] 另外，在圖 29B 所示的能帶結構中，也可以在半導體 2902 與用作閘極絕緣膜的絕緣體 2905 之間設置 In-Ga 氧化物（例如，原子數比為  $\text{In}:\text{Ga}=7:93$ ）而不設置半導體 2903。

[0264] 作為半導體 2902，使用電子親和力比半導體 2901 及半導體 2903 大的氧化物。例如，作為半導體 2902，使用其電子親和力比半導體 2901 及半導體 2903 大  $0.07\text{eV}$  以上且  $1.3\text{eV}$  以下，較佳為  $0.1\text{eV}$  以上且  $0.7\text{eV}$  以下，更佳為  $0.15\text{eV}$  以上且  $0.4\text{eV}$  以下的氧化物。注意，電子親和力是指真空能階與導帶底的能量之間的差異。

[0265] 在此，半導體 2902 的厚度至少比半導體 2901 厚是較佳的。半導體 2902 越厚，越可以提高電晶體的通態電流（on-state current）。另外，半導體 2901 只要具有抑制生成與半導體 2902 之間的介面態的效果的程度的厚度即可。例如，可以將半導體 2902 的厚度設定為大於半導體 2901 的厚度，較佳為半導體 2901 的厚度的 2 倍以

上，更佳為 4 倍以上，進一步較佳為 6 倍以上。注意，在不需要提高電晶體的通態電流的情況下不侷限於此，也可以將半導體 2901 的厚度設定為半導體 2902 的厚度以上。

[0266] 另外，與半導體 2901 同樣，半導體 2903 也只要具有抑制生成與半導體 2902 之間的介面態的效果的程度的厚度即可。例如，可以將半導體 2903 的厚度設定為與半導體 2901 同等或其以下的厚度。在半導體 2903 厚時，來自用作閘極電極的導電體 2906 的電場有可能不容易施加到半導體 2902，所以半導體 2903 較佳為薄。例如，使半導體 2903 的厚度比半導體 2902 的厚度薄。另外，不侷限於此，考慮用作閘極絕緣膜的絕緣體 2905 的耐壓，根據驅動電晶體的電壓適當地設定半導體 2903 的厚度即可。

[0267] 這裡，例如在半導體 2902 接觸於其構成要素與半導體 2902 不同的絕緣體（例如，包含氧化矽膜的絕緣體等）的情況下，在兩層之間的介面會形成介面態，該介面態有可能形成通道。在此情況下，有可能出現具有不同臨界電壓的電晶體，而使電晶體的外觀上的臨界電壓發生變動。然而，由於在本結構的電晶體中半導體 2901 包含一種以上的構成半導體 2902 的金屬元素，因此半導體 2901 與半導體 2902 之間的介面不容易形成介面態。因而，藉由設置半導體 2901，可以降低電晶體的臨界電壓等電特性的偏差或變動。

[0268] 另外，當在用作閘極絕緣膜的絕緣體 2905 與

半導體 2902 之間的介面形成通道時，有時在該介面產生介面散射而使電晶體的場效移動率下降。然而，由於在本結構的電晶體中半導體 2903 包含一種以上的構成半導體 2902 的金屬元素，因此在半導體 2902 與半導體 2903 之間的介面不容易產生載子散射，而可以提高電晶體的場效移動率。

[0269] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0270]

實施方式 10

圖 30A 是本發明的一個方式的半導體裝置的電路圖的一個例子。圖 30A 所示的半導體裝置包括：電晶體 3002；電晶體 3001；電容元件 3003；佈線 BL；佈線 WL；佈線 CL；以及佈線 BG。

[0271] 在電晶體 3002 中，源極和汲極中的一個與佈線 BL 電連接，另一個與佈線 SL 電連接，閘極與電晶體 3001 的源極和汲極中的一個及電容元件 3003 的一個電極電連接。在電晶體 3001 中，源極和汲極中的另一個與佈線 BL 電連接，閘極與佈線 WL 電連接。電容元件 3003 的另一個電極與佈線 CL 電連接。此外，將電晶體 3002 的閘極與電晶體 3001 的源極和汲極中的一個與電容元件 3003 的一個電極之間的節點稱為節點 FN。

[0272] 在圖 30A 所示的半導體裝置中，當電晶體 3001 處於導通狀態（開啟狀態）時，將對應於佈線 BL 的

電位的電位施加到節點 FN。另外，當電晶體 3001 處於非導通狀態（關閉狀態）時，保持節點 FN 的電位。就是說，圖 30A 所示的半導體裝置具有記憶體裝置的記憶單元的功能。另外，當圖 30A 所示的半導體裝置具有與節點 FN 電連接的液晶元件或有機 EL（Electroluminescence：電致發光）元件等顯示元件時，可以將其用作顯示裝置的像素。

[0273] 可以根據施加到佈線 WL 或佈線 BG 的電位控制電晶體 3001 的導通狀態、非導通狀態的選擇。另外，可以根據施加到佈線 WL 或佈線 BG 的電位控制電晶體 3001 的臨界電壓。藉由作為電晶體 3001 使用關態電流小的電晶體，可以長期間地保持非導通狀態下的節點 FN 的電位。因此，可以降低半導體裝置的更新頻率，所以可以實現耗電量小的半導體裝置。另外，作為關態電流小的電晶體的一個例子，可以舉出使用氧化物半導體的電晶體。

[0274] 另外，佈線 CL 被施加參考電位、接地電位或任意的固定電位等恆電位。此時，電晶體 3001 的外觀上的臨界電壓根據節點 FN 的電位變動。根據外觀上的臨界電壓的變動而電晶體 3002 的導通狀態、非導通狀態變化，由此可以讀出保持在節點 FN 中的電位的資訊作為資料。

[0275] 另外，為了使保持在節點 FN 中的電位以 85℃ 保持 10 年（ $3.15 \times 10^8$  秒），較佳的是，每電容 1fF 的關態電流值及電晶體的每通道寬度 1 $\mu$ m 的關態電流值小

於  $4.3\text{yA}$ （攸安培（yoctoampere）： $1\text{yA}$  為  $10^{-24}\text{A}$ ）。此時，節點 FN 的電位的允許變動較佳為  $0.5\text{V}$  以內。此外，在  $95^\circ\text{C}$  下，上述關態電流小於  $1.5\text{yA}$  是較佳的。在本發明的一個方式的半導體裝置中，阻擋層的下層的氫濃度充分得到降低，其結果，其上層的使用氧化物半導體的電晶體可以實現這種極低的關態電流。

[0276] 另外，使用氧化物半導體的電晶體的次臨界擺幅值為  $66\text{mV/dec.}$  以上，較佳為  $60\text{mV/dec.}$  以上，更佳為  $50\text{mV/dec.}$  以上，並且為  $200\text{mV/dec.}$  以下，較佳為  $150\text{mV/dec.}$  以下，更佳為  $100\text{mV/dec.}$  以下，進一步較佳為  $80\text{mV/dec.}$  以下。越降低  $S$  值，越可以降低使電晶體關閉時的特定電壓下的關態電流。

[0277] 藉由將圖 30A 所示的半導體裝置配置為矩陣狀，可以構成記憶體裝置（記憶單元陣列）。

[0278] 圖 30B 示出能夠實現圖 30A 所示的電路的半導體裝置的剖面結構的一個例子。

[0279] 半導體裝置包括電晶體 3002、電晶體 3001 及電容元件 3003。電晶體 3001 設置在電晶體 3002 的上方，在電晶體 3002 與電晶體 3001 之間設置有絕緣體 3004。

[0280] 電晶體 3002 設置在半導體基板 3005 上，並且包括：閘極絕緣膜 3006；閘極電極 3007；以及用作源極區域或汲極區域的低電阻區域 3008a 及低電阻區域 3008b。

[0281] 電晶體 3002 可以為 p 通道電晶體或 n 通道電晶體，可以根據電路結構或驅動方法使用適當的電晶體。

[0282] 形成通道的區域或其附近的區域、用作源極區域或汲極區域的低電阻區域 3008a 及低電阻區域 3008b 等較佳為包含矽類半導體等半導體，更佳地包含單晶矽。另外，也可以使用包含 Ge（鍺）、SiGe（矽鍺）、GaAs（砷化鎵）、GaAlAs（鎵鋁砷）等的材料形成。也可以使用具有晶格畸變的矽。此外，電晶體 3002 也可以是使用 GaAs 和 AlGaAs 等的 HEMT（High Electron Mobility Transistor：高電子移動率電晶體）。

[0283] 低電阻區域 3008a 及低電阻區域 3008b 包含磷等賦予 n 型導電性的元素或硼等賦予 p 型導電性的元素。

[0284] 作為閘極電極 3007，可以使用包含磷等賦予 n 型導電性的元素或硼等賦予 p 型導電性的元素的矽等半導體材料、金屬材料、合金材料或金屬氧化物材料等導電材料。尤其是，較佳為使用同時實現耐熱性和導電性的鎢或鉬等高熔點材料，尤其較佳為使用鎢。

[0285] 以覆蓋電晶體 3002 的方式依次層疊有絕緣體 3009、絕緣體 3010、絕緣體 3011 及絕緣體 3012。

[0286] 在半導體裝置的製程中，絕緣體 3009 用作用來使添加到低電阻區域 3008a 及低電阻區域 3008b 的賦予導電性的元素活化的保護膜。如果不需要則可以不設置絕緣體 3009。

[0287] 當將矽類半導體材料用於半導體時，絕緣體 3010 較佳為包含含氫的絕緣材料。藉由將含氫的絕緣體 3010 設置在電晶體 3002 上而進行加熱處理，由絕緣體 3010 中的氫終結半導體中的懸空鍵，由此可以提高電晶體 3002 的可靠性。

[0288] 作為絕緣體 3011 較佳為使用氮化矽膜等。絕緣體 3011 也具有防止從絕緣體 3010 脫離的氫擴散到上層的障壁膜的功能。

[0289] 絕緣體 3012 用作使因設置在其下層的電晶體 3002 等而產生的步階平坦化的平坦化層。為了提高絕緣體 3012 頂面的平坦性，其頂面也可以藉由利用 CMP（Chemical Mechanical Polishing：化學機械拋光）法等平坦化處理被平坦化。

[0290] 在絕緣體 3012 上設置有絕緣體 3004。作為絕緣體 3004，較佳為使用氮化矽膜等。絕緣體 3004 具有防止從絕緣體 3010 脫離的氫擴散到上層的障壁膜的功能。

[0291] 另外，在絕緣體 3009、絕緣體 3010、絕緣體 3011、絕緣體 3012、絕緣體 3004 中也可以埋入與低電阻區域 3008a 或低電阻區域 3008b 等電連接的插頭 3013、3015 以及與電晶體 3002 的閘極電極 3007 電連接的插頭 3014 等。

[0292] 在絕緣體 3004 上設置電晶體 3001、電容元件 3003。作為該電晶體及電容元件，較佳為使用實施方式 1 至 6 所示的電晶體及電容元件。

[0293] 因為本發明的一個方式的半導體裝置包括電晶體 3002、位於電晶體 3002 的上方的電晶體 3001 以及電容元件 3003，所以藉由層疊它們可以縮小元件所占的面積。再者，藉由設置在電晶體 3002 與電晶體 3001 之間的絕緣體 3004，可以抑制存在於其下層的水或氫等雜質擴散到電晶體 3001 一側。

[0294] 注意，可以將本實施方式的一部分或整體自由地組合於或替換為其他實施方式的一部分或整體而實施。

[0295]

#### 實施方式 11

在本實施方式中，說明至少可以使用上述實施方式所說明的電晶體且包含上述實施方式所說明的記憶體裝置的 CPU。

[0296] 圖 31 是示出將在上述實施方式中說明的電晶體用於至少其一部分的 CPU 的結構的一個例子的塊圖。

[0297] 圖 31 所示的 CPU 在基板 3190 上具有：ALU3191（ALU：Arithmetic logic unit：算術邏輯單元）、ALU 控制器 3192、指令解碼器 3193、中斷控制器 3194、時序控制器 3195、暫存器 3196、暫存器控制器 3197、匯流排介面 3198（Bus I/F）、能夠重寫的 ROM3199 以及 ROM 介面 3189（ROM I/F）。作為基板 3190 使用半導體基板、SOI 基板、玻璃基板等。ROM3199 及 ROM 介面 3189 也可以設置在不同的晶片上。當然，圖

31 所示的 CPU 只不過是簡化其結構而表示的一個例子，所以實際上的 CPU 根據其用途具有各種各樣的結構。例如，也可以以包括圖 31 所示的 CPU 或算術電路的結構為核心，設置多個該核心並使其同時工作。另外，在 CPU 的內部算術電路或資料匯流排中能夠處理的位元數例如可以為 8 位元、16 位元、32 位元、64 位元等。

[0298] 藉由匯流排介面 3198 輸入到 CPU 的指令在輸入到指令解碼器 3193 並被解碼之後，輸入到 ALU 控制器 3192、中斷控制器 3194、暫存器控制器 3197、時序控制器 3195。

[0299] ALU 控制器 3192、中斷控制器 3194、暫存器控制器 3197、時序控制器 3195 根據被解碼的指令進行各種控制。明確而言，ALU 控制器 3192 生成用來控制 ALU3191 的工作的信號。另外，中斷控制器 3194 在執行 CPU 的程式時，根據其優先度或遮罩的狀態來判斷來自外部的輸入/輸出裝置或週邊電路的中斷要求而對該要求進行處理。暫存器控制器 3197 生成暫存器 3196 的位址，並根據 CPU 的狀態來進行暫存器 3196 的讀出或寫入。

[0300] 另外，時序控制器 3195 生成用來控制 ALU3191、ALU 控制器 3192、指令解碼器 3193、中斷控制器 3194 以及暫存器控制器 3197 的工作時序的信號。例如，時序控制器 3195 具有根據參考時脈信號 CLK1 生成內部時脈信號 CLK2 的內部時脈發生器，並將內部時脈信號 CLK2 供應到上述各種電路。

[0301] 在圖 31 所示的 CPU 中，在暫存器 3196 中設置有記憶單元。作為暫存器 3196 的記憶單元，可以使用上述實施方式所示的電晶體。

[0302] 在圖 31 所示的 CPU 中，暫存器控制器 3197 根據 ALU3191 的指令進行暫存器 3196 中的保持工作的選擇。換言之，暫存器控制器 3197 在暫存器 3196 所具有的記憶單元中選擇由正反器保持資料還是由電容元件保持資料。在選擇由正反器保持資料的情況下，對暫存器 3196 中的記憶單元供應電源電壓。在選擇由電容元件保持資料的情況下，對電容元件進行資料的重寫，而可以停止對暫存器 3196 中的記憶單元供應電源電壓。

[0303] 圖 32 是可以用作暫存器 3196 的記憶元件的電路圖的一個例子。記憶元件 3200 包括當關閉電源時丟失儲存資料的電路 3201、當關閉電源時不丟失儲存資料的電路 3202、開關 3203、開關 3204、邏輯元件 3206、電容元件 3207 以及具有選擇功能的電路 3220。電路 3202 包括電容元件 3208、電晶體 3209 及電晶體 3210。另外，記憶元件 3200 根據需要還可以包括其他元件諸如二極體、電阻元件或電感器等。

[0304] 在此，電路 3202 可以使用上述實施方式所示的記憶體裝置。在停止對記憶元件 3200 供應電源電壓時，接地電位（0V）或使電晶體 3209 關閉的電位繼續輸入到電路 3202 中的電晶體 3209 的閘極。例如，電晶體 3209 的閘極藉由電阻器等負載接地。

[0305] 在此示出開關 3203 為具有一導電型（例如， $n$  通道型）的電晶體 3213，而開關 3204 為具有與此相反的導電型（例如， $p$  通道型）的電晶體 3214 的例子。這裡，開關 3203 的第一端子對應於電晶體 3213 的源極和汲極中的一個，開關 3203 的第二端子對應於電晶體 3213 的源極和汲極中的另一個，並且開關 3203 的第一端子與第二端子之間的導通或非導通（即，電晶體 3213 的開啟狀態或關閉狀態）由輸入到電晶體 3213 的閘極的控制信號 RD 選擇。開關 3204 的第一端子對應於電晶體 3214 的源極和汲極中的一個，開關 3204 的第二端子對應於電晶體 3214 的源極和汲極中的另一個，並且開關 3204 的第一端子與第二端子之間的導通或非導通（即，電晶體 3214 的開啟狀態或關閉狀態）由輸入到電晶體 3214 的閘極的控制信號 RD 選擇。

[0306] 電晶體 3209 的源極和汲極中的一個電連接到電容元件 3208 的一對電極中的一個及電晶體 3210 的閘極。在此，將連接部分稱為節點 M2。電晶體 3210 的源極和汲極中的一個電連接到能夠供應低電源電位的佈線（例如，GND 線），而另一個電連接到開關 3203 的第一端子（電晶體 3213 的源極和汲極中的一個）。開關 3203 的第二端子（電晶體 3213 的源極和汲極中的另一個）電連接到開關 3204 的第一端子（電晶體 3214 的源極和汲極中的一個）。開關 3204 的第二端子（電晶體 3214 的源極和汲極中的另一個）電連接到能夠供應電源電位 VDD 的佈

線。開關 3203 的第二端子（電晶體 3213 的源極和汲極中的另一個）、開關 3204 的第一端子（電晶體 3214 的源極和汲極中的一個）、邏輯元件 3206 的輸入端子和電容元件 3207 的一對電極中的一個是電連接著的。在此，將連接部分稱為節點 M1。可以對電容元件 3207 的一對電極中的另一個輸入固定電位。例如，可以輸入低電源電位（GND 等）或高電源電位（VDD 等）。電容元件 3207 的一對電極中的另一個電連接到能夠供應低電源電位的佈線（例如，GND 線）。對電容元件 3208 的一對電極中的另一個可以輸入固定電位。例如，可以輸入低電源電位（GND 等）或高電源電位（VDD 等）。電容元件 3208 的一對電極中的另一個電連接到能夠供應低電源電位的佈線（例如，GND 線）。

[0307] 當積極地利用電晶體或佈線的寄生電容等時，可以不設置電容元件 3207 及電容元件 3208。

[0308] 控制信號 WE 輸入到電晶體 3209 的第一閘極（第一閘極電極）。開關 3203 及開關 3204 的第一端子與第二端子之間的導通狀態或非導通狀態由與控制信號 WE 不同的控制信號 RD 選擇，當一個開關的第一端子與第二端子之間處於導通狀態時，另一個開關的第一端子與第二端子之間處於非導通狀態。

[0309] 對應於保持在電路 3201 中的資料的信號被輸入到電晶體 3209 的源極和汲極中的另一個。圖 32 示出從電路 3201 輸出的信號輸入到電晶體 3209 的源極和汲極中

的另一個的例子。由邏輯元件 3206 使從開關 3203 的第二端子（電晶體 3213 的源極和汲極中的另一個）輸出的信號的邏輯值反轉而成為反轉信號，將其經由電路 3220 輸入到電路 3201。

[0310] 另外，雖然圖 32 示出從開關 3203 的第二端子（電晶體 3213 的源極和汲極中的另一個）輸出的信號經由邏輯元件 3206 及電路 3220 輸入到電路 3201 的例子，但是不侷限於此。也可以不使從開關 3203 的第二端子（電晶體 3213 的源極和汲極中的另一個）輸出的信號的邏輯值反轉而輸入到電路 3201。例如，當在電路 3201 內存在其中保持使從輸入端子輸入的信號的邏輯值反轉的信號的節點時，可以將從開關 3203 的第二端子（電晶體 3213 的源極和汲極中的另一個）輸出的信號輸入到該節點。

[0311] 在圖 32 所示的用於記憶元件 3200 的電晶體中，電晶體 3209 以外的電晶體也可以使用其通道形成在由氧化物半導體以外的半導體構成的層或基板 3190 中的電晶體。例如，可以使用其通道形成在矽層或矽基板中的電晶體。此外，也可以作為用於記憶元件 3200 的所有的電晶體使用其通道形成在氧化物半導體層中的電晶體。或者，記憶元件 3200 還可以包括電晶體 3209 以外的其通道由氧化物半導體層形成的電晶體，並且作為剩下的電晶體可以使用其通道形成在由氧化物半導體以外的半導體構成的層或基板 3190 中的電晶體。

[0312] 圖 32 所示的電路 3201 例如可以使用正反器電路。另外，作為邏輯元件 3206 例如可以使用反相器或時脈反相器等。

[0313] 在根據本發明的一個方式的半導體裝置中，在不向記憶元件 3200 供應電源電壓的期間，可以由設置在電路 3202 中的電容元件 3208 保持儲存在電路 3201 中的資料。

[0314] 另外，其通道形成在氧化物半導體層中的電晶體的關態電流極小。例如，其通道形成在氧化物半導體層中的電晶體的關態電流比其通道形成在具有結晶性的矽中的電晶體的關態電流低得多。因此，藉由將該電晶體用作電晶體 3209，即使在不向記憶元件 3200 供應電源電壓的期間也可以長期間地儲存電容元件 3208 所保持的信號。因此，記憶元件 3200 在停止供應電源電壓的期間也可以保持儲存內容（資料）。

[0315] 另外，由於該記憶元件是以藉由設置開關 3203 及開關 3204 進行預充電工作為特徵的記憶元件，因此它可以縮短在再次開始供應電源電壓之後直到電路 3201 再次保持原來的資料為止的時間。

[0316] 另外，在電路 3202 中，由電容元件 3208 保持的信號被輸入到電晶體 3210 的閘極。因此，在再次開始向記憶元件 3200 供應電源電壓之後，可以將由電容元件 3208 保持的信號轉換為電晶體 3210 的狀態（開啟狀態或關閉狀態），並從電路 3202 讀出。因此，即使對應於

保持在電容元件 3208 中的信號的電位有些變動，也可以準確地讀出原來的信號。

[0317] 藉由將這種記憶元件 3200 用於處理器所具有的暫存器或快取記憶體等記憶體裝置，可以防止記憶體裝置內的資料因停止電源電壓的供應而消失。另外，可以在再次開始供應電源電壓之後在短時間內恢復到停止供應電源之前的狀態。因此，在整個處理器或構成處理器的一個或多個邏輯電路中在短時間內也可以停止電源，從而可以抑制功耗。

[0318] 在本實施方式中，雖然對將記憶元件 3200 用於 CPU 的例子進行說明，但是也可以將記憶元件 3200 應用於 LSI 諸如 DSP (Digital Signal Processor：數位信號處理器)、定製 LSI、PLD (Programmable Logic Device：可程式邏輯裝置) 等、RF-ID (Radio Frequency Identification：射頻識別)。

[0319] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0320]

## 實施方式 12

在本實施方式中說明本發明的一個方式的顯示面板的結構實例。

[0321] 圖 33A 是本發明的一個方式的顯示面板的俯視圖，圖 33B 是在將液晶元件用於本發明的一個方式的顯示面板的像素時可以使用的像素電路的電路圖。圖 33C 是

在將有機 EL 元件用於本發明的一個方式的顯示面板的像素時可以使用的像素電路的電路圖。

[0322] 可以根據上述實施方式形成配置在像素部中的電晶體。此外，因為該電晶體容易形成為  $n$  通道電晶體，所以將驅動電路中的可以由  $n$  通道電晶體構成的驅動電路的一部分與像素部的電晶體形成在同一基板上。如上所述，藉由將上述實施方式所示的電晶體用於像素部或驅動電路，可以提供可靠性高的顯示裝置。

[0323] 圖 33A 示出主動矩陣型顯示裝置的方塊圖的一個例子。在顯示裝置的基板 3300 上設置有：像素部 3301；第一掃描線驅動電路 3302；第二掃描線驅動電路 3303；以及信號線驅動電路 3304。在像素部 3301 中配置有從信號線驅動電路 3304 延伸的多個信號線以及從第一掃描線驅動電路 3302 及第二掃描線驅動電路 3303 延伸的多個掃描線。此外，在掃描線與信號線的交叉區域中具有顯示元件的像素配置為矩陣狀。另外，顯示裝置的基板 3300 藉由 FPC (Flexible Printed Circuit：撓性印刷電路) 等的連接部連接到時序控制電路 (也稱為控制器、控制 IC)。

[0324] 在圖 33A 中，在設置有像素部 3301 的基板 3300 上形成有第一掃描線驅動電路 3302、第二掃描線驅動電路 3303、信號線驅動電路 3304。由此，設置在外部的驅動電路等的構件的數量減少，從而能夠實現成本的降低。另外，當在基板 3300 的外部設置驅動電路時，需要

使佈線延伸，佈線之間的連接數增加。當在基板 3300 上設置驅動電路時，可以減少該佈線之間的連接數，從而可以實現可靠性或良率的提高。

[0325]

（液晶面板）

圖 33B 示出像素部的電路結構的一個例子。在此，示出可以用於 VA 方式的液晶顯示面板的像素的像素電路。

[0326] 可以將該像素電路應用於一個像素具有多個像素電極層的結構。各像素電極層分別與不同的電晶體連接，以藉由不同閘極信號驅動各電晶體。由此，可以獨立地控制施加到多域像素中的各像素電極層的信號。

[0327] 電晶體 3316 的閘極佈線 3312 和電晶體 3317 的閘極佈線 3313 彼此分離，以便能夠被提供不同的閘極信號。另一方面，電晶體 3316 和電晶體 3317 共同使用用作資料線的源極電極層或汲極電極層 3314。作為電晶體 3316 及電晶體 3317，可以適當地利用上述實施方式所示的電晶體。由此可以提供可靠性高的液晶顯示面板。

[0328] 電晶體 5016 與第一像素電極電連接，電晶體 5017 與第二像素電極電連接。第一像素電極與第二像素電極彼此分離。第一像素電極及第二像素電極的形狀不侷限於此。例如，第一像素電極也可以為 V 字型的形狀。

[0329] 電晶體 3316 的閘極電極連接到閘極佈線 3312，而電晶體 3317 的閘極電極連接到閘極佈線 3313。藉由對閘極佈線 3312 和閘極佈線 3313 施加不同的閘極信

號，可以使電晶體 3316 及電晶體 3317 的工作時序互不相同來控制液晶配向。

[0330] 另外，也可以由電容佈線 3310、用作電介質的閘極絕緣膜以及與第一像素電極層或第二像素電極層電連接的電容電極形成儲存電容器。

[0331] 多域結構在一個像素中設置有第一液晶元件 3318 和第二液晶元件 3319。第一液晶元件 3318 由第一像素電極層、相對電極層以及它們之間的液晶層構成，而第二液晶元件 3319 由第二像素電極層、相對電極層以及它們之間的液晶層構成。

[0332] 此外，圖 33B 所示的像素電路不侷限於此。例如，也可以還對圖 33B 所示的像素追加開關、電阻元件、電容元件、電晶體、感測器或邏輯電路等。

[0333]

（有機 EL 面板）

圖 33C 示出像素的電路結構的其他例子。在此，示出使用有機 EL 元件的顯示面板的像素結構。

[0334] 在有機 EL 元件中，藉由對發光元件施加電壓，電子和電洞從一對電極分別注入到包含發光有機化合物的層，而產生電流。然後，藉由使電子和電洞再結合，發光有機化合物達到激發態，並且當該激發態恢復到基態時，獲得發光。根據這種機制，該發光元件被稱為電流激發型發光元件。

[0335] 這裡示出一個像素包括兩個  $n$  通道電晶體的

例子。本發明的一個方式的金屬氧化物膜可以用於  $n$  通道電晶體的通道形成區域。另外，該像素電路可以採用數位時間灰階驅動。

[0336] 以下說明可以應用的像素電路的結構及採用數位時間灰階驅動時的像素的工作。

[0337] 像素 3320 包括開關電晶體 3321、驅動電晶體 3322、發光元件 3324 以及電容元件 3323。在開關電晶體 3321 中，閘極電極層與掃描線 3326 連接，第一電極（源極電極層和汲極電極層中的一個）與信號線 3325 連接，並且第二電極（源極電極層和汲極電極層中的另一個）與驅動電晶體 3322 的閘極電極層連接。在驅動電晶體 3322 中，閘極電極層藉由電容元件 3323 與電源線 3327 連接，第一電極與電源線 3327 連接，第二電極與發光元件 3324 的第一電極（像素電極）連接。發光元件 3324 的第二電極相當於共同電極 3328。共同電極 3328 與形成在同一基板上的共用電位線電連接。

[0338] 作為開關電晶體 3321 及驅動電晶體 3322，可以適當地利用上述實施方式所示的電晶體。由此可以提供可靠性高的有機 EL 顯示面板。

[0339] 將發光元件 3324 的第二電極（共同電極 3328）的電位設定為低電源電位。注意，低電源電位是指低於供應到電源線 3327 的高電源電位的電位，例如，低電源電位可以為 GND、0V 等。將高電源電位與低電源電位的電位差設定為發光元件 3324 的正向臨界電壓以上，

將該電位差施加到發光元件 3324 來使電流流過發光元件 3324，以獲得發光。發光元件 3324 的正向電壓是指獲得所希望的亮度的電壓，至少包含正向臨界電壓。

[0340] 另外，還可以使用驅動電晶體 3322 的閘極電容代替電容元件 3323。作為驅動電晶體 3322 的閘極電容，也可以利用在通道形成區域和閘極電極層之間的電容。

[0341] 接著，說明輸入到驅動電晶體 3322 的信號。當採用電壓輸入電壓驅動方式時，對驅動電晶體 3322 輸入使驅動電晶體 3322 充分處於開啟狀態或關閉狀態的兩個狀態的視訊信號。為了使驅動電晶體 3322 在線性區域中工作，將比電源線 3327 的電壓高的電壓施加到驅動電晶體 3322 的閘極電極層。另外，對信號線 3325 施加電源線電壓加驅動電晶體 3322 的臨界電壓  $V_{th}$  的值以上的電壓。

[0342] 當進行類比灰階驅動時，對驅動電晶體 3322 的閘極電極層施加發光元件 3324 的正向電壓加驅動電晶體 3322 臨界電壓的  $V_{th}$  的值以上的電壓。另外，藉由輸入使驅動電晶體 3322 在飽和區域中工作的視訊信號，使電流流過發光元件 3324。為了使驅動電晶體 3322 在飽和區域中工作，使電源線 3327 的電位高於驅動電晶體 3322 的閘極電位。藉由採用類比方式的視訊信號，可以使與視訊信號對應的電流流過發光元件 3324，而進行類比灰階驅動。

[0343] 注意，像素電路的結構不侷限於圖 33C 所示的像素結構。例如，還可以對圖 33C 所示的像素電路追加開關、電阻元件、電容元件、感測器、電晶體或邏輯電路等。

[0344] 當對圖 33A 至圖 33C 所示的電路應用上述實施方式所示的電晶體時，使源極電極（第一電極）及汲極電極（第二電極）分別電連接到低電位一側及高電位一側。再者，可以由控制電路等控制第一閘極電極的電位，且由未圖示的佈線將比源極電極低的電位等如上所示的電位輸入第二閘極電極。

[0345] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0346]

### 實施方式 13

根據本發明的一個方式的半導體裝置可以用於顯示裝置、個人電腦或具備儲存介質的影像再現裝置（典型的是，能夠再現儲存介質如數位影音光碟（DVD：Digital Versatile Disc）等並具有可以顯示該影像的顯示器的裝置）中。另外，作為可以使用根據本發明的一個方式的半導體裝置的電子裝置，可以舉出行動電話、包括可攜式的遊戲機、可攜式資料終端、電子書閱讀器終端、拍攝裝置諸如視頻攝影機或數位相機等、護目鏡型顯示器（頭戴式顯示器）、導航系統、音頻再生裝置（汽車音響系統、數位聲訊播放機等）、影印機、傳真機、印表機、多功能印

表機、自動櫃員機（ATM）以及自動販賣機等。圖 34A 至圖 34F 示出這些電子裝置的具體例子。

[0347] 圖 34A 是可攜式遊戲機，該可攜式遊戲機包括外殼 9001、外殼 9002、顯示部 9003、顯示部 9004、麥克風 9005、揚聲器 9006、操作鍵 9007 以及觸控筆 9008 等。注意，雖然圖 34A 所示的可攜式遊戲機包括兩個顯示部 9003 和顯示部 9004，但是可攜式遊戲機所包括的顯示部的個數不限於此。

[0348] 圖 34B 是可攜式資料終端，該可攜式資料終端包括第一外殼 9011、第二外殼 9012、第一顯示部 9013、第二顯示部 9014、連接部 9015、操作鍵 9016 等。第一顯示部 9013 設置在第一外殼 9011 中，第二顯示部 9014 設置在第二外殼 9012 中。而且，第一外殼 9011 和第二外殼 9012 由連接部 9015 連接，由連接部 9015 可以改變第一外殼 9011 和第二外殼 9012 之間的角度。第一顯示部 9013 的影像也可以根據連接部 9015 所形成的第一外殼 9011 和第二外殼 9012 之間的角度切換。另外，也可以對第一顯示部 9013 和第二顯示部 9014 中的至少一個使用附加有位置輸入功能的顯示裝置。另外，可以藉由在顯示裝置中設置觸控面板來附加位置輸入功能。或者，也可以藉由在顯示裝置的像素部中設置被稱為光感測器的光電轉換元件來附加位置輸入功能。

[0349] 圖 34C 是膝上型個人電腦，該膝上型個人電腦包括外殼 9021、顯示部 9022、鍵盤 9023 以及指向裝置

9024 等。

[0350] 圖 34D 是電冷藏冷凍箱，該電冷藏冷凍箱包括外殼 9031、冷藏室門 9032、冷凍室門 9033 等。

[0351] 圖 34E 是視頻攝影機，該視頻攝影機包括第一外殼 9041、第二外殼 9042、顯示部 9043、操作鍵 9044、透鏡 9045、連接部 9046 等。操作鍵 9044 及透鏡 9045 設置在第一外殼 9041 中，顯示部 9043 設置在第二外殼 9042 中。而且，第一外殼 9041 和第二外殼 9042 由連接部 9046 連接，由連接部 9046 可以改變第一外殼 9041 和第二外殼 9042 之間的角度。顯示部 9043 的影像也可以根據連接部 9046 所形成的第一外殼 9041 和第二外殼 9042 之間的角度切換。

[0352] 圖 34F 是一般的汽車，該汽車包括車體 9051、車輪 9052、儀表板 9053 及燈 9054 等。

[0353] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0354] 注意，在一個實施方式中描述的內容（也可以是其一部分的內容）可以應用於、組合於或者替換成在該實施方式中描述的其他內容（也可以是其一部分的內容）和/或在一個或多個其他實施方式中描述的內容（也可以是其一部分的內容）。

[0355] 注意，在實施方式中描述的內容是指在各實施方式中利用各種附圖說明的內容或在說明書的文章中記載的內容。

[0356] 注意，藉由使在一個實施方式中示出的圖式（也可以是其一部分）與該圖式的其他部分、在該實施方式中示出的其他圖式（也可以是其一部分）、和/或在一個或多個其他實施方式中示出的圖式（也可以是其一部分）組合，可以構成更多圖式。

[0357] 注意，可以構成去除了說明書中的圖式或文章所未規定的內容的發明的一個方式。另外，當有某一個值的數值範圍的記載（上限值和下限值等）時，藉由任意縮小該範圍或者去除該範圍的一部分，可以構成去除該範圍的一部分的發明的一個方式。由此，例如，可以規定習知技術不包括在本發明的一個方式的技術範圍內。

[0358] 作為具體例子，假設記載有包括第一至第五電晶體的電路的電路圖。在該情況下，可以將發明規定為該電路不包含第六電晶體的情況。也可以將發明規定為該電路不包含電容元件的情況。再者，可以將發明規定為該電路不包含具有特定連接結構的第六電晶體的情況。還可以將發明規定為該電路不包含具有特定連接結構的電容元件的情況。例如，可以將發明規定為不包括其閘極與第三電晶體的閘極連接的第六電晶體的情況。還可以將發明規定為不包括其第一電極與第三電晶體的閘極連接的電容元件的情況。

[0359] 作為其他具體例子，假設關於某一個值，例如記載有“某一個電壓較佳為 3V 以上且 10V 以下”。在該情況下，例如，可以將發明的一個方式規定為不包括該

電壓為 -2V 以上且 1V 以下的情況。例如，可以將發明的一個方式規定為不包括該電壓為 13V 以上的情況。例如，可以將發明規定為該電壓為 5V 以上且 8V 以下。例如，可以將發明規定為該電壓大約為 9V。例如，可以將發明規定為該電壓是 3V 以上且 10V 以下但不是 9V。注意，即使記載有“某一個值較佳為某個範圍”、“某一個值最好滿足某個條件”，也不侷限於該記載。換而言之，“更佳為”、“最好”等的記載並不一定規定該值。

[0360] 作為其他具體例子，假設關於某一個值，例如記載有“某一個電壓較佳為 10V”。在該情況下，例如，可以將發明的一個方式規定為不包括該電壓為 -2V 以上且 1V 以下的情況。例如，可以將發明的一個方式規定為不包括該電壓為 13V 以上的情況。

[0361] 作為其他具體例子，假設關於某一個物質的性質，例如記載有“某一個膜為絕緣膜”。在該情況下，例如，可以將發明的一個方式規定為不包括該絕緣膜為有機絕緣膜的情況。例如，可以將發明的一個方式規定為不包括該絕緣膜為無機絕緣膜的情況。例如，可以將發明的一個方式規定為不包括該膜為導電膜的情況。例如，可以將發明的一個方式規定為不包括該膜為半導體膜的情況。

[0362] 作為其他具體例子，假設關於某一個層疊結構，例如記載有“在 A 膜與 B 膜之間設置有某一個膜”。在該情況下，例如，可以將發明規定為不包括該膜為四層以上的疊層膜的情況。例如，可以將發明規定為不包括在

A 膜與該膜之間設置有導電膜的情況。

[0363] 另外，在本說明書等中記載的發明的一個方式可以由各種各樣的人實施。但是，該實施有時藉由多個人參與而被實施。例如，有這樣的情況：在收發信系統中，A 公司製造並銷售發送器，B 公司製造並銷售接收器。作為另一個例子，在具有電晶體及發光元件的發光裝置中，A 公司製造並銷售形成有電晶體的半導體裝置。然後，B 公司購買該半導體裝置，並在該半導體裝置中形成發光元件，而完成發光裝置。

[0364] 在此情況下，可以構成可對 A 公司和 B 公司中的兩者主張侵犯專利的發明的一個方式。換而言之，可以構成僅由 A 公司實施的發明的一個方式，作為發明的另一個方式，也可以構成僅由 B 公司實施的發明的一個方式。另外，可對 A 公司或 B 公司主張侵犯專利的發明的一個方式是明確的，且可以判斷是記載於本說明書等中的。例如，在收發信系統中，即使在本說明書等中沒有僅包含發送器的結構的記載或僅包含接收器的結構的記載，也可以僅由發送器構成發明的一個方式，還可以僅由接收器構成發明的其他的一個方式，這些發明的一個方式是明確的，且可以判斷是記載於本說明書等中的。作為另一個例子，在包含電晶體及發光元件的發光裝置中，即使在本說明書等沒有僅包含形成有電晶體的半導體裝置的結構的記載或僅包含具有發光元件的發光裝置的結構的記載，也可以僅由形成有電晶體的半導體裝置構成發明的一個方

式，還可以僅由具有發光元件的發光裝置構成發明的一個方式，這些發明的一個方式是明確的，且可以判斷是記載於本說明書等中的。

[0365] 在本說明書等中，即使未指定主動元件（電晶體、二極體等）、被動元件（電容元件、電阻元件等）等所具有的所有端子的連接目標，所屬技術領域的普通技術人員有時也能夠構成發明的一個方式。就是說，可以說，即使未指定連接目標，發明的一個方式也是明確的。而且，當指定了連接目標的內容記載於本說明書等中時，有時可以判斷未指定連接目標的發明的一個方式記載於本說明書等中。尤其是在端子的連接目標有可能是多個的情況下，該端子的連接目標不必限定在指定的部分。因此，有時藉由僅指定主動元件（電晶體、二極體等）、被動元件（電容元件、電阻元件等）等所具有的一部分的端子的連接目標，能夠構成發明的一個方式。

[0366] 在本說明書等中，只要至少指定某一個電路的連接目標，所屬技術領域的普通技術人員就有時可以構成發明。或者，只要至少指定某一個電路的功能，所屬技術領域的普通技術人員就有時可以構成發明。就是說，可以說，只要指定功能，發明的一個方式就是明確的。另外，有時可以判斷指定了功能的發明的一個方式是記載於本說明書等中的。因此，即使未指定某一個電路的功能，只要指定連接目標，就算是所公開的發明的一個方式，而可以構成發明的一個方式。另外，即使未指定某一個電路

的連接目標，只要指定其功能，就算是所公開的發明的一個方式，而可以構成發明的一個方式。

[0367] 在本說明書等中，可以在某一個實施方式中示出的圖式或者文章中取出其一部分而構成發明的一個方式。從而，在記載有說明某一部分的圖式或者文章的情況下，取出的圖式或者文章的一部分的內容也算是所公開的發明的一個方式，所以能夠構成發明的一個方式。並且，可以說該發明的一個方式是明確的。因此，例如，可以在記載有主動元件（電晶體、二極體等）、佈線、被動元件（電容元件、電阻元件等）、導電層、絕緣層、半導體層、有機材料、無機材料、零件、裝置、工作方法、製造方法等中的一個或多個的圖式或者文章中取出其一部分而構成發明的一個方式。例如，可以從由  $N$  個（ $N$  是整數）電路元件（電晶體、電容元件等）構成的電路圖中取出  $M$  個（ $M$  是整數， $M < N$ ）電路元件（電晶體、電容元件等）來構成發明的一個方式。作為其他例子，可以從由  $N$  個（ $N$  是整數）層構成的剖面圖中取出  $M$  個（ $M$  是整數， $M < N$ ）層來構成發明的一個方式。再者，作為其他例子，可以從由  $N$  個（ $N$  是整數）要素構成的流程圖中取出  $M$  個（ $M$  是整數， $M < N$ ）要素來構成發明的一個方式。作為其他的例子，當從“A 包括 B、C、D、E 或 F”的記載中任意抽出一部分的要素時，可以構成“A 包括 B 和 E”、“A 包括 E 和 F”、“A 包括 C、E 和 F”或者“A 包括 B、C、D 和 E”等的發明的一個方式。

[0368] 在本說明書等中，當在某一個實施方式中示出的圖式或文章示出至少一個具體例子的情況下，所屬技術領域的普通技術人員可以很容易地理解一個事實就是由上述具體例子導出該具體例子的上位概念。從而，當在某一個實施方式中示出的圖式或文章示出至少一個具體例子的情況下，該具體例子的上位概念也是所公開的發明的一個方式，可以構成發明的一個方式。並且，可以說該發明的一個方式是明確的。

[0369] 在本說明書等中，至少示於圖式中的內容（也可以是其一部分）是所公開的發明的一個方式，而可以構成發明的一個方式。因此，即使在文章中沒有該內容的描述，如果該內容示於圖式中，就可以說該內容是所公開的發明的一個方式，而可以構成發明的一個方式。同樣地，取出圖式的一部分的圖式也是所公開的發明的一個方式，而可以構成發明的一個方式。並且，可以說該發明的一個方式是明確的。

## 【符號說明】

[0370]

10：電子槍室

12：光學系統

14：樣本室

16：光學系統

18：拍攝裝置

20：觀察室  
22：膠片室  
24：電子  
28：物質  
32：螢光板  
101：絕緣體  
102：半導體  
103：島狀半導體  
104：導電體  
201：導電圖案  
202：導電圖案  
203：導電圖案  
204：絕緣體  
301：電極  
302：電極  
303：電極  
304：絕緣體  
310：開口或槽  
311：開口或槽  
401：導電體  
410：開口或槽  
501：導電圖案  
502：導電圖案  
503：導電圖案

601：導電圖案  
602：導電圖案  
604：絕緣體  
701：電極  
702：電極  
703：電極  
704：絕緣體  
710：開口或槽  
711：開口或槽  
801：導電體  
810：開口或槽  
901：導電圖案  
902：導電圖案  
903：導電圖案  
1001：絕緣體  
1002：半導體  
1003：島狀半導體  
1004：導電體  
1101：絕緣體  
1102：電極  
1103：電極  
1104：電極  
1105：導電圖案  
1201：絕緣體

1202：開口或槽

1301：導電體

1302：導電圖案

1303：導電圖案

1304：導電圖案

1401：絕緣體

1402：半導體

1403：導電體

1404：半導體

1405：導電圖案

1406：導電圖案

1407：導電圖案

1501：絕緣體

1502：電極

1503：電極

1504：電極

1510：開口或槽

1511：開口或槽

1601：絕緣體

1610：開口或槽

1701：導電體

1702：導電圖案

1703：導電圖案

1704：導電圖案

1801：導電圖案  
1802：導電圖案  
1804：半導體  
1805：絕緣體  
1901：電極  
1902：電極  
1903：電極  
1904：絕緣體  
1910：開口或槽  
1911：開口或槽  
2001：導電體  
2010：開口或槽  
2101：導電圖案  
2102：導電圖案  
2103：導電圖案  
2201：絕緣體  
2202：半導體  
2203：導電體  
2204：絕緣體  
2205：半導體  
2206：導電圖案  
2207：導電圖案  
2208：導電圖案  
2301：電極

2302：電極  
2303：絕緣體  
2304：絕緣體  
2401：導電體  
2410：開口或槽  
2501：導電圖案  
2502：導電圖案  
2503：導電圖案  
2901：半導體  
2902：半導體  
2903：半導體  
2904：絕緣體  
2905：絕緣體  
2906：導電體  
3001：電晶體  
3002：電晶體  
3003：電容元件  
3004：絕緣體  
3005：半導體基板  
3006：閘極絕緣膜  
3007：閘極電極  
3008a：低電阻區域  
3008b：低電阻區域  
3009：絕緣體

- 3010：絕緣體
- 3011：絕緣體
- 3012：絕緣體
- 3013：插頭
- 3015：插頭
- 3189：ROM 介面
- 3190：基板
- 3191：ALU
- 3192：ALU 控制器
- 3193：指令解碼器
- 3194：中斷控制器
- 3195：時序控制器
- 3196：暫存器
- 3197：暫存器控制器
- 3198：匯流排介面
- 3199：ROM
- 3200：記憶元件
- 3201：電路
- 3202：電路
- 3203：開關
- 3204：開關
- 3206：邏輯元件
- 3207：電容元件
- 3208：電容元件

3209：電晶體  
3210：電晶體  
3213：電晶體  
3214：電晶體  
3220：電路  
3300：基板  
3301：像素部  
3302：掃描線驅動電路  
3303：掃描線驅動電路  
3304：信號線驅動電路  
3310：電容佈線  
3312：閘極佈線  
3313：閘極佈線  
3314：汲極電極層  
3316：電晶體  
3317：電晶體  
3318：液晶元件  
3319：液晶元件  
3320：像素  
3321：開關電晶體  
3322：驅動電晶體  
3323：電容元件  
3324：發光元件  
3325：信號線

3326：掃描線

3327：電源線

3328：共用電極

9001：外殼

9002：外殼

9003：顯示部

9004：顯示部

9005：麥克風

9006：揚聲器

9007：操作鍵

9008：觸控筆

9011：外殼

9012：外殼

9013：顯示部

9014：顯示部

9015：連接部

9016：操作鍵

9021：外殼

9022：顯示部

9023：鍵盤

9024：指向裝置

9031：外殼

9032：冷藏室門

9033：冷凍室門

9041：外殼

9042：外殼

9043：顯示部

9044：操作鍵

9045：透鏡

9046：連接部

9051：車體

9052：車輪

9053：儀表板

9054：燈

I650803

## 發明摘要

※申請案號：104107755

※申請日：104 年 03 月 11 日

※IPC 分類：

【發明名稱】(中文/英文)

半導體裝置及其製造方法

Semiconductor device and manufacturing method thereof

【中文】

一種適合於微型化的半導體裝置。一種半導體裝置的製造方法，包括如下步驟：形成半導體的製程；在半導體的上方形形成第一導電體的製程；對第一導電體進行第二加工，以便形成對應於第一圖案的導電體的製程；在具有第一圖案的導電體的上方形形成第一絕緣體的製程；在第一絕緣體中形成開口的製程；在開口中對具有第一圖案的導電體進行第三加工，以便形成第一電極和第二電極，並且使半導體露出的製程；在第一絕緣體、開口的內壁以及半導體的被露出的部分的上方形形成第二絕緣體的製程；在第二絕緣體的上方形形成第二導電體的製程；以及對第二導電體進行第四加工，以便形成第三電極的製程。

## 【 英文 】

A semiconductor device that is suitable for miniaturization. A method for manufacturing a semiconductor device includes the steps of forming a semiconductor, forming a first conductor over the semiconductor, performing a second process on the first conductor so as to form a conductor according to a first pattern, forming a first insulator over the conductor having the first pattern, forming an opening in the first insulator, performing a third process on the conductor having the first pattern in the opening so as to form a first electrode and a second electrode and to expose the semiconductor, forming a second insulator over the first insulator, an inner wall of the opening, and an exposed portion of the semiconductor, forming a second conductor over the second insulator, and performing a fourth process on the second conductor so as to form a third electrode.

【代表圖】

【本案指定代表圖】：第( 9 )圖。

【本代表圖之符號簡單說明】：

901：導電圖案

902：導電圖案

903：導電圖案

a1-a2：FET 部的剖面圖

b1-b2：電容元件的剖面圖

c1-c2：接觸部的剖面圖

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

圖 1A

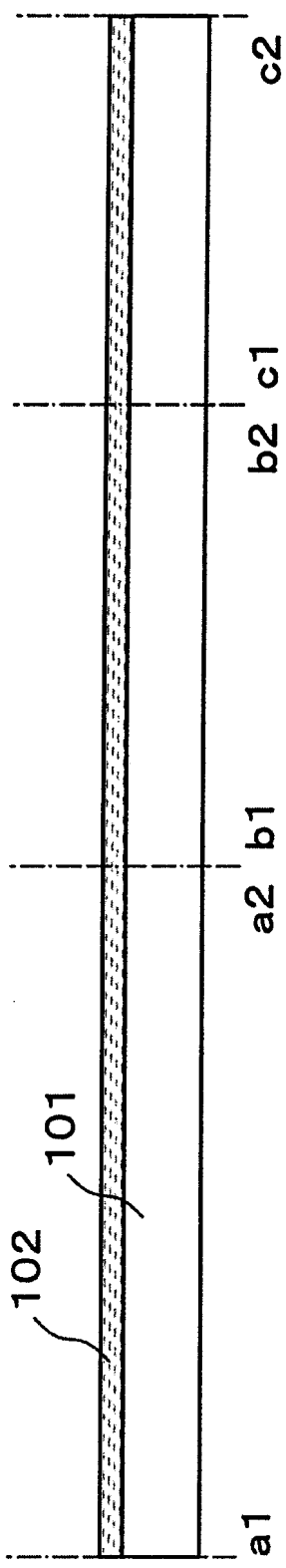


圖 1B

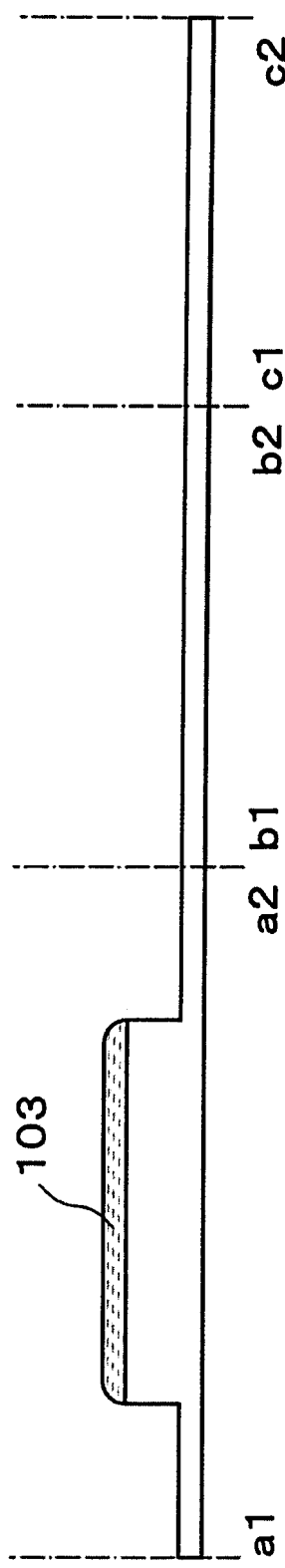
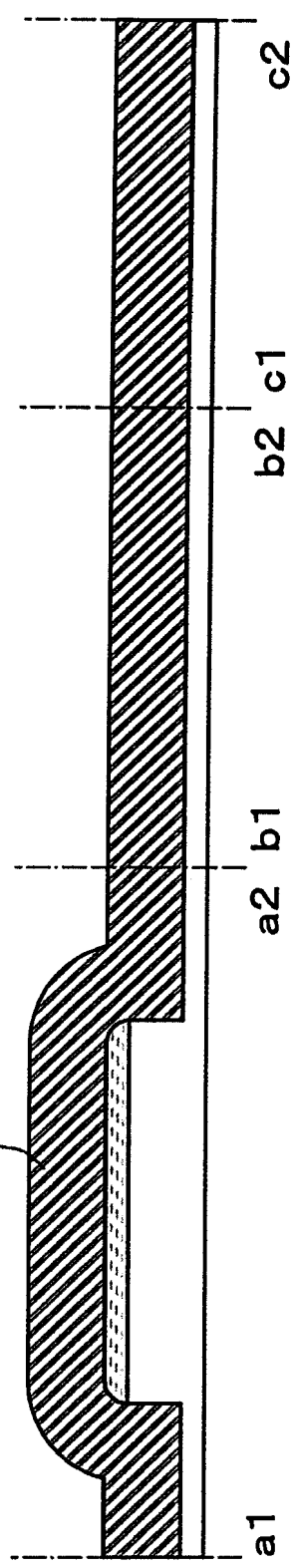


圖 1C



圖式

圖 5

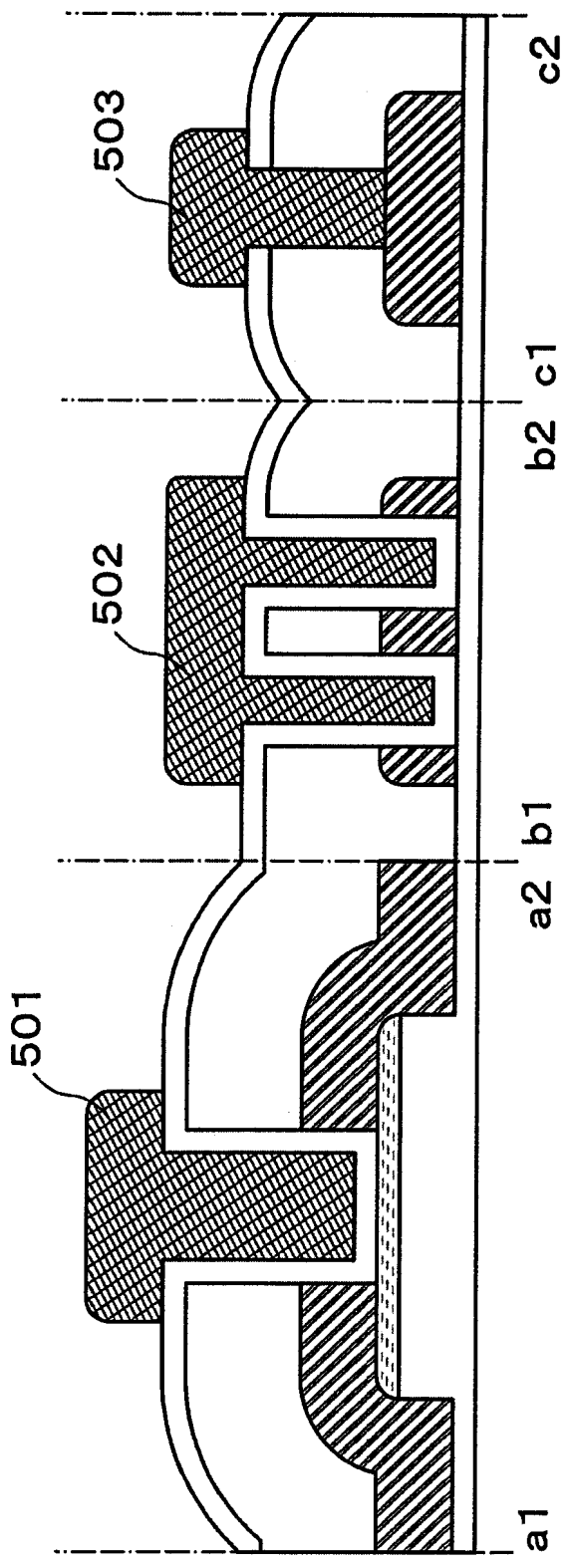


圖 9

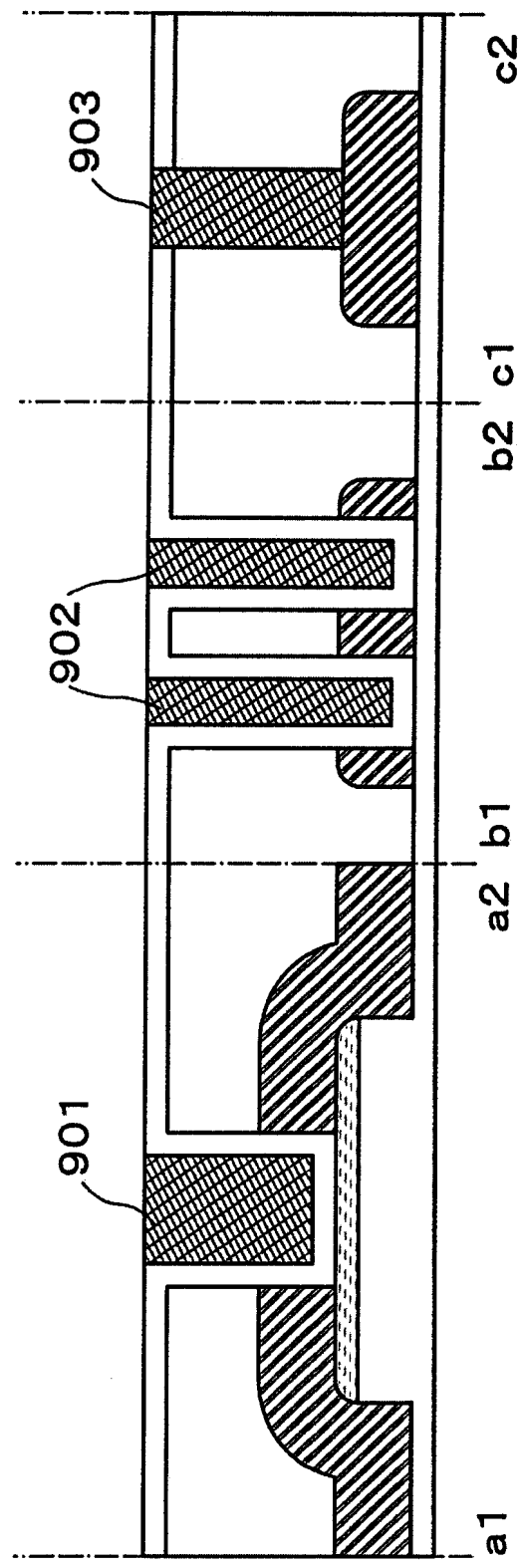


圖 15A

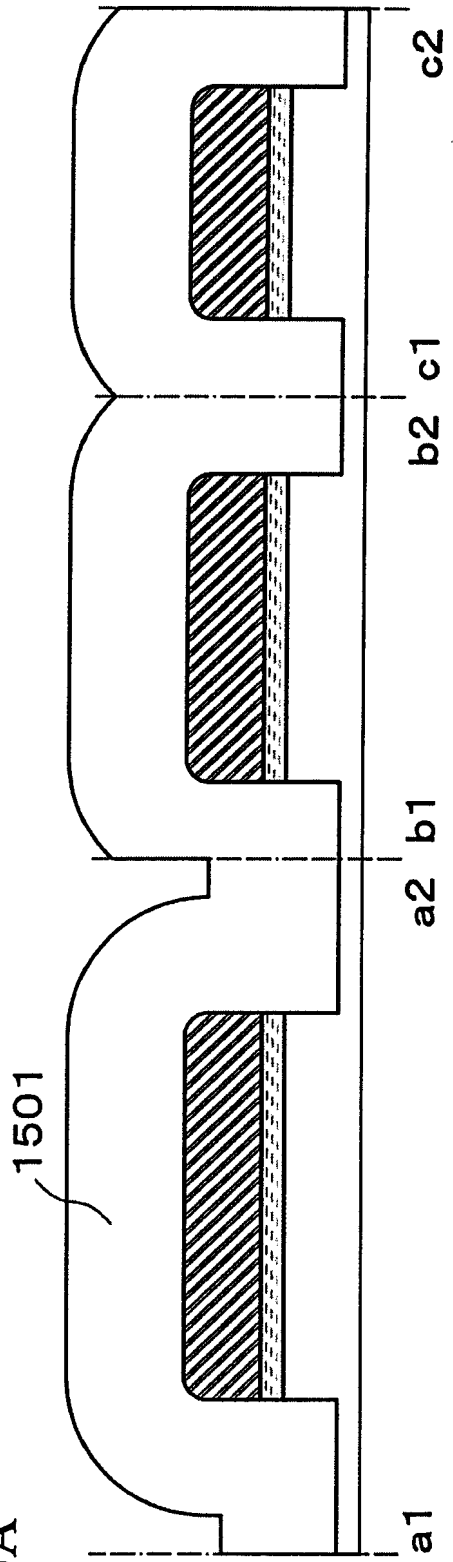


圖 15B

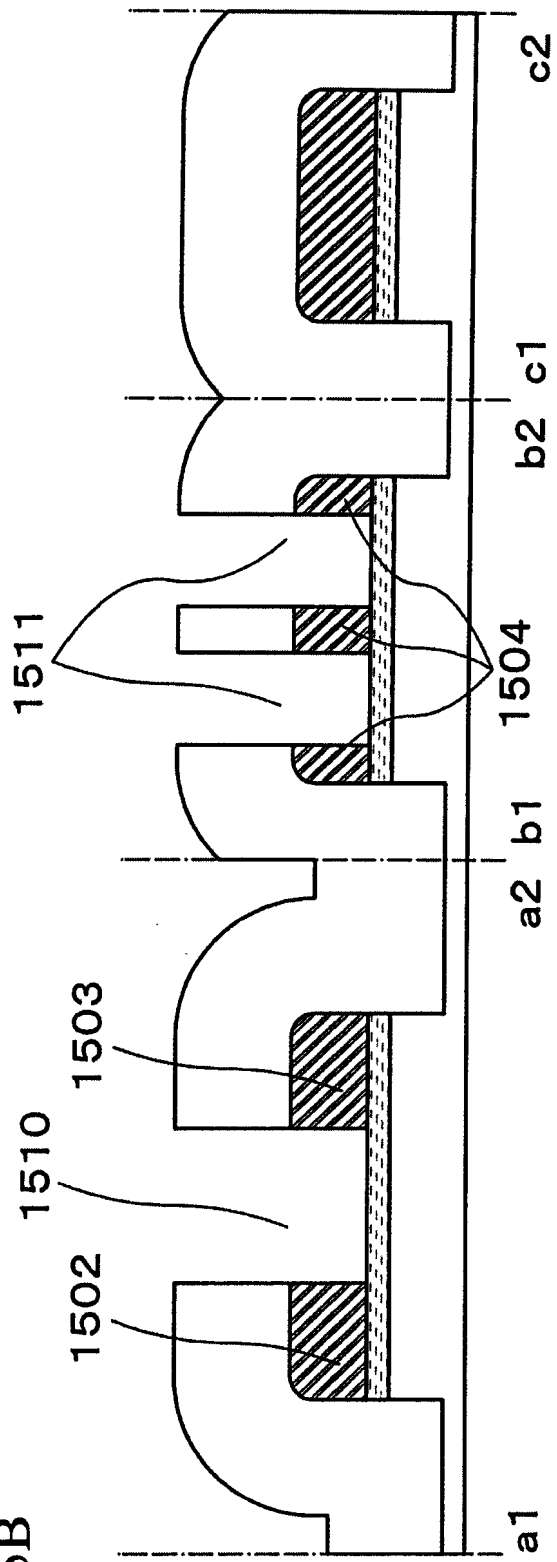


圖 19A

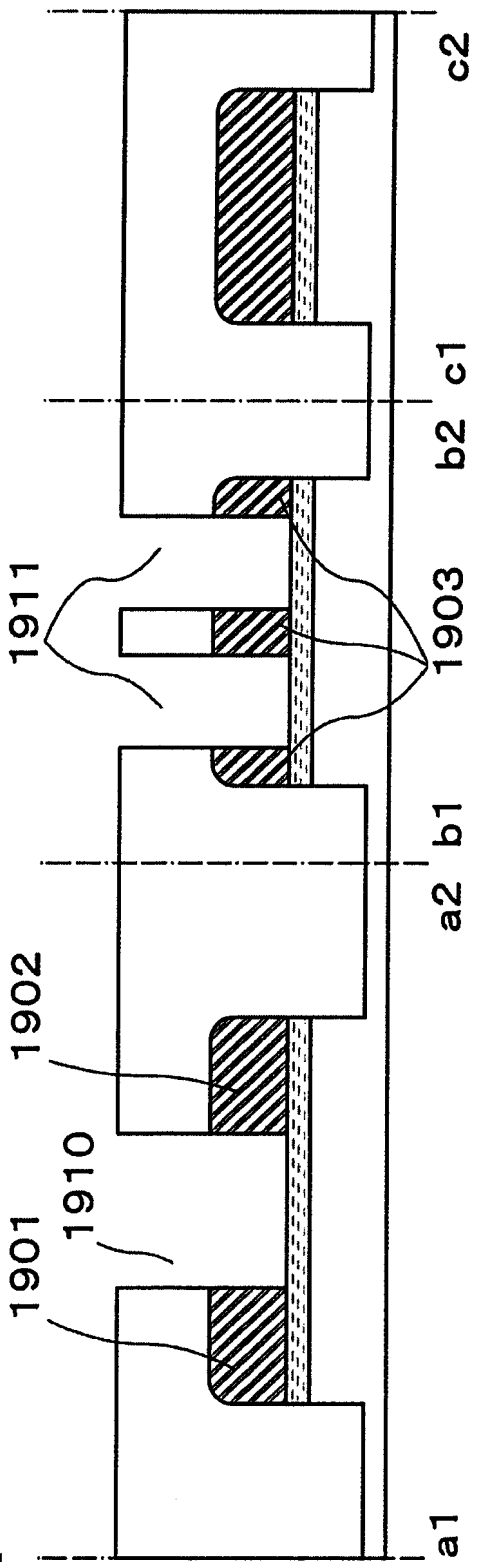


圖 19B

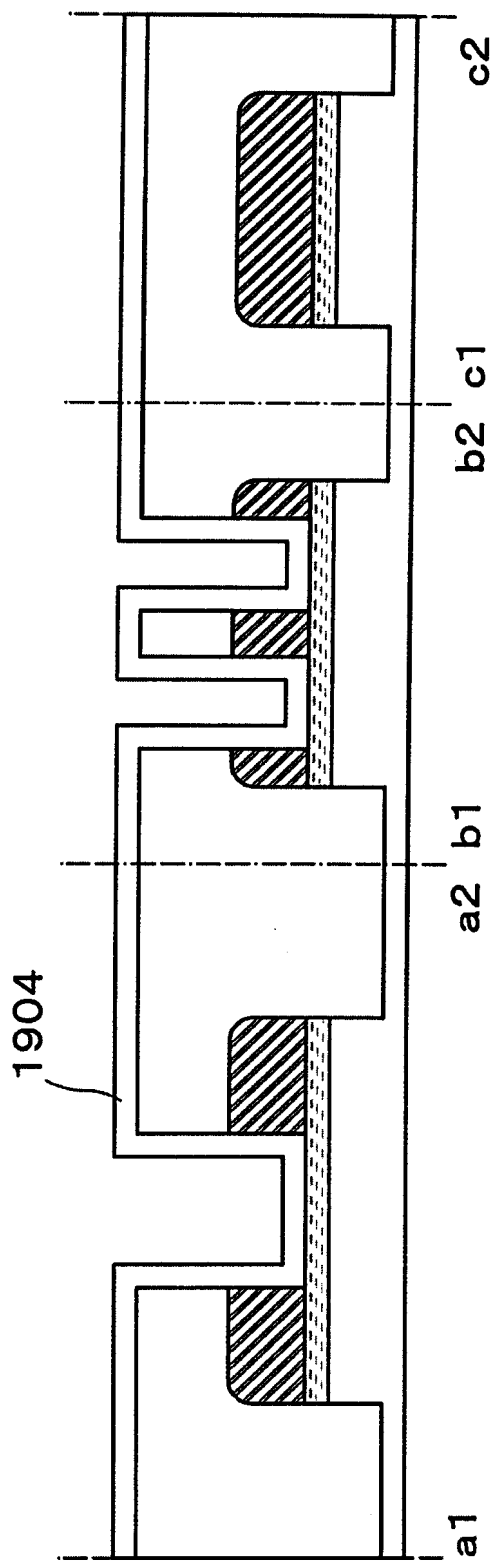


圖 21

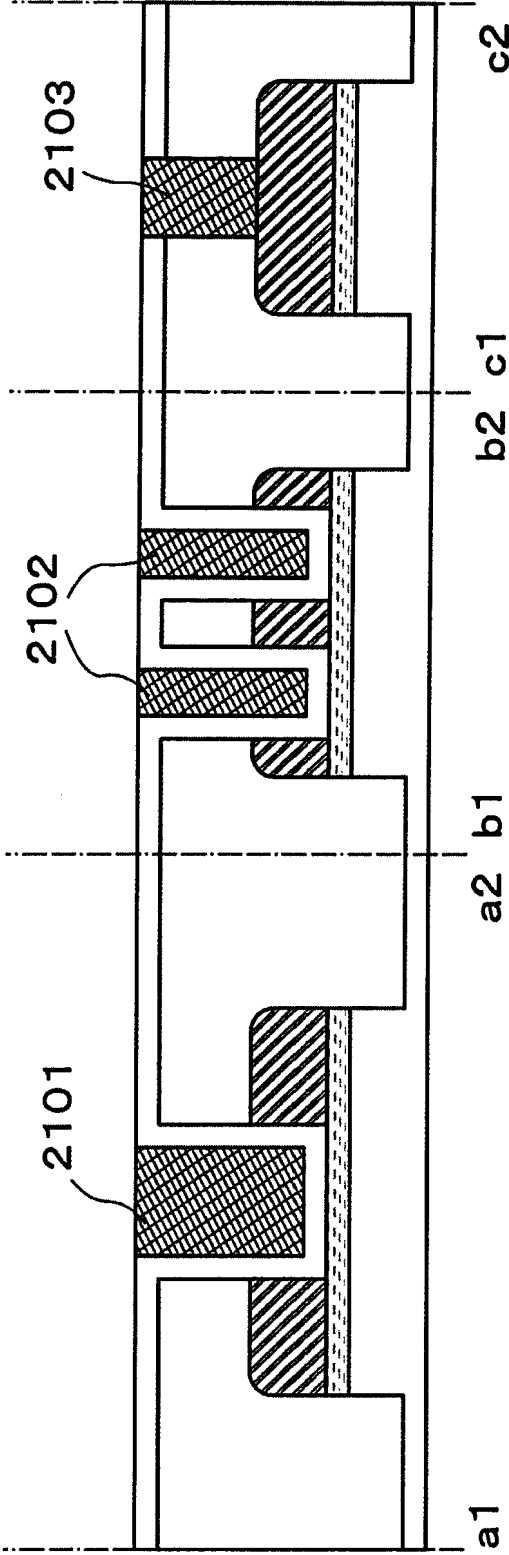


圖 23A

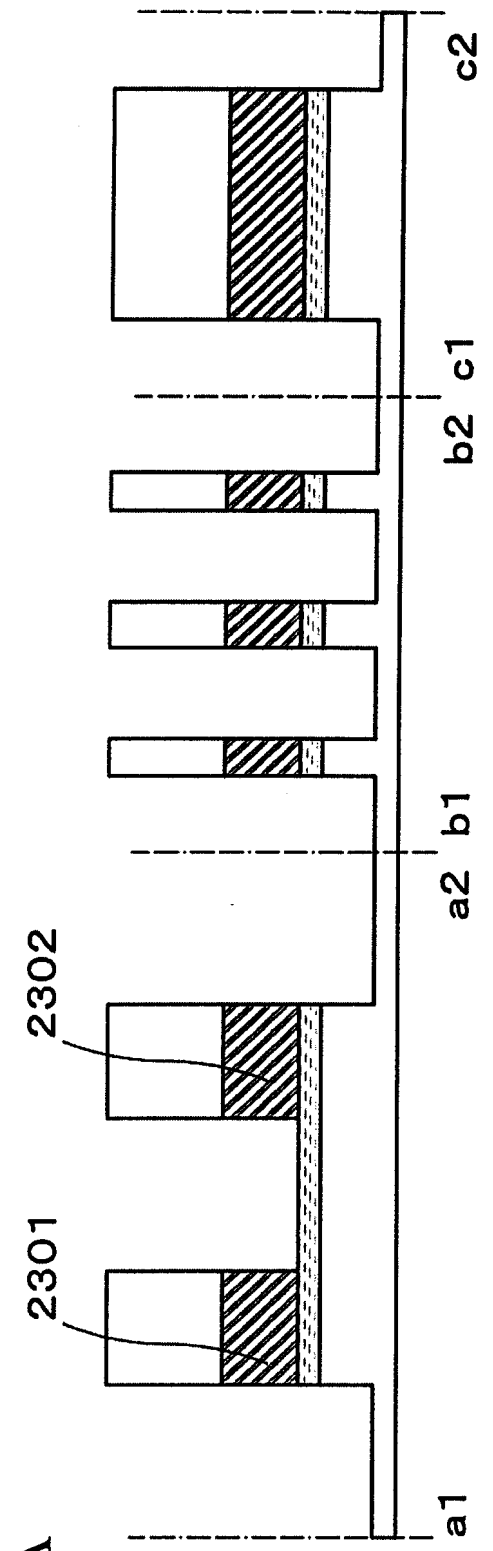


圖 23B

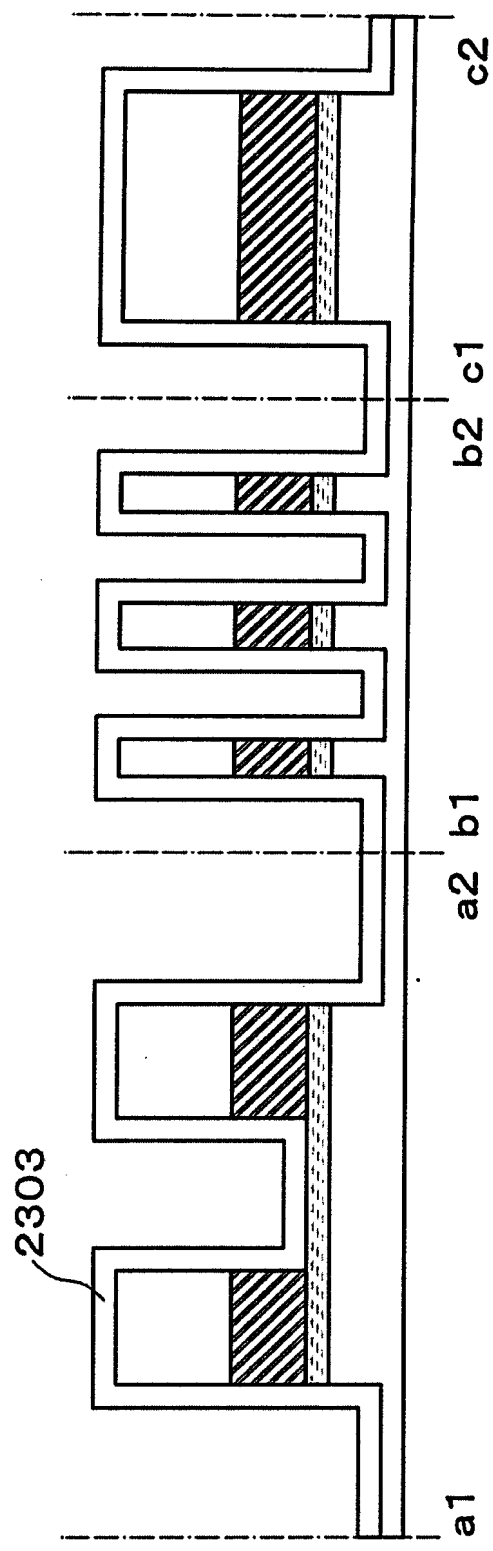


圖 25

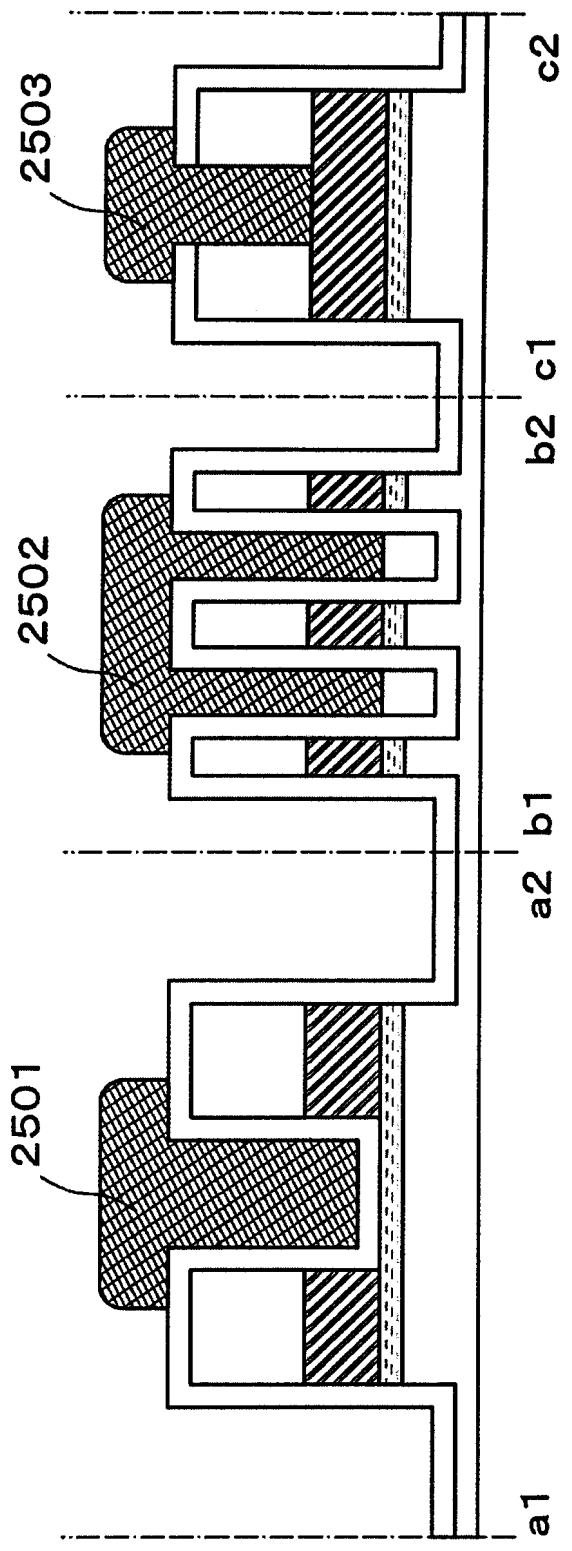


圖 29A

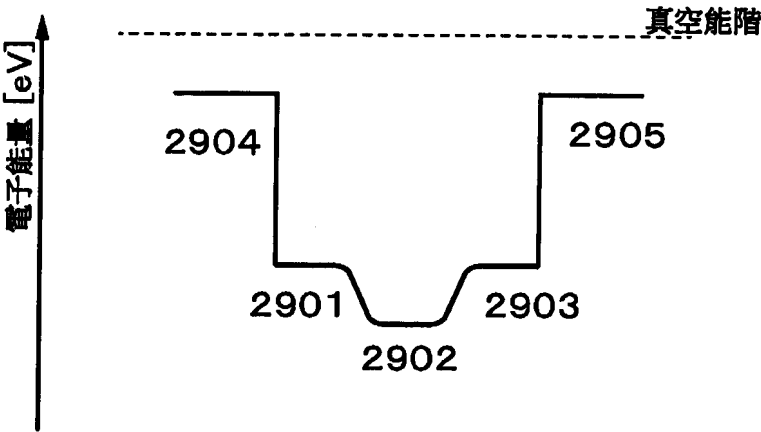


圖 29B

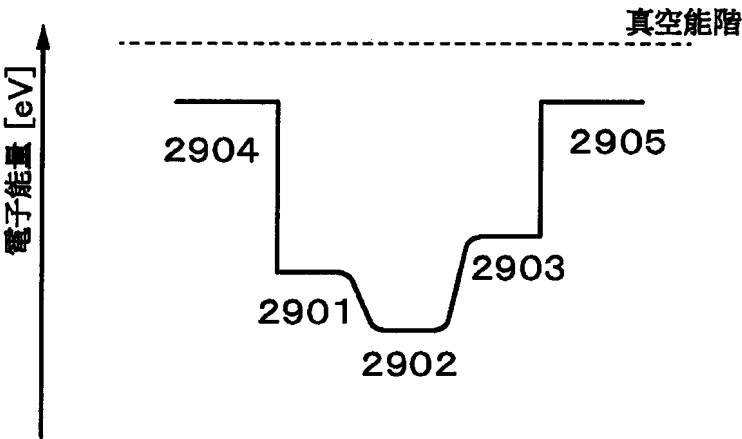


圖 29C

|      |  |
|------|--|
| 2906 |  |
| 2905 |  |
| 2903 |  |
| 2902 |  |
| 2901 |  |
| 2904 |  |

圖 33A

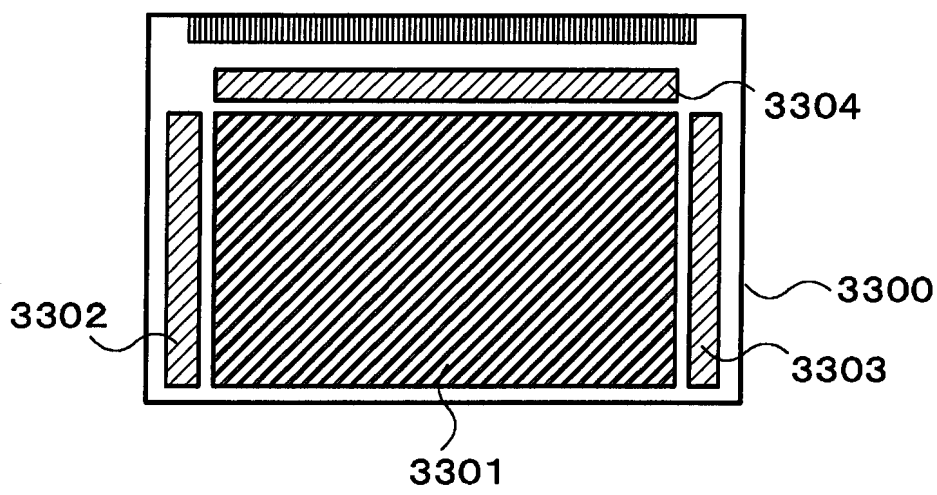


圖 33B

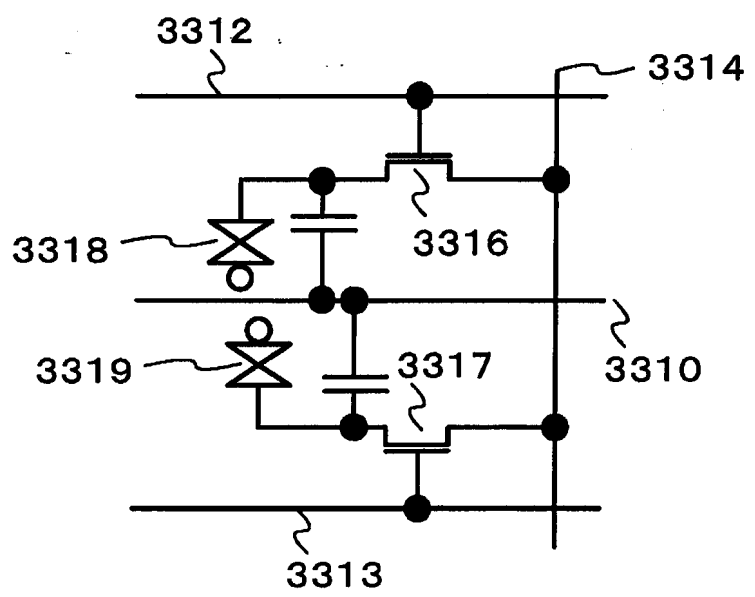
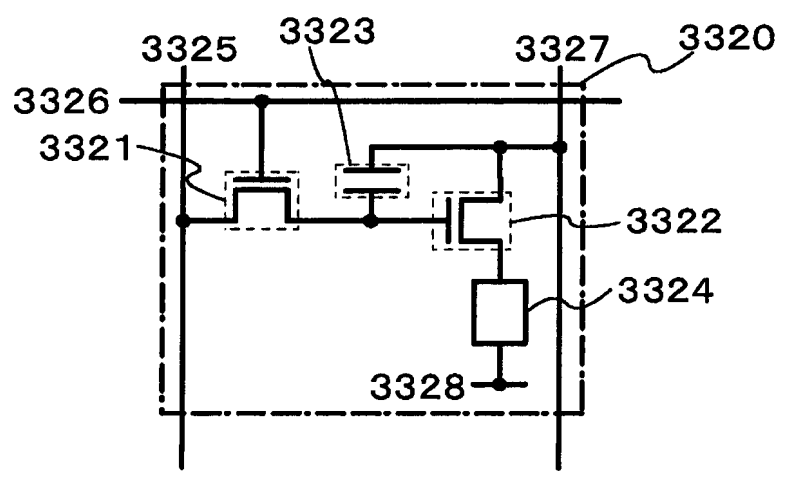


圖 33C



## 申請專利範圍

1. 一種半導體裝置，包括：

包含凸部的絕緣體；

在包含該凸部的該絕緣體上方的島狀半導體；

第一電極和第二電極；

第一絕緣體；

第二絕緣體；以及

第三電極，

其中，該第一電極和該第二電極位於該島狀半導體上並接觸於該島狀半導體，

其中，該第一絕緣體位於該島狀半導體、該第一電極和該第二電極的上方，

其中，該第一絕緣體包括與該島狀半導體重疊的開口或槽，

其中，該第二絕緣體覆蓋該開口或該槽的內壁和該島狀半導體的被露出的部分，

其中，沿著由連結該第一電極與該第二電極的直線定義的方向的該半導體裝置的剖面圖顯示該第三電極重疊且填充該開口或該槽，該第二絕緣體被夾在該第三電極與該島狀半導體、該第一電極及該第二電極的各者之間，

其中，該第一絕緣體覆蓋且面對該第一電極的周邊邊緣的側面及頂面的兩者，

其中，該島狀半導體與該凸部接觸，

其中，該第一絕緣體與該凸部的側面接觸，

其中，該島狀半導體的整個底面重疊該凸部的頂面，並且

其中，該凸部的該側面及該島狀半導體的側面對準。

2. 根據申請專利範圍第 1 項之半導體裝置，其中該島狀半導體是氧化物半導體。

3. 根據申請專利範圍第 1 項之半導體裝置，其中該第二絕緣體覆蓋該第一絕緣體的頂面區域。

4. 根據申請專利範圍第 1 項之半導體裝置，其中該第三電極的頂面被平坦化。

5. 根據申請專利範圍第 1 項之半導體裝置，其中該第一絕緣體在該第一電極上且與該第一電極直接接觸。

6. 一種半導體裝置的製造方法，該方法包括：

在包含凸部的絕緣體上方形成被圖案化的半導體；

形成在該被圖案化的半導體上並接觸於該被圖案化的半導體的第一電極和第二電極；

在該被圖案化的半導體、該第一電極和該第二電極的上方形成第一絕緣體；

在該第一絕緣體中形成開口或槽，該開口或該槽與該被圖案化的半導體重疊；

形成覆蓋該開口或該槽的內壁和該被圖案化的半導體的被露出的部分的第二絕緣體；以及

在該開口或該槽中形成第三電極，該第二絕緣體夾在該第三電極與該被圖案化的半導體、該第一電極及該第二電極的每一個之間，

其中，沿著由連結該第一電極與該第二電極的直線定義的方向的該半導體裝置的剖面圖顯示該第三電極重疊該開口或該槽，

其中，該第一絕緣體覆蓋且面對該第一電極的周邊邊緣的側面及頂面的兩者，

其中，該被圖案化的半導體與該凸部接觸，

其中，該第一絕緣體與該凸部的側面接觸，

其中，該被圖案化的半導體的整個底面重疊該凸部的頂面，並且

其中，該凸部的該側面與該被圖案化的半導體的側面對準。

7. 根據申請專利範圍第 6 項之半導體裝置的製造方法，該方法包括：

形成半導體的第一製程；

對該半導體進行第一加工，以便形成該被圖案化的半導體的第二製程，該被圖案化的半導體是島狀半導體；

在該島狀半導體的上方形形成第一導電體的第三製程；

對該第一導電體進行第二加工，以便形成具有第一圖案的導電體的第四製程；

在具有該第一圖案的該導電體的上方形形成該第一絕緣體的第五製程；

在該第一絕緣體中形成該開口或該槽的第六製程；

在該開口或該槽中對具有該第一圖案的該導電體進行第三加工，以便形成該第一電極和該第二電極，並且使該

島狀半導體露出的第七製程；

在該第一絕緣體、該開口或該槽的該內壁以及該島狀半導體的該被露出的部分的上方形成該第二絕緣體的第八製程；

在該第二絕緣體的上方形成第二導電體的第九製程；  
以及

對該第二導電體進行第四加工，以便形成該第三電極的第十製程。

8. 根據申請專利範圍第 6 項之半導體裝置的製造方法，該方法包括：

形成半導體的第一製程；

對該半導體進行第一加工，以便形成該被圖案化的半導體的第二製程，該被圖案化的半導體是島狀半導體；

在該島狀半導體的上方形成第一導電體的第三製程；

在該第一導電體的上方形成該第一絕緣體的第四製程；

對該第一絕緣體進行第二加工，以便使該第一絕緣體具有所希望的圖案，並且對該第一導電體進行第三加工，以便形成該第一電極和該第二電極，並且使該島狀半導體露出的第五製程；

在該第一絕緣體、該開口或該槽的該內壁以及該島狀半導體的該被露出的部分的上方形成該第二絕緣體的第六製程；

在該第二絕緣體的上方形成第二導電體的第七製程；

以及

對該第二導電體進行第四加工，以便形成該第三電極的第八製程，

其中藉由該第二加工和該第三加工形成該開口或該槽。

9. 根據申請專利範圍第 6 項之半導體裝置的製造方法，該方法包括：

形成半導體的第一製程；

形成該半導體上並接觸於該半導體的第一導電體的第二製程；

對該半導體和該第一導電體進行第一加工，以便形成具有第一圖案的半導體和導電體，由此形成該被圖案化的半導體的第三製程；

在具有該第一圖案的該半導體和該導電體的上方形形成該第一絕緣體的第四製程；

在該第一絕緣體中形成該開口或該槽的第五製程；

在該開口或該槽中對具有該第一圖案的該導電體進行第二加工，以便形成該第一電極和該第二電極，並且使該被圖案化的半導體的一部分露出的第六製程；

在該第一絕緣體、該開口或該槽的該內壁以及該被圖案化的半導體的該被露出的部分的上方形形成該第二絕緣體的第七製程；

在該第二絕緣體的上方形形成第二導電體的第八製程；  
以及

對該第二導電體進行第三加工，以便形成該第三電極的第九製程。

10. 根據申請專利範圍第 6 項之半導體裝置的製造方法，該方法包括：

形成半導體的第一製程；

形成該半導體上並接觸於該半導體的第一導電體的第二製程；

在該第一導電體的上方形形成該第一絕緣體的第三製程；

對該第一絕緣體、該第一導電體和該半導體進行第一加工，以便使該第一絕緣體、該第一導電體和該半導體具有所希望的圖案，由此形成該被圖案化的半導體的第四製程；

對該第一絕緣體和該第一導電體進行第二加工，以便形成該第一電極和該第二電極，並且使該被圖案化的半導體的一部分露出的第五製程；

在該第一絕緣體、該開口或該槽的該內壁以及該被圖案化的半導體的該被露出的部分的上方形形成該第二絕緣體的第六製程；

在該第二絕緣體的上方形形成第二導電體的第七製程；  
以及

對該第二導電體進行第三加工，以便形成該第三電極的第八製程，

其中藉由該第二加工形成該開口或該槽。

11. 根據申請專利範圍第 6 項之半導體裝置的製造方法，其中該第一絕緣體是具有平坦性的絕緣體。

12. 根據申請專利範圍第 6 項之半導體裝置的製造方法，其中該第一絕緣體包含低介電常數材料。

13. 根據申請專利範圍第 7 項之半導體裝置的製造方法，其中利用 CMP 處理對該第二導電體進行加工。

14. 根據申請專利範圍第 8 項之半導體裝置的製造方法，其中利用 CMP 處理對該第二導電體進行加工。

15. 根據申請專利範圍第 9 項之半導體裝置的製造方法，其中利用 CMP 處理對該第二導電體進行加工。

16. 根據申請專利範圍第 6 項之半導體裝置的製造方法，其中該被圖案化的半導體是氧化物半導體。

17. 根據申請專利範圍第 6 項之半導體裝置的製造方法，其中該第二絕緣體覆蓋該第一絕緣體的頂面區域。

18. 根據申請專利範圍第 6 項之半導體裝置的製造方法，其中該第三電極的頂面被平坦化。

19. 根據申請專利範圍第 6 項之半導體裝置的製造方法，其中該第一絕緣體被形成在該被圖案化的半導體、該第一電極及該第二電極上且與該被圖案化的半導體、該第一電極及該第二電極直接接觸。

20. 一種半導體裝置，包括：

包含凸部的絕緣體；

在包含該凸部的該絕緣體上方的島狀半導體；

第一電極和第二電極；

第一絕緣體；

第二絕緣體；以及

第三電極，

其中，該第一電極和該第二電極位於該島狀半導體上並接觸於該島狀半導體，

其中，該第一絕緣體位於該島狀半導體、該第一電極和該第二電極的上方，

其中，該第一絕緣體包括與該島狀半導體重疊的開口或槽，

其中，該第二絕緣體位於該第一絕緣體、該開口或該槽的內壁和該島狀半導體的被露出的部分上方，

其中，沿著由連結該第一電極與該第二電極的直線定義的方向的該半導體裝置的剖面圖顯示該第三電極重疊且填充該開口或該槽，該第二絕緣體被夾在該第三電極與該島狀半導體、該第一電極及該第二電極的各者之間，

其中，該第一絕緣體覆蓋且面對該第一電極的周邊邊緣的側面及頂面的兩者，

其中，該島狀半導體與該凸部接觸，

其中，該第一絕緣體與該凸部的側面接觸，

其中，該島狀半導體的整個底面重疊該凸部的頂面，

其中，該凸部的該側面與該島狀半導體的側面對準，並且

其中，該島狀半導體的該側面與該第一電極的該周邊邊緣的該側面對準。

21. 根據申請專利範圍第 20 項之半導體裝置，其中該第一絕緣體的頂面為恆定高度。

22. 根據申請專利範圍第 20 項之半導體裝置，其中該島狀半導體是氧化物半導體。

23. 根據申請專利範圍第 20 項之半導體裝置，其中該第二絕緣體覆蓋該第一絕緣體的頂面區域。

24. 根據申請專利範圍第 20 項之半導體裝置，其中該第三電極的頂面被平坦化。

25. 根據申請專利範圍第 20 項之半導體裝置，其中該第一絕緣體在該第一電極上且與該第一電極直接接觸。

26. 一種半導體裝置的製造方法，該方法包括：

在包含凸部的絕緣體上方形成半導體的第一製程；

形成在該半導體上並接觸於該半導體的第一導電體的第二製程；

對該半導體及該第一導電體進行第一加工，以便形成各具有第一圖案的半導體及導電體的第三製程，藉以形成被圖案化的半導體；

在各具有該第一圖案的該半導體及該導電體上方形成第一絕緣體的第四製程，該第一絕緣體具有平坦性；

在該第一絕緣體中形成開口或槽的第五製程；

在該開口或該槽中對具有該第一圖案的該導電體進行第二加工的第六製程，以便形成第一電極及第二電極且使該被圖案化的半導體的一部分露出；

形成覆蓋該開口或該槽的內壁和該被圖案化的半導體

的該被露出的部分的第二絕緣體的第七製程；

在該第二絕緣體上方形成第二導電體的第八製程；以及

對該第二導電體進行第三加工，以便形成該第三電極的第九製程，該第三加工為化學機械拋光加工，

其中，沿著由連結該第一電極與該第二電極的直線定義的方向的該半導體裝置的剖面圖顯示該第三電極重疊該開口或該槽，

其中，該第一絕緣體覆蓋且面對該第一電極的周邊邊緣的側面及頂面的兩者，

其中，該被圖案化的半導體與該凸部接觸，

其中，該第一絕緣體與該凸部的側面接觸，

其中，該被圖案化的半導體的整個底面重疊該凸部的頂面，並且

其中，該凸部的該側面與該被圖案化的半導體的側面對準。

27. 根據申請專利範圍第 26 項之半導體裝置的製造方法，其中該被圖案化的半導體是氧化物半導體。

28. 根據申請專利範圍第 26 項之半導體裝置的製造方法，其中該第二絕緣體覆蓋該第一絕緣體的頂面區域。

29. 根據申請專利範圍第 26 項之半導體裝置的製造方法，其中該第三電極的頂面被平坦化。

30. 根據申請專利範圍第 26 項之半導體裝置的製造方法，其中該第一絕緣體被形成在該半導體及該導電體上

且與該半導體及該導體直接接觸。

圖 31

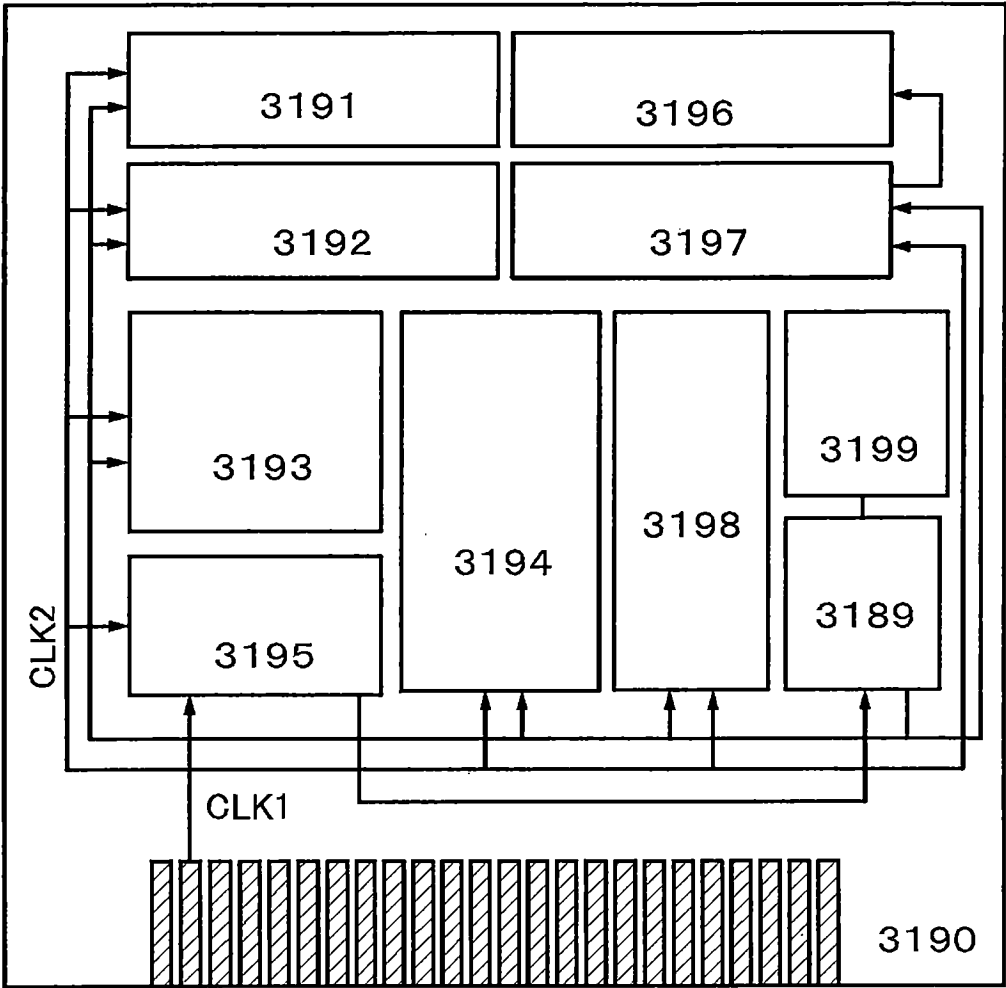


圖 32

