【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】平成17年6月30日(2005.6.30)

【公開番号】特開2001-298084(P2001-298084A)
【公開日】平成13年10月26日(2001.10.26)
【出願番号】特願2000-113286(P2000-113286)
【国際特許分類第７版】
　ＨＯ１Ｌ　21/768
　ＨＯ１Ｌ　21/3205
【ＦＩ】
　ＨＯ１Ｌ　21/90　　Ｂ
　ＨＯ１Ｌ　21/88　　Ａ

【手続補正書】
【提出日】平成16年10月15日(2004.10.15)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
下層配線構造と、
　前記下層配線構造を覆う層間絶縁膜と、
　前記層間絶縁膜の上面から形成された配線溝と、
前記配線溝の内部領域の下面から前記層間絶縁膜を貫通し、前記下層配線構造まで達するビア孔と、
　前記ビア孔の外側の領域で、前記配線溝の下面から上方に突出し、前記層間絶縁膜と同一材料で形成された絶縁突起パターンであって、前記ビア孔近傍の第１の配線溝内領域における前記絶縁突起パターンの第１の面積占有率は前記ビア孔から離れた第２の配線溝内領域における前記絶縁突起パターンの第２の面積占有率より高い絶縁突起パターンと、
　前記配線溝及び前記ビア孔を導電性材料により埋め込んで形成されたデュアルダマシン配線と
を有することを特徴とする半導体装置。
【請求項２】
請求項１記載の半導体装置であって、
前記ビア孔の幅は前記配線溝の幅よりも狭いことを特徴とする半導体装置。
【請求項３】
請求項１記載の半導体装置であって、
　前記配線溝は、実質的に２μｍを越える幅を有することを特徴とする半導体装置。
【請求項４】
請求項３記載の半導体装置であって、
　前記ビア孔の幅は、実質的に１μｍ以下であることを特徴とする半導体装置。
【請求項５】
請求項１記載の半導体装置であって、
　前記絶縁突起パターンは、前記ビア孔の近傍に分散配置された複数の絶縁突起を含むことを特徴とする半導体装置。
【請求項６】
　請求項５記載の半導体装置であって、

前記第１の面積占有率は、実質的に１０％以上であることを特徴とする半導体装置。
【請求項７】
請求項６記載の半導体装置であって、
前記ビア孔近傍の第１の配線溝内領域は、前記ビア孔を含み、１辺が２μｍの矩形領域であることを特徴とする半導体装置。
【請求項８】
請求項６記載の半導体装置であって、
前記ビア孔近傍の第１の配線溝内領域は、前記ビア孔を含み、１辺が５μｍの矩形領域であることを特徴とする半導体装置。
【請求項９】
請求項５記載の半導体装置であって、
前記複数の絶縁突起は、前記ビア孔を囲む少なくとも１つのループに沿って、実質的に等間隔で配置され、その間に前記デュアルダマシン配線の細幅領域を画定する第１の複数の絶縁突起を含むことを特徴とする半導体装置。
【請求項１０】
請求項９記載の半導体装置であって、
前記少なくとも１つのループは、４つ以下のループであることを特徴とする半導体装置。
【請求項１１】
請求項９記載の半導体装置であって、
前記複数の絶縁突起は、配線長方向に関して前記第１の複数の絶縁突起の外側に配置された第２の複数の絶縁突起を含むことを特徴とする半導体装置。
【請求項１２】
請求項１記載の半導体装置であって、
前記絶縁突起パターンは、前記ビア孔の周辺を、一部領域を除いて取り囲むことを特徴とする半導体装置。
【請求項１３】
請求項１２記載の半導体装置であって、
前記絶縁突起パターンは、前記ビア孔を取り囲むように配置されたＵ字型絶縁突起パターンを含み、
前記デュアルダマシン配線は、前記Ｕ字の開口部に沿って延在する細幅配線と、前記ビア孔から離れた位置で前記細幅配線に接続され、前記細幅配線よりも広い幅を有する広幅配線とを含むことを特徴とする半導体装置。
【請求項１４】
請求項１３記載の半導体装置であって、
前記細幅配線は、前記ビア孔の幅の５倍以下、または実質的に１μｍ以下の幅を有することを特徴とする半導体装置。
【請求項１５】
請求項１３記載の半導体装置であって、
前記細幅配線は、前記ビア孔の端部から前記広幅配線までの距離が実質的に２μｍ以上であることを特徴とする半導体装置。
【請求項１６】
請求項１２記載の半導体装置であって、
前記絶縁突起パターンは、前記ビア孔を挟んで配置された２つの絶縁突起ストライプを含むことを特徴とする半導体装置。
【請求項１７】
請求項１６記載の半導体装置であって、
前記デュアルダマシン配線は、前記ビア孔に接続され、前記２つの絶縁突起ストライプに挟まれた細幅配線と、前記２つの絶縁突起ストライプの両端で、前記ビア孔から離れた位置で前記細幅配線に接続され、前記細幅配線よりも広い幅を有する広幅配線とを含むこ

とを特徴とする半導体装置。
【請求項１８】
請求項１７記載の半導体装置であって、
前記細幅配線は、前記ビア孔の幅の５倍以下、または実質的に１μｍ以下の幅を有することを特徴とする半導体装置。
【請求項１９】
請求項１７記載の半導体装置であって、
前記細幅配線は、前記ビア孔の端部から前記広幅配線までの距離が２μｍ以上であることを特徴とする半導体装置。
【請求項２０】
請求項１記載の半導体装置であって、
半導体基板と、
前記半導体基板と前記下層配線構造の間に形成された集積回路構造と、
前記半導体基板上に形成された複数のパッドと
を更に含むことを特徴とする半導体装置。
【請求項２１】
請求項２０記載の半導体装置であって、
前記複数のパッドは少なくとも１つの電源用パッドを含み、
前記デュアルダマシン配線が前記電源用パッドに接続されていることを特徴とする半導体装置。
【請求項２２】
請求項２０記載の半導体装置であって、
前記集積回路構造は、クロック信号を供給するためのクロック信号配線と接続されたクロック発生回路を構成し、
前記クロック信号配線が前記デュアルダマシン配線により形成されていることを特徴とする半導体装置。
【請求項２３】
請求項１記載の半導体装置であって、
前記導電性材料はＣｕであり、前記デュアルダマシン配線はＣｕ配線よりなることを特徴とする半導体装置。
【請求項２４】
下層配線構造と、
前記下層配線構造を覆う層間絶縁膜と、
前記層間絶縁膜の上面から形成された配線溝と、
前記配線溝の内部領域の下面から前記層間絶縁膜を貫通し、前記下層配線構造まで達するビア孔と、
前記配線溝及び前記ビア孔を導電性材料により埋め込んで形成されたデュアルダマシン配線と
を有する半導体装置であって、
前記配線溝は、第１の幅を有する太幅配線溝と、前記第１の幅よりも狭い第２の幅を有し、前記太幅配線溝の端部より突出する細幅配線溝とを含み、
前記ビア孔は、前記細幅配線溝の内部領域の下面から前記層間絶縁膜を貫通し、前記下層配線構造まで達するように形成されたことを特徴とする半導体装置。
【請求項２５】
請求項２４記載の半導体装置であって、
前記導電性材料はＣｕであり、前記デュアルダマシン配線はＣｕ配線よりなることを特徴とする半導体装置。
【請求項２６】
請求項２４記載の半導体装置であって、
前記ビア孔の幅は前記太幅配線溝の幅よりも狭いことを特徴とする半導体装置。

【請求項２７】
請求項２４記載の半導体装置であって、
前記ビア孔の幅は前記細幅配線溝の幅と実質的に同一であることを特徴とする半導体装置。
【請求項２８】
請求項２４記載の半導体装置であって、
前記下層配線構造は前記デュアルダマシン配線と接続された下層配線を含み、
前記細幅配線溝の幅は前記下層配線の幅と実質的に同一であることを特徴とする半導体装置。
【請求項２９】
請求項２４記載の半導体装置であって、
前記細幅配線溝の長さは実質的に２μｍ以上であることを特徴とする半導体装置。
【請求項３０】
請求項２４記載の半導体装置であって、
前記細幅配線の幅は、実質的に１μｍ以下であることを特徴とする半導体装置。
【請求項３１】
請求項２４記載の半導体装置であって、
前記細幅配線溝を囲む領域における絶縁膜の面積占有率は、実質的に１０％以上であることを特徴とする半導体装置。
【請求項３２】
請求項２４記載の半導体装置であって、
半導体基板と、
前記半導体基板と前記下層配線構造の間に形成された集積回路構造と、
前記半導体基板上に形成された複数のパッドと
を更に含むことを特徴とする半導体装置。
【請求項３３】
請求項３２記載の半導体装置であって、
前記複数のパッドは少なくとも１つの電源用パッドを含み、
前記デュアルダマシン配線が前記電源用パッドに接続されていることを特徴とする半導体装置。
【請求項３４】
請求項３２記載の半導体装置であって、
前記集積回路構造は、クロック信号を供給するためのクロック信号配線と接続されたクロック発生回路を構成し、
前記クロック信号配線が前記デュアルダマシン配線により形成されていることを特徴とする半導体装置。
【請求項３５】
下層配線構造と、
前記下層配線構造を覆う層間絶縁膜と、
前記層間絶縁膜の上面から形成された配線溝と、
前記配線溝の内部領域の下面から前記層間絶縁膜を貫通し、前記下層配線構造まで達するビア孔と、
前記配線溝及び前記ビア孔を導電性材料により埋め込んで形成されたデュアルダマシン配線と、
を有する半導体装置であって、
前記ビア孔から第１の距離における前記配線溝の第１の幅は、前記ビア孔から前記第１の距離よりも長い第２の距離における前記配線溝の第２の幅よりも狭いことを特徴とする半導体装置。
【請求項３６】
請求項３５記載の半導体装置であって、

前記導電性材料はＣｕであり、前記デュアルダマシン配線はＣｕ配線よりなることを特徴とする半導体装置。
【請求項３７】
請求項３５記載の半導体装置であって、
前記ビア孔の幅は前記配線溝の前記第２の幅よりも狭いことを特徴とする半導体装置。
【請求項３８】
請求項３５記載の半導体装置であって、
前記ビア孔の幅は前記配線溝の前記第１の幅と実質的に同一であることを特徴とする半導体装置。
【請求項３９】
請求項３５記載の半導体装置であって、
前記下層配線構造は前記デュアルダマシン配線と接続された下層配線を含み、
前記配線溝の前記第１の幅は前記下層配線の幅と実質的に同一であることを特徴とする半導体装置。
【請求項４０】
請求項３５記載の半導体装置であって、
前記第１の距離は実質的に２μｍ以上であることを特徴とする半導体装置。
【請求項４１】
請求項３５記載の半導体装置であって、
前記配線溝の前記第１の幅は、実質的に１μｍ以下であることを特徴とする半導体装置。
【請求項４２】
請求項３５記載の半導体装置であって、
前記ビア孔から前記第１の距離以内の配線溝を囲む領域における絶縁膜の面積占有率は、実質的に１０％以上であることを特徴とする半導体装置。
【請求項４３】
請求項３５記載の半導体装置であって、
半導体基板と、
前記半導体基板と前記下層配線構造の間に形成された集積回路構造と、
前記半導体基板上に形成された複数のパッドと
を更に含むことを特徴とする半導体装置。
【請求項４４】
請求項４３記載の半導体装置であって、
前記複数のパッドは少なくとも１つの電源用パッドを含み、
前記デュアルダマシン配線が前記電源用パッドに接続されていることを特徴とする半導体装置。
【請求項４５】
請求項４３記載の半導体装置であって、
前記集積回路構造は、クロック信号を供給するためのクロック信号配線と接続されたクロック発生回路を構成し、
前記クロック信号配線が前記デュアルダマシン配線により形成されていることを特徴とする半導体装置。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】発明の名称
【補正方法】変更
【補正の内容】
【発明の名称】ダマシン配線を有する半導体装置
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】００１９

【補正方法】変更
【補正の内容】
【００１９】
【課題を解決するための手段】
上記の課題を解決するための、本発明の１つの側面によれば、下層配線構造と、前記下層配線構造を覆う層間絶縁膜と、前記層間絶縁膜の上面から形成された配線溝と、前記配線溝の内部領域の下面から前記層間絶縁膜を貫通し、前記下層配線構造まで達するビア孔と、前記ビア孔の外側の領域で、前記配線溝の下面から上方に突出し、前記層間絶縁膜と同一材料で形成された絶縁突起パターンであって、前記ビア孔近傍の第１の配線溝内領域における前記絶縁突起パターンの第１の面積占有率は前記ビア孔から離れた第２の配線溝内領域における前記絶縁突起パターンの第２の面積占有率より高い絶縁突起パターンと、
前記配線溝及び前記ビア孔を導電性材料により埋め込んで形成されたデュアルダマシン配線とを有する半導体装置が提供される。
【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００２０
【補正方法】変更
【補正の内容】
【００２０】
本発明の他の側面によれば、下層配線構造と、前記下層配線構造を覆う層間絶縁膜と、前記層間絶縁膜の上面から形成された配線溝と、前記配線溝の内部領域の下面から前記層間絶縁膜を貫通し、前記下層配線構造まで達するビア孔と、前記配線溝及び前記ビア孔を導電性材料により埋め込んで形成されたデュアルダマシン配線とを有する半導体装置であって、前記配線溝は、第１の幅を有する太幅配線溝と、前記第１の幅よりも狭い第２の幅を有し、前記太幅配線溝の端部より突出する細幅配線溝とを含み、前記ビア孔は、前記細幅配線溝の内部領域の下面から前記層間絶縁膜を貫通し、前記下層配線構造まで達するように形成された半導体装置が提供され、更に、下層配線構造と、前記下層配線構造を覆う層間絶縁膜と、前記層間絶縁膜の上面から形成された配線溝と、前記配線溝の内部領域の下面から前記層間絶縁膜を貫通し、前記下層配線構造まで達するビア孔と、前記配線溝及び前記ビア孔を導電性材料により埋め込んで形成されたデュアルダマシン配線とを有する半導体装置であって、前記ビア孔から第１の距離における前記配線溝の第１の幅は、前記ビア孔から前記第１の距離よりも長い第２の距離における前記配線溝の第２の幅よりも狭いことを特徴とする半導体装置が提供される。