

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5198030号
(P5198030)

(45) 発行日 平成25年5月15日(2013.5.15)

(24) 登録日 平成25年2月15日(2013.2.15)

(51) Int.Cl. F I
HO 1 L 29/78 (2006.01) HO 1 L 29/78 6 5 2 H
 HO 1 L 29/78 6 5 2 N

請求項の数 5 (全 15 頁)

(21) 出願番号	特願2007-273430 (P2007-273430)	(73) 特許権者	000003078 株式会社東芝
(22) 出願日	平成19年10月22日(2007.10.22)		東京都港区芝浦一丁目1番1号
(65) 公開番号	特開2009-105110 (P2009-105110A)	(74) 代理人	100092820 弁理士 伊丹 勝
(43) 公開日	平成21年5月14日(2009.5.14)	(74) 代理人	100106389 弁理士 田村 和彦
審査請求日	平成22年2月15日(2010.2.15)	(72) 発明者	齋藤 涉 東京都港区芝浦一丁目1番1号 株式会社東芝内
		(72) 発明者	小野 昇太郎 東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

(54) 【発明の名称】 半導体素子

(57) 【特許請求の範囲】

【請求項1】

相互に対向する上面及び下面を有する第1導電型の半導体基板と、
 前記半導体基板の素子領域及び前記素子領域を囲むように設けられた終端領域の上面に第1導電型の第1半導体ピラー領域と第2導電型の第2半導体ピラー領域とを前記半導体基板の上面に沿った方向に交互に設けてなるスーパージャンクション領域と、
 前記半導体基板の下面に電氣的に接続された第1の主電極と、
 前記スーパージャンクション領域の上面に選択的に設けられた第2導電型の半導体ベース領域と、
 前記半導体ベース領域の上面に選択的に設けられた第1導電型の半導体拡散領域と、
 前記半導体ベース領域及び前記半導体拡散領域に電氣的に接続するように設けられた第2の主電極と、
 前記半導体拡散領域から前記半導体ベース領域を介して前記第1半導体ピラー領域に亘る領域に絶縁膜を介して設けられた制御電極と、
 前記終端領域の前記スーパージャンクション領域の上面に前記半導体ベース領域に接続するように設けられた第2導電型のリサーフ領域とを備え、
 前記リサーフ領域の平面形状は、前記終端領域の端部方向に歯を向けた櫛形の形状であり、且つ櫛形の凸部が先端に向けて細くなる形状であることを特徴とする半導体素子。

【請求項2】

前記スーパージャンクション領域の交互に設けられた前記第1半導体ピラー領域及び前

記第 2 半導体ピラー領域の一組が有する幅は、櫛形に設けられた前記リサーフ領域の繰り返して設けられる櫛形の凸部の一単位が有する幅よりも大きくされていることを特徴とする請求項 1 記載の半導体素子。

【請求項 3】

前記リサーフ領域は、前記スーパージャンクション領域の交互に設けられた前記第 1 半導体ピラー領域及び前記第 2 半導体ピラー領域の長手方向に略直交する方向に櫛形の凸部を向けて設けられたことを特徴とする請求項 1 又は 2 記載の半導体素子。

【請求項 4】

前記リサーフ領域は、前記半導体ベース領域の周囲の全周に亘って設けられていることを特徴とする請求項 1 又は 2 記載の半導体素子。

10

【請求項 5】

前記リサーフ領域上にフィールド絶縁膜を介して設けられたフィールドプレート電極を更に備えることを特徴とする請求項 1 乃至 4 のいずれか記載の半導体素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子に関し、特にスーパージャンクション領域を含む半導体素子に関する。

【背景技術】

【0002】

縦型パワー MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のオン抵抗は、伝導層 (ドリフト層) 部分の電気抵抗に大きく依存する。そして、このドリフト層の電気抵抗は、その不純物濃度で決定され、不純物濃度を高くすればオン抵抗を下げることができる。しかし、不純物濃度が高くなると、ドリフト層がベース層と形成する PN 接合の耐圧が下がるため、不純物濃度は耐圧に応じて決まる限界以上には上げることができない。このように、素子耐圧とオン抵抗との間にはトレードオフの関係が存在する。このトレードオフを改善することは、低消費電力の半導体素子を提供しようとする場合に重要な課題である。このトレードオフには素子材料により決まる限界があり、この限界を越えることが低オン抵抗の半導体素子の実現への道である。

20

【0003】

この問題を解決する MOSFET の一例として、ドリフト層にスーパージャンクション領域と呼ばれる縦長短冊状の p 型ピラー領域と n 型ピラー領域を横方向に交互に埋め込んだ領域が知られている。スーパージャンクション領域は p 型ピラー領域と n 型ピラー領域に含まれるチャージ量 (不純物量) を同じとすることで、擬似的にノンドープ層を作り出し、高耐圧を保持しつつ、高ドープされた n 型ピラー領域を通して電流を流すことで、材料限界を越えた低オン抵抗を実現するものである。

30

【0004】

スーパージャンクション領域を有する半導体素子において、素子領域が高耐圧を保持するためには、n 型ピラー領域と p 型ピラー領域の不純物量を精度良く制御する必要がある。また、この半導体素子の終端領域にも濃度の高い n 型ピラー領域だけでなく p 型ピラー領域も形成することで素子領域と同様に高耐圧を実現することができる。終端領域において、交互に埋め込まれたピラー領域の長手方向とこれに直交する方向との両方に空乏層を伸ばすことにより、終端領域まで延長している p 型ベース層端部の電界集中を抑制し、高耐圧を実現する。交互に埋め込まれたピラー領域の長手方向に直交する方向に空乏層を伸ばすために、終端領域の表面にリサーフ領域やフィールドプレート電極を形成する構成が知られている (例えば、特許文献 1 参照)。

40

【0005】

半導体素子に形成されたスーパージャンクション領域の p 型ピラー領域と n 型ピラー領域の不純物量がばらつくと、素子領域及び終端領域における耐圧が低下する。また、終端領域のスーパージャンクション領域の p 型ピラー領域と n 型ピラー領域の不純物量が変化

50

することにより、終端領域の電界分布が変化する。終端領域の電界分布の変化によって、局所的な電界集中が発生すると、リーク電流の変動や終端領域の耐圧の低下による素子の破壊といった信頼性の低下を起こす原因となる。

【特許文献1】特開2003-273355号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は、p型ピラー領域とn型ピラー領域の不純物量のばらつきによる耐圧の低下を防ぐことのできるスーパージャンクション領域を有する半導体素子を提供することを目的とする。

10

【課題を解決するための手段】

【0007】

本発明の一態様に係る半導体素子は、相互に対向する上面及び下面を有する第1導電型の半導体基板と、前記半導体基板の素子領域及び前記素子領域を囲むように設けられた終端領域の上面に第1導電型の第1半導体ピラー領域と第2導電型の第2半導体ピラー領域とを前記半導体基板の上面に沿った方向に交互に設けてなるスーパージャンクション領域と、前記半導体基板の下面に電気的に接続された第1の主電極と、前記スーパージャンクション領域の上面に選択的に設けられた第2導電型の半導体ベース領域と、前記半導体ベース領域の上面に選択的に設けられた第1導電型の半導体拡散領域と、前記半導体ベース領域及び前記半導体拡散領域に電気的に接続するように設けられた第2の主電極と、前記半導体拡散領域から前記半導体ベース領域を介して前記第1半導体ピラー領域に亘る領域に絶縁膜を介して設けられた制御電極と、前記終端領域の前記スーパージャンクション領域の上面に前記半導体ベース領域に接続するように設けられた第2導電型のリサーフ領域とを備え、前記リサーフ領域の平面形状は、前記終端領域の端部方向に歯を向けた櫛形の形状であり、且つ櫛形の凸部が先端に向けて細くなる形状であることを特徴とする。

20

【発明の効果】

【0008】

本発明によれば、p型ピラー領域とn型ピラー領域の不純物量のばらつきによる耐圧の低下を防ぐことのできるスーパージャンクション領域を有する半導体素子を提供することができる。

30

【発明を実施するための最良の形態】

【0009】

以下、添付した図面を参照して本発明の実施の形態について説明する。なお、以下の実施の形態では第1導電型をn型、第2導電型をp型としたMOSFETを例にとって説明する。また、以下に記載する「p+型」はp型不純物濃度が高い半導体を示し、「p-型」はp型不純物濃度が低い半導体を示す。これと同様に、「n+型」、「n-型」は、それぞれ、n型不純物濃度が高い半導体、n型不純物濃度が低い半導体を示す。

【0010】

(第1の実施の形態) 図1は、本発明の第1の実施の形態に係る半導体素子の構造を示す断面図及び平面図である。図1の上部は半導体素子をY-Z平面で切断した断面図であり、図1の下部は半導体素子をX-Y平面で切断した平面図である。図1に示す本実施の形態の半導体素子は、スーパージャンクション領域を有するnチャネルのプレーナゲート型MOSFETに本発明を適用したものである。図1は、MOSFETの素子領域及び終端領域を示している。

40

【0011】

図1に示すように、本実施の形態に係る半導体素子は、相互に対向する上面及び下面を有し、例えばシリコン(Si)からなるn+型半導体基板1上に形成される。n+型半導体基板1の上面の素子領域及び終端領域には、断面が縦長短冊状のn型ピラー領域2及びp型ピラー領域3が設けられている。n型ピラー領域2とp型ピラー領域3は、n+型半導体基板1の上面に沿った横方向(図1に示すy方向)に交互に設けられ、スーパー

50

ジャンクション領域を形成している。また、繰り返し設けられた p 型ピラー領域 3 及びその間に設けられた n 型ピラー領域 2 の上には、これら p 型ピラー領域 3 及び n 型ピラー領域 2 に接続される p 型ベース領域 4 が選択的に、且つストライプ状に設けられている。更に、p 型ベース領域 4 の上面には、p 型ベース領域 4 を介してこれら p 型ピラー領域 3 に接続される n 型ソース層 5 が選択的に、且つストライプ状に設けられている。

【 0 0 1 2 】

なお、図 1 の例では、p 型ピラー領域 3 の底部は n + 型半導体基板 1 と接しておらず、p 型ピラー領域 3 の底部と n + 型半導体基板 1 との間には n 型ピラー領域 2 の一部が存在するようにされている。これは、p 型ピラー領域 3 の底部が n + 型半導体基板 1 と接するように構成することも可能である。p 型ベース領域 4 は、耐圧特性の向上のため、素子領域だけでなく、終端領域にも部分的に延長されている。

10

【 0 0 1 3 】

また、n 型ソース層 5、p 型ベース領域 4 及び n 型ピラー領域 2 の上には、ゲート絶縁膜 6 を介してゲート電極 7 がストライプ状に形成されている。ゲート絶縁膜 6 及びゲート電極 7 は、図 1 に示すように 1 つの n 型ピラー領域 2 を挟んで隣接する 2 つの p 型ベース領域 4 に共通に形成することができる。また、ゲート絶縁膜 6 は、例えば膜厚 0 . 1 μm のシリコン酸化膜を用いることができる。このゲート電極 7 は、しきい値電圧以上のゲート電圧を印加されることにより、n + 型半導体基板 1 に対して垂直方向（図 1 に示す z 方向）に延びるチャンネルを p 型ベース領域 4 に形成して M O S F E T を導通させるものである。

20

【 0 0 1 4 】

更に、p 型ベース領域 4 及び n 型ソース層 5 の上には、n 型ソース層 5 に接続されると共に、p 型ベース領域 4 を介して p 型ピラー領域 3 と電気的に接続するようにソース電極 8 が各 M O S F E T に共通に形成されている。ソース電極 8 はゲート絶縁膜 6 等によりゲート電極 7 と絶縁されている。また、n + 型半導体基板 1 の下面に電気的に接続するように複数の M O S F E T に共通のドレイン電極 9 が設けられている。

【 0 0 1 5 】

ここで、図面左側に示す半導体素子の素子領域では、n 型ソース層 5 が p 型ベース領域 4 の表面に設けられ、n + 型半導体基板 1 に垂直方向（図 1 に示す z 方向）に n p n 接合された半導体素子が設けられている。一方、図面右側の終端領域では、n 型ソース層 5 は設けられておらず、垂直方向に n p n 接合を備えた半導体素子は存在しない。

30

【 0 0 1 6 】

本実施の形態の半導体素子では、n 型ピラー領域 2 及び p 型ピラー領域 3 によるスーパージャンクション領域は、素子領域だけでなく、その外周の終端領域にまで形成されている。終端領域のスーパージャンクション領域の上には p - 型のリサーフ（R E S U R F : Reduced Surface Field）領域 1 0 が形成されている。このリサーフ領域 1 0 によって、M O S F E T の非導通時において空乏層を終端領域の横方向（図 1 に示す y 方向）に延ばし、終端領域の p 型ベース領域 4 端部での電界集中を緩和することができる。本実施の形態に係る半導体素子において、終端領域におけるリサーフ領域 1 0 は、図 1 の平面図に示すように X - Y 平面において終端領域の端部方向（素子領域から離れる方向）に歯を向けた楕形の平面形状を有し、且つ終端領域の端部に向かうにつれて楕形の凸部は先端が細くなるように設けられている。リサーフ領域 1 0 の上を含む終端領域の表面にはフィールド絶縁膜 1 1 が形成されている。また、終端領域の端部にはフィールドストップ層 1 2 が形成され、フィールドストップ電極 1 3 が接続されている。

40

【 0 0 1 7 】

次に、半導体素子の動作について図 1 を用いて説明する。この動作において、素子領域に形成された各 M O S F E T の n 型ソース層 5 及び p 型ベース領域 4 はソース電極 8 を介して接地されているものとする。また、ドレイン層である n + 型半導体基板 1 には、ドレイン電極 9 を介して所定の正電圧が印加されているものとする。

【 0 0 1 8 】

50

半導体素子をオン動作させる場合、所定の正電圧（しきい値電圧以上のゲート電圧）を各MOSFETのゲート電極7に印加する。これにより、p型ベース領域4のチャネル領域には、n型の反転層が形成される。n型ソース層5からの電子は、この反転層を通り、ドリフト層であるn型ピラー領域2に注入され、ドレイン層であるn+型半導体基板1に達する。よって、電流がn+型半導体基板1からn型ソース層5に流れることになる。

【0019】

一方、半導体素子をオフ動作させる場合、各MOSFETのゲート電極7に印加されるゲート電圧がしきい値電圧以下となるように、ゲート電極7に印加する電圧を制御する。これにより、p型ベース領域4のチャネル領域の反転層が消失し、n型ソース層5からn型ピラー領域2への電子の注入が停止する。よって、ドレイン層であるn+型半導体基板1からn型ソース層5に電流が流れない。そして、オフ動作時、n型ピラー領域2とp型ピラー領域3により形成されるpn接合界面から横方向に延びる空乏層により、半導体素子の耐圧が保持される。

10

【0020】

本実施の形態における半導体素子のオフ時に、p型ベース領域4及びp型ピラー領域3とn型ピラー領域2との間のpn接合界面から空乏層が伸びて形成される。このとき、半導体素子の終端領域に延長したp型ベース領域4の端部下側の近傍に形成される空乏層には曲率半径の小さな箇所が生じることがある。また、半導体素子の終端領域の表面に形成されたリサーフ領域10の端部に形成される空乏層にも曲率半径の小さな箇所が生じることがある。空乏層の曲率半径の小さな箇所には電界が集中し、半導体素子の終端領域の耐圧が低下する要因となる。

20

【0021】

p型ベース領域4の端部の電界が高くなるか、又はリサーフ領域10の端部の電界が高くなるかはn型ピラー領域2及びp型ピラー領域3の不純物量のバランスにより決定される。n型ピラー領域2の不純物量がp型ピラー領域3よりも多いと、p型ベース領域4の端部の電界が高くなり、p型ピラー領域3の不純物量がn型ピラー領域2の不純物量よりも多いとリサーフ領域10の端部の電界が高くなる。

【0022】

p型ベース領域4又はリサーフ領域10の端部の電界が高くなると、印加電圧が低くともアバランシェ降伏が起きる。つまり、耐圧が低下してしまう。更に、電界が高いことで発生したキャリア、特にホール（正孔）がフィールド絶縁膜11中へと飛び込むと、絶縁性が劣化し、リーク電流が増加したり、素子が破壊したりするといった信頼性の低下を生じる。そのため、p型ベース領域4の端部とリサーフ領域10の端部における電界の集中を緩和する必要がある。

30

【0023】

p型ベース領域4の端部とリサーフ領域10の端部における電界の集中を緩和するために、リサーフ領域10の濃度を調整することが必要となる。即ち、p型ベース領域4に接触する部分のリサーフ領域10のp型不純物濃度を高くすると共に、終端領域の端部側でのリサーフ領域10のp型不純物濃度を低くする必要がある。このような不純物濃度の分布は、複数回のリソグラフィーとイオン注入により、徐々に不純物濃度を変化させてリサーフ領域10を形成することで実現できる。しかし、リソグラフィーの位置合わせずれやイオン注入のばらつき等のため、リサーフ領域10の濃度を高精度に調整することは困難である。

40

【0024】

これに対し、図1に示す半導体素子の終端領域におけるリサーフ領域10は、終端領域の端部方向に歯を向けた櫛形の平面形状を有し、且つ終端領域の端部に向かうにつれ櫛形の凸部の先端が細くなるように設けられている。これにより、リサーフ領域10は、全体に均一の不純物濃度を有していたとしてもp型ベース領域4の端部側での濃度が高く、且つ、終端領域の端部側での濃度が低い状態と同様の状態を構成することとなる。

【0025】

50

このようにリサーフ領域 10 を構成することにより、p 型ベース領域 4 の端部及びリサーフ領域 10 の端部の電界の集中を緩和することができる。本実施の形態に示すリサーフ領域 10 の構造は、一回のリソグラフィとイオン注入によって形成することができるため、位置合わせずれやイオン注入のばらつきも発生し難く、安定した特性を得ることができる。そして、p 型ベース領域 4 の端部の電界を小さくすることが可能となり、アバランシェ降伏時や内蔵ダイオードのリカバリー時など大量のホールが p 型ベース領域 4 の端部へと集中した場合でも破壊に至り難い。つまり、高アバランシェ耐量、高リカバリー耐量を得ることも可能である。

【0026】

本実施の形態の半導体素子は、p 型ベース領域 4 の端部及びリサーフ領域 10 の端部の電界の集中を緩和することができるため、p 型ピラー領域 3 及び n 型ピラー領域 2 の不純物量のばらつきによる終端耐圧の低下と信頼性劣化を防ぐことが可能である。そして、プロセス上のばらつきに対する耐圧の低下が小さいということは、更にスーパージャンクション領域の不純物濃度を上げることが可能となり、低オン抵抗化も可能となる。

【0027】

本実施の形態におけるリサーフ領域 10 は、終端領域表面の全面に形成されるのではなく、終端領域の端部方向に歯を向けた櫛形の平面形状を有し、且つ終端領域の端部に向かうにつれ櫛の凸部は先端が細くなる台形形状を有するように設けられている。このリサーフ領域 10 の平面形状は、図 1 に示す形状に限定されることはなく、終端領域の外側に向かって幅が狭くなっていけば、同様な効果が得られる。例えば、図 2 に示すように階段状に幅が変化してもよく、図 3 に示すように三角形のようなパターンでもよい。そして、幅の減少する度合いにも限定されず、図 4 に示すように終端領域の端で急激に幅が減少する長楕円形状としてもよく、また、図 5 に示すように p 型ベース領域 4 の近くで急激に幅が減少してパターン間のスペースが長楕円形状となるように形成してもよい。

【0028】

また、スーパージャンクション領域を形成するピラー領域の平面パターンにも限定されることはなく、ストライプパターンでなくても同様な効果が得られる。例えば、図 6 に示すように格子状に n 型ピラー領域 2 が配置されている場合や、図 7 に示すようにオフセットメッシュ状に p 型ピラー領域 3 が配置されている場合でも実施可能である。

【0029】

(第 2 の実施の形態) 次に、本発明の第 2 の実施の形態を、図 8 を参照して説明する。図 8 は、本発明の第 2 の実施の形態に係る半導体素子の構造を示す断面図及び平面図である。図 8 の上部は半導体素子を Y - Z 平面で切断した断面図であり、図 8 の下部は半導体素子を X - Y 平面で切断した平面図である。図 8 に示す本実施の形態に係る半導体素子の構成は、第 1 の実施の形態に係る半導体素子と略同一であるため、同一符号を付すことによりその説明を省略する。

【0030】

図 8 に示す半導体素子の素子領域及び終端領域において、n 型ピラー領域 2 と p 型ピラー領域 3 は横方向に交互に設けられたストライプ形状を有するスーパージャンクション領域を形成している。終端領域において櫛形に形成されたりサーフ領域 10 の繰り返して形成される櫛形の凸部の一単位が有する幅 a は、スーパージャンクション領域の交互に形成された n 型ピラー領域 2 及び p 型ピラー領域 3 の一組が有する幅 b よりも狭くなっている。

【0031】

本実施の形態に係る半導体素子の終端部では、半導体素子のオフ動作時にリサーフ領域 10 から伸びる空乏層は、低い電圧で空乏化しやすくなる。リサーフ領域 10 は、n 型ピラー領域 2 及び p 型ピラー領域 3 から伸びる空乏層よりも早く完全空乏化し、終端領域のリサーフ領域 10 の端部における電界の集中を緩和することができる。これにより、終端耐圧の低下と信頼性劣化を防ぐことが可能となる。

【0032】

10

20

30

40

50

本実施の形態において、スーパージャンクション領域を構成するn型ピラー領域2及びp型ピラー領域3はストライプ状に形成されていなくともよい。例えば、図6に示すように格子状にn型ピラー領域2が配置されていてもよく、図7に示すようにオフセットメッシュ状にp型ピラー領域3が配置されていてもよい。この場合、n型ピラー領域2及びp型ピラー領域3の一組が有する幅は、スーパージャンクション領域の繰り返しの一単位の有する幅である。

【0033】

(第3の実施の形態) 次に、本発明の第3の実施の形態を、図9を参照して説明する。図9は、本発明の第3の実施の形態に係る半導体素子の構造を示す平面図である。図9に示す本実施の形態に係る半導体素子の構成は、第1の実施の形態に係る半導体素子と略

10

【0034】

図9に示す半導体素子の素子領域及び終端領域において、n型ピラー領域2とp型ピラー領域3は横方向に交互に設けられたストライプ形状を有するスーパージャンクション領域を形成している。本実施の形態の終端領域におけるリサーフ領域10は、終端領域の端部方向に歯を向けた櫛形の平面形状を有している。この櫛形の凸部は終端領域の端部に向かうにつれて先端が細くなるように形成されると共に、スーパージャンクション領域のストライプ形状に略直交する方向(図9に示すy方向)にp型ベース領域4から延長して形成されている。

【0035】

20

この半導体素子に電圧を印加すると、終端領域においてリサーフ領域10が形成されている領域では、リサーフ領域10とn型ピラー領域2とのpn接合から空乏層が伸びる。また、終端領域のリサーフ領域10が形成されていない領域においてスーパージャンクション領域のp型ピラー領域3とn型ピラー領域2とのpn接合から空乏層が伸びる。

【0036】

終端領域の横方向(図9に示すy方向)に対しては、リサーフ領域10を形成することにより空乏層を伸ばすことができる。一方、終端領域の縦方向(図9に示すx方向)に対しては、スーパージャンクション領域のp型ピラー領域3から空乏層が伸びるため、リサーフ領域10を形成する必要がない。終端領域の縦方向に対してリサーフ領域10を形成しないことにより、リサーフ領域10形成時の不純物濃度ばらつきによる影響を防ぐこと

30

【0037】

図9に示す半導体素子において、p型ベース領域4のコーナー部では、ストライプの長手方向とそれに直交する方向との両方に空乏層が伸びる。ストライプの長手方向に直交する方向への空乏層の形成を図るため、コーナー部にはリサーフ領域10を形成することが望ましい。コーナー部のリサーフ領域10は図9に示したようにストライプの長手方向に直交するように形成してもよいし、図10に示すようにコーナーに沿って角度を変化させてもよい。

【0038】

(第4の実施の形態) 次に、本発明の第4の実施の形態を、図11を参照して説明する。図11は、本発明の第4の実施の形態に係る半導体素子の構造を示す平面図である。図11に示す本実施の形態に係る半導体素子の構成は、第1の実施の形態に係る半導体素子と略同一であるため、同一符号を付すことによりその説明を省略する。

40

【0039】

図11に示す半導体素子において、スーパージャンクション領域を形成するn型ピラー領域2は格子状に配置されている。リサーフ領域10は、終端領域の端部方向に歯を向けた櫛形の平面形状を有し、p型ベース領域4の周囲の全周に亘って形成されている。スーパージャンクション領域を形成する各p型ピラー領域3とp型ベース領域4とはリサーフ領域10により接続されている。また、櫛形に形成されたリサーフ領域10の繰り返して形成される櫛形の凸部の一単位が有する幅cは、スーパージャンクション領域の交互に形

50

成された n 型ピラー領域 2 及び p 型ピラー領域 3 の一組が有する幅 d よりも狭くなっている。

【 0 0 4 0 】

本実施の形態において、半導体素子に高電圧が印加されると、速やかに終端領域のリサーフ領域 1 0 に接続された p 型ピラー領域 3 が空乏化される。そして、n 型ピラー領域 2 及び p 型ピラー領域 3 の幅 d よりもリサーフ領域 1 0 の凸部の幅 c を狭く構成したことにより、櫛形に形成されたリサーフ領域 1 0 の凸部のいずれかが p 型ピラー領域 3 に接続される。凸部の先端が細くなるようにリサーフ領域 1 0 の幅を変化させた効果がスーパー Junction 領域に対して均一に伝わり、p 型ピラー領域 3 上、n 型ピラー領域 2 上のいずれの部分においても、リサーフ領域 1 0 の端部における電界の集中を緩和することが可能となる。

10

【 0 0 4 1 】

本実施の形態において、スーパー Junction 領域の平面形状は格子状に限定されることはなく、例えば図 1 2 に示すようにオフセットメッシュ状に p 型ピラー領域 3 が配置されていてもよいし、図 1 3 に示すようにストライプ形状に n 型ピラー領域 2 が配置されていてもよい。この場合であっても格子状の場合と同様に、リサーフ領域 1 0 の幅を変化させた効果が均一に伝わり、リサーフ領域 1 0 の両端の電界を低下させることが可能となる。

【 0 0 4 2 】

(第 5 の実施の形態) 次に、本発明の第 5 の実施の形態を、図 1 4 を参照して説明する。図 1 4 は、本発明の第 5 の実施の形態に係る半導体素子の構造を示す断面図及び平面図である。図 1 4 の上部は半導体素子を Y - Z 平面で切断した断面図であり、図 1 4 の下部は半導体素子を X - Y 平面で切断した平面図である。図 1 4 に示す本実施の形態に係る半導体素子の構成は、第 1 の実施の形態に係る半導体素子と略同一であるため、同一符号を付すことによりその説明を省略する。

20

【 0 0 4 3 】

図 1 4 に示す半導体素子において、終端領域のリサーフ領域 1 0 の上面にフィールド絶縁膜 1 1 を介してフィールドプレート電極 1 4 が形成されている。フィールドプレート電極 1 4 はソース電極 8 に接続されている。リサーフ領域 1 0 の不純物濃度のばらつきや、フィールド絶縁膜 1 1 中でチャージが発生したとしても、フィールドプレート電極 1 4 により p 型ベース領域 4 の端部の電界集中を緩和することができる。つまり、プロセスばらつきによる耐圧や信頼性の変動を防ぐことができる。

30

【 0 0 4 4 】

本実施の形態の半導体素子は、フィールドプレート電極 1 4 が形成されていることにより、p 型ベース領域 4 の端部での電界の集中を防ぐことができる。フィールドプレート電極下で p 型ベース領域 4 側のリサーフ領域 1 0 の濃度を高くする必要がなく、図 1 5 に示すようにフィールドプレート電極 1 4 下でリサーフ領域 1 0 の幅を一定とすることができる。また、図 1 6 に示すようにフィールドプレート電極 1 4 下でリサーフ領域 1 0 を全面に形成してもよい。

【 0 0 4 5 】

以上、本発明の実施の形態を説明したが、本発明はこれらに限定されるものではなく、発明の趣旨を逸脱しない範囲内において種々の変更、追加等が可能である。例えば、実施の形態においては第 1 の導電型を n 型、第 2 の導電型を p 型として説明をしたが、第 1 の導電型を p 型、第 2 の導電型を n 型としても実施可能である。また、半導体素子の素子領域及び終端領域において種々の変更を行うことが可能である。

40

【 0 0 4 6 】

例えば、図 1 7 に示す半導体素子は、終端領域に形成されているスーパー Junction 領域のピラー領域の不純物濃度が素子領域でのピラー領域の不純物濃度よりも低くなっている。これにより、終端領域のスーパー Junction 領域が低い電圧で完全空乏化するようになり、終端領域における耐圧を素子領域における耐圧よりも高くすることが可能

50

となる。終端領域における耐圧を素子領域における耐圧よりも高くすることで、素子耐圧は素子領域における耐圧で決まるようになり、素子耐圧がリサーフ領域10の不純物濃度等のばらつきを受けない。更に、終端領域でアバランシェ降伏の発生を防ぎ、高いアバランシェ耐量を得ることができる。また、図18に示すように終端領域のスーパージャンクション領域の繰り返し周期を素子領域よりも狭くしても同様な効果が得られる。また、終端領域のスーパージャンクション領域のピラー領域の不純物濃度を低くして、且つ繰り返し周期を狭くしてもよい。

【0047】

また、図19に示す半導体素子は、スーパージャンクション領域とn+型半導体基板1との間にn-型半導体層15が形成されている。n-型半導体層15を形成することで、スーパージャンクション領域とn-型半導体層15の両方で電圧を保持することができ、素子耐圧を上げることが可能になる。このn-型半導体層15が挿入されている構造においても、終端領域の表面の電界分布はリサーフ領域10の設計により制御可能であり、上述の実施の形態と同様な効果が得られる。

10

【0048】

また、MOSFETのゲート電極7やスーパージャンクション領域の平面パターンは、ストライプ状に限らず、格子状や市松模様状に形成されていてもよい。半導体素子のゲート電極7はプレーナゲート構造として説明したが、これはトレンチゲート構造としても実施可能である。また、スーパージャンクション領域の形成工程によって限定されることはなく、イオン注入と埋め込み成長を繰り返す方法やトレンチを結晶成長により埋め込む方法、加速電圧を変化させて複数回のイオン注入をする方法など、種々の方法で形成したスーパージャンクション領域に対して実施可能である。

20

【0049】

また、実施の形態において半導体材料としてシリコンを用いたMOSFETを説明したが、半導体材料としては、例えばシリコンカーバイド(SiC)や窒化ガリウム(GaN)等の化合物半導体やダイヤモンドなどのワイドバンドギャップ半導体を用いることができる。更に、スーパージャンクション領域を有するMOSFETで説明したが、これはスーパージャンクション領域を有する半導体素子であれば、SBD(Schottky Barrier Diode)やMOSFETとSBDとの混載素子、SIT(Static Induction Transistor)、IGBT(Insulated Gate Bipolar Transistor)などの半導体素子でも適用可能である。

30

【図面の簡単な説明】

【0050】

【図1】第1の実施の形態に係る半導体素子の構造を示す断面図及び平面図である。

【図2】第1の実施の形態に係る半導体素子の他の例の構造を示す平面図である。

【図3】第1の実施の形態に係る半導体素子の他の例の構造を示す平面図である。

【図4】第1の実施の形態に係る半導体素子の他の例の構造を示す平面図である。

【図5】第1の実施の形態に係る半導体素子の他の例の構造を示す平面図である。

【図6】第1の実施の形態に係る半導体素子の他の例の構造を示す平面図である。

【図7】第1の実施の形態に係る半導体素子の他の例の構造を示す平面図である。

40

【図8】第2の実施の形態に係る半導体素子の構造を示す断面図及び平面図である。

【図9】第3の実施の形態に係る半導体素子の構造を示す平面図である。

【図10】第3の実施の形態に係る半導体素子の他の例の構造を示す平面図である。

【図11】第4の実施の形態に係る半導体素子の構造を示す平面図である。

【図12】第4の実施の形態に係る半導体素子の他の例の構造を示す平面図である。

【図13】第4の実施の形態に係る半導体素子の他の例の構造を示す平面図である。

【図14】第5の実施の形態に係る半導体素子の構造を示す断面図及び平面図である。

【図15】第5の実施の形態に係る半導体素子の他の例の構造を示す断面図及び平面図である。

【図16】第5の実施の形態に係る半導体素子の他の例の構造を示す断面図及び平面図で

50

ある。

【図17】半導体素子の他の例の構造を示す断面図である。

【図18】半導体素子の他の例の構造を示す断面図である。

【図19】半導体素子の他の例の構造を示す断面図である。

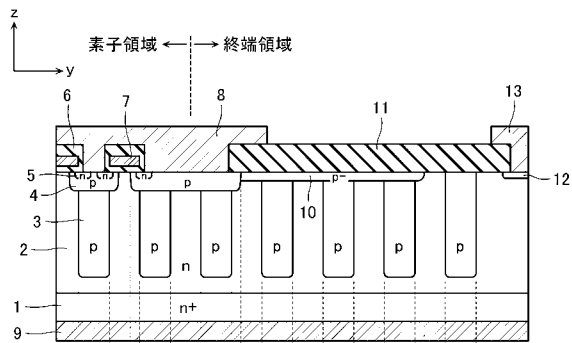
【符号の説明】

【0051】

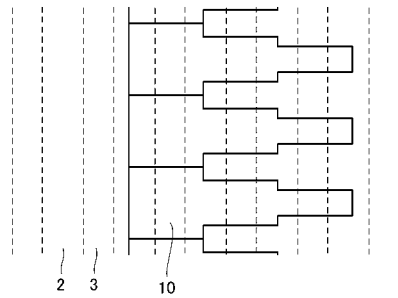
1・・・n+型半導体基板、 2・・・n型ピラー領域、 3・・・p型ピラー領域、
 4・・・p型ベース領域、 5・・・n型ソース層、 6・・・ゲート絶縁膜、 7・・・ゲート電極、 8・・・ソース電極、 9・・・ドレイン電極、 10・・・リサーチ領域、 11・・・フィールド絶縁膜、 12・・・フィールドストップ層、 13・・・フィールドストップ電極、 14・・・フィールドプレート電極、 15・・・n型半導体層。

10

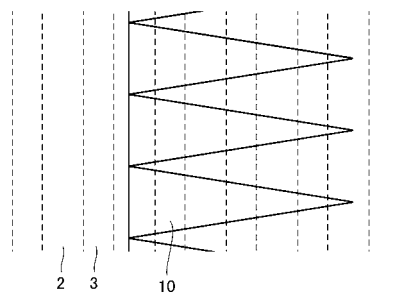
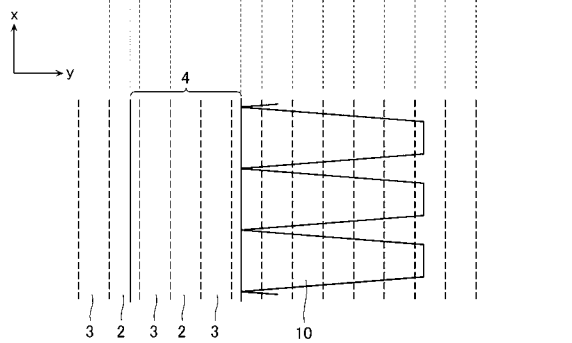
【図1】



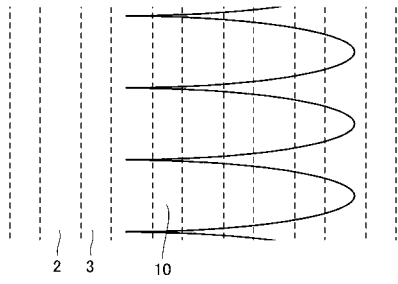
【図2】



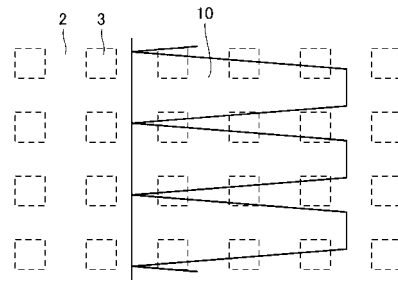
【図3】



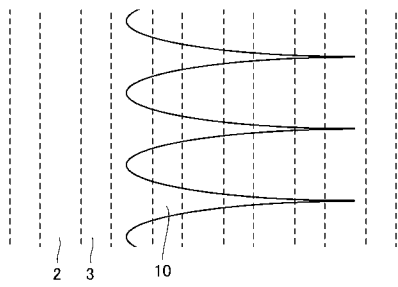
【図4】



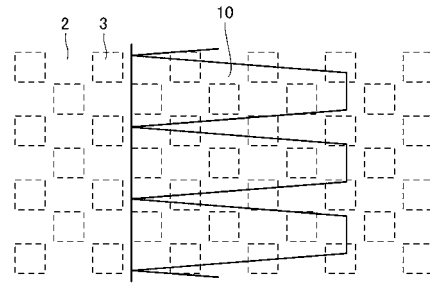
【図6】



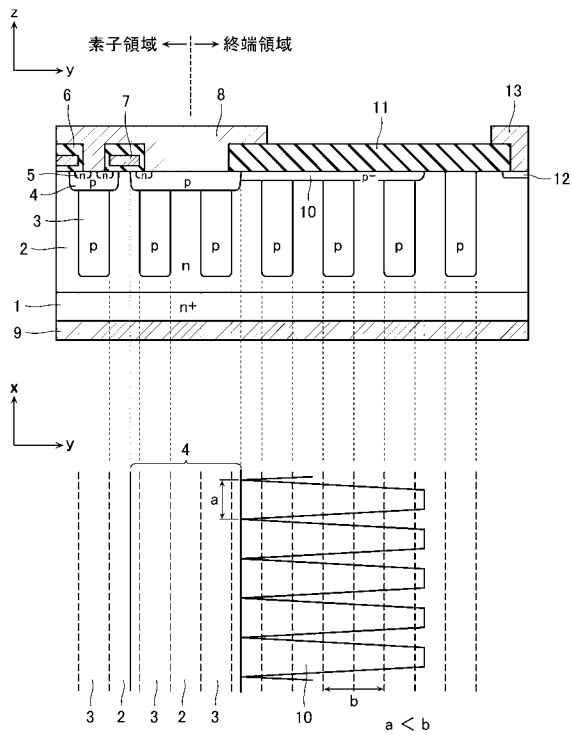
【図5】



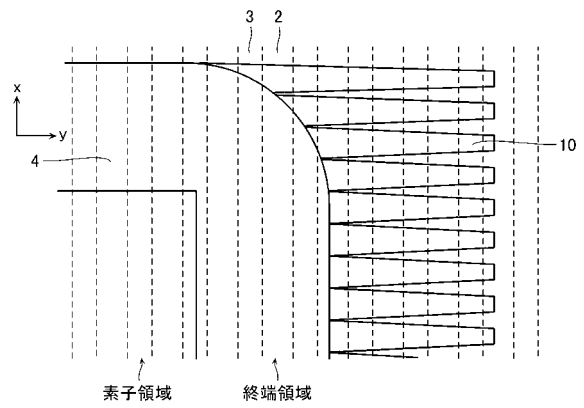
【図7】



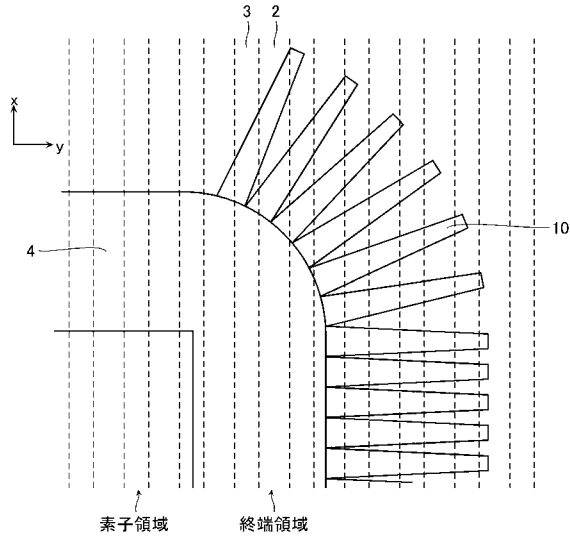
【図8】



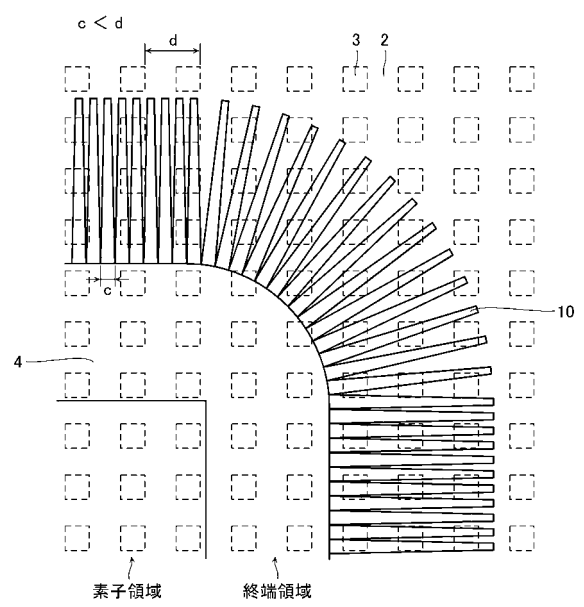
【図9】



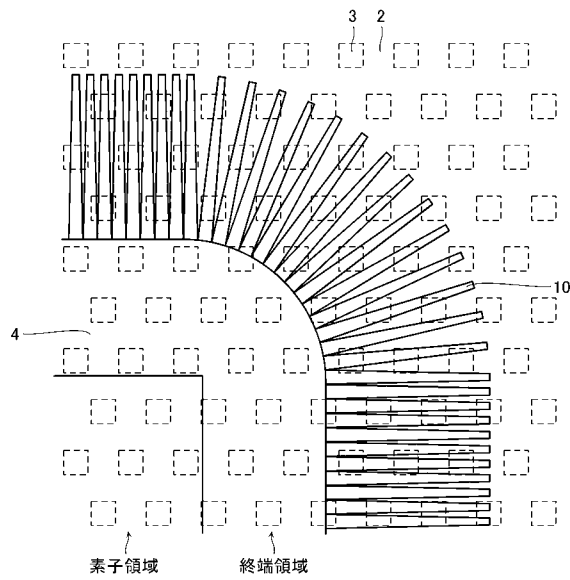
【図 10】



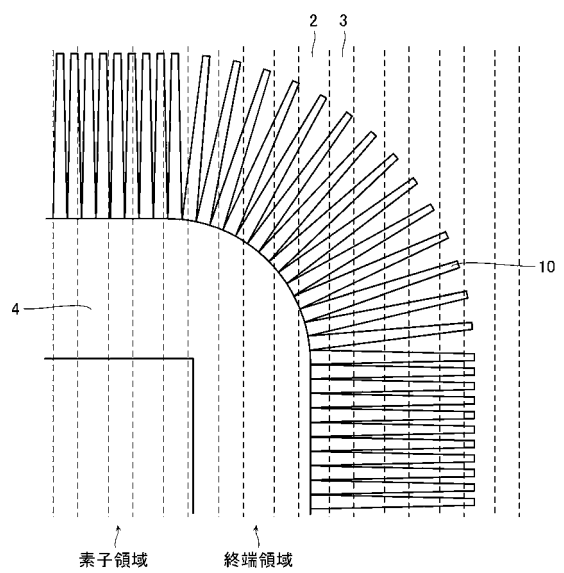
【図 11】



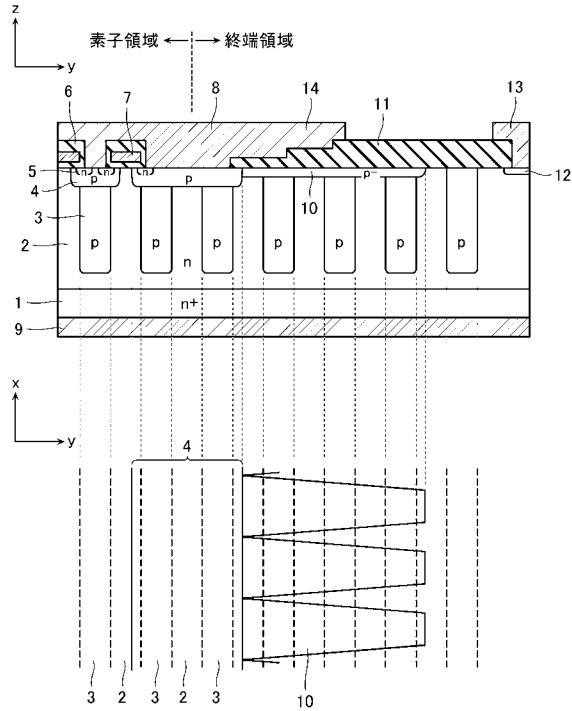
【図 12】



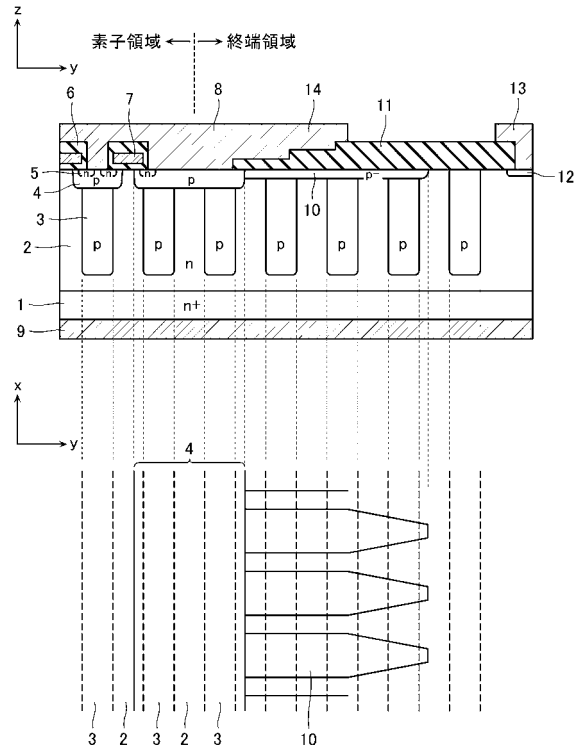
【図 13】



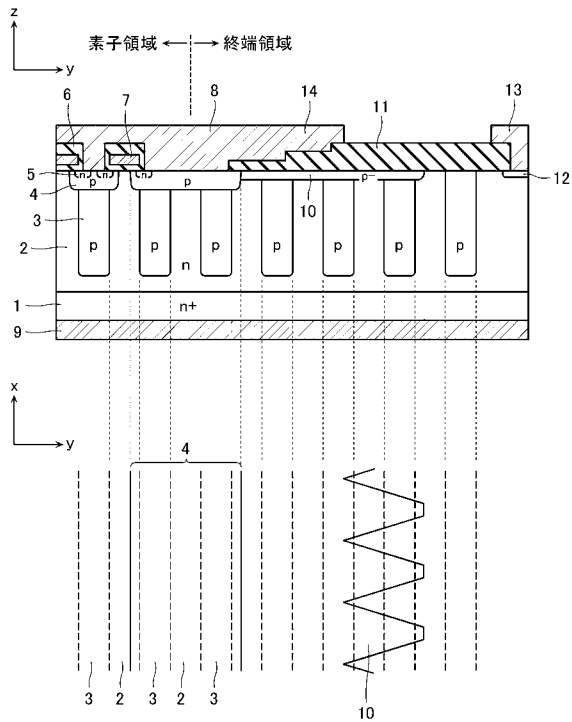
【図14】



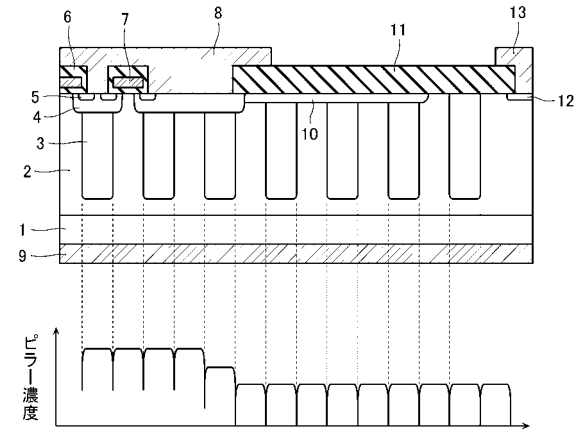
【図15】



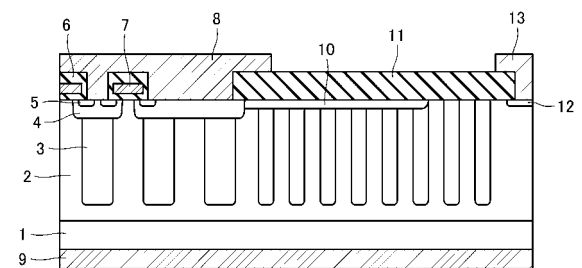
【図16】



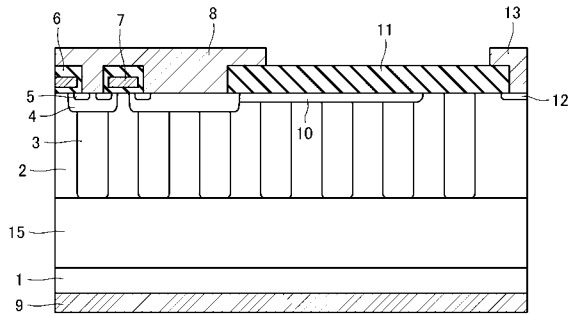
【図17】



【図18】



【図 19】



フロントページの続き

- (72)発明者 泉沢 優
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 角 保人
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 大田 浩史
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 関根 涉
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 羽田野 菜名
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 工藤 一光

- (56)参考文献 特開2006-278826(JP,A)
特開2003-273355(JP,A)
特開2008-16562(JP,A)
V.A. Vashchenko, D. Brisbin, P. Linclorfer, P. Chaparala, P. Hopper, Electrical Characteristics and Reliability of Extended Drain Voltage NMOS Devices with Multi-RESURF Junction, 2005 IEEE 43rd Annual International Reliability Physics Symposium, 米国, IEEE, 2005年, p. 565 - 572
- (58)調査した分野(Int.Cl., DB名)
H01L29/78 - 29/792