

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5937006号  
(P5937006)

(45) 発行日 平成28年6月22日(2016. 6. 22)

(24) 登録日 平成28年5月20日(2016. 5. 20)

(51) Int. Cl. F I  
H O 1 L 31/10 (2006. 01) H O 1 L 31/10 E  
G O 1 J 1/02 (2006. 01) G O 1 J 1/02 Q

請求項の数 14 (全 8 頁)

(21) 出願番号	特願2012-526004 (P2012-526004)	(73) 特許権者	390009531
(86) (22) 出願日	平成22年8月17日 (2010. 8. 17)		インターナショナル・ビジネス・マシーンズ・コーポレーション
(65) 公表番号	特表2013-502735 (P2013-502735A)		INTERNATIONAL BUSIN
(43) 公表日	平成25年1月24日 (2013. 1. 24)		ESS MACHINES CORPOR
(86) 国際出願番号	PCT/EP2010/061986		ATION
(87) 国際公開番号	W02011/023603		アメリカ合衆国10504 ニューヨーク
(87) 国際公開日	平成23年3月3日 (2011. 3. 3)		州 アーモンク ニュー オーチャード
審査請求日	平成25年5月1日 (2013. 5. 1)		ロード
審判番号	不服2014-25713 (P2014-25713/J1)		New Orchard Road, A
審判請求日	平成26年12月16日 (2014. 12. 16)		rmonk, New York 105
(31) 優先権主張番号	12/546, 097		04, United States o
(32) 優先日	平成21年8月24日 (2009. 8. 24)		f America
(33) 優先権主張国	米国 (US)	(74) 代理人	100108501
早期審査対象出願			弁理士 上野 剛史
			最終頁に続く

(54) 【発明の名称】 単一またはいくつかの層のグラフェン・ベースの光検出デバイスおよびその形成方法

(57) 【特許請求の範囲】

【請求項 1】

- a . 基板と、  
b . 前記基板上に堆積されたゲート酸化層と、  
c . 前記ゲート酸化層上に堆積されたグラフェンのチャネル層と、  
d . 前記グラフェンのチャネル層上に前記グラフェンのチャネル層と所定の長さで重複するように配置されたソースおよびドレイン接点領域であって、複数のソースおよびドレイン領域が提供される前記ソースおよびドレイン接点領域と、を含む、光検出デバイス。

【請求項 2】

前記チャネル層がグラフェンの単一層である、請求項 1 に記載の光検出デバイス。

10

【請求項 3】

前記チャネル層がグラフェンの 9 層以下の層である、請求項 1 に記載の光検出デバイス。

【請求項 4】

前記基板は、シリコンを含む、請求項 1 に記載の光検出デバイス。

【請求項 5】

前記複数のソースおよびドレイン領域が金属製かみ合わせフィンガを含む、請求項 1 に記載の光検出デバイス。

【請求項 6】

前記ソースおよびドレインのフィンガが異なる仕事関数を有する異なる金属で形成され

20

ている、請求項 5 に記載の光検出デバイス。

【請求項 7】

ゲート・バイアス  $V_G$  が印加されるバックゲートを更に含む、請求項 1 に記載の光検出デバイス。

【請求項 8】

a . 基板と、  
b 1 . 前記基板上に堆積されたゲート酸化物層と、  
b 2 . 前記ゲート酸化物層上に堆積されたグラフェンのチャンネル層と、  
c . 前記グラフェンのチャンネル層上に前記グラフェンのチャンネル層と所定の長さで重複するように配置されたソースおよびドレイン接点領域と、  
d . 前記グラフェンのチャンネル層上に堆積された透明ゲート誘電層と、  
e . 前記グラフェンのチャンネル層を横切って電界を印加するために前記透明ゲート誘電層の上に前記ソースおよびドレイン接点領域のそれぞれの側に近接して堆積された 2 つの分割ゲートと  
を含む、光検出デバイス。

10

【請求項 9】

a . 基板と、  
b . 前記基板に一体化された光導波路と、  
c 1 . 前記基板上に堆積されたゲート酸化物層と、  
c 2 . 前記ゲート酸化物層上に堆積されたグラフェンのチャンネル層と、  
d . 前記グラフェンのチャンネル層上に前記グラフェンのチャンネル層と所定の長さで重複するように配置されたソースおよびドレイン接点領域と、  
e . 前記グラフェンのチャンネル層上に堆積された透明ゲート誘電層と、  
f . 前記透明ゲート誘電層の上に前記ソースおよびドレイン接点領域のそれぞれの側に近接して堆積された分割ゲートと  
を含む、光検出デバイス。

20

【請求項 10】

前記光導波路が低損失材料である、請求項 9 に記載の光検出デバイス。

【請求項 11】

前記光導波路が、シリコン、窒化シリコン、および窒化シリコンから成る群から選択される、請求項 9 に記載の光検出デバイス。

30

【請求項 12】

光検出層としてグラフェンを有する請求項 9 に記載の光検出デバイスの複数から成る光検出アレイ。

【請求項 13】

a . 基板を用意するステップと、  
b . 前記基板上にゲート酸化物層を堆積するステップと、  
c . 前記ゲート酸化物層上にグラフェンのチャンネル層を堆積するステップと、  
d . 前記グラフェンのチャンネル層上に前記グラフェンのチャンネル層と所定の長さで重複するようにソースおよびドレイン接点領域をパターニングするステップと、  
e . 前記ソースおよびドレイン接点領域に複数のソースおよびドレイン領域を形成するステップと、  
f . 前記グラフェンのチャンネル層上に透明ゲート誘電層を堆積するステップと、  
g . 前記透明ゲート誘電層の上に前記ソースおよびドレイン接点領域のそれぞれの側に近接して分割ゲートを堆積するステップと、  
を含む、光検出デバイスを形成する方法。

40

【請求項 14】

前記グラフェンのチャンネル層としてグラフェンの単一層が堆積されている、請求項 13 に記載の方法。

【発明の詳細な説明】

50

## 【技術分野】

## 【0001】

本発明は、光検出器における光子検出層として単一または多層のグラフェンを用いることに関する。

## 【背景技術】

## 【0002】

光エネルギーまたは他の電磁エネルギーを検出または検知するために光検出器が用いられる。現在利用可能な光検出器は一般に、有線および無線の通信、検知、監視、科学計測、国家安全保障等の様々な実的な用途において用いられる。

## 【発明の概要】

10

## 【発明が解決しようとする課題】

## 【0003】

多くの光学光検出器は、光検出材料系として半導体材料を用いる。しかしながら、半導体材料はバンド・ギャップを有するので、バンド・ギャップよりも大きいエネルギーを有する光子しか検出することができず、場合によっては検出されないままの光子がある。更に、半導体ベースの光検出器の固有帯域幅は、光検出領域におけるキャリア走行時間 (carrier transit time) によって制限される。これら双方の制約の結果として、光検出器は決して最適とは言えない。

## 【課題を解決するための手段】

## 【0004】

20

本発明の様々な態様は、以下で参照する特許請求の範囲において定義する。

## 【0005】

本発明は、単一または多層のグラフェンが光伝導層である光検出デバイスを提供する。

## 【0006】

本発明の一態様によれば、基板を用意し、その上にゲート酸化物層を堆積する。次いで、ゲート酸化物層上にグラフェンのチャネル層を堆積し、このグラフェン層上にソースおよびドレイン接点領域をパターンニングする。

## 【0007】

別の態様によれば、ソースおよびドレイン領域の上に分割ゲートを設けることができる。また、多数のソースおよびドレイン領域を設けることができる。

30

## 【0008】

別の態様によれば、従来の信号処理読み取り回路と共に多数の光検出要素を設けて、光検出アレイを生成することができる。

## 【図面の簡単な説明】

## 【0009】

【図1】グラフェン・ベース光検出器の単純なFET実施を示す。

【図2】グラフェン・ベース光検出器のチャネル全体に発生した内部電位を示すグラフである。

【図3】グラフェン・ベース光検出器の分割ゲートFET実施を示す。

【図4】分割ゲートのグラフェン・ベース光検出器のチャネル全体に発生した内部電位を示すグラフである。

40

【図5】一体化導波路構造を有するグラフェン・ベース光検出器の分割ゲートのグラフェン・ベースFET実施を示す。

【図6】有効光検出領域を拡大するための金属製のかみ合わせフィンガを有するグラフェン・ベースの光検出器を示す。

【図7】グラフェン・ベース光検出器アレイの上面図を示す。

## 【発明を実施するための形態】

## 【0010】

本発明の実施形態ならびにその様々な特徴および有利な詳細について、添付図面に図示し以下の記載で詳述する限定でない実施形態を参照して、より完全に説明する。本明細書

50

の実施形態を不必要に曖昧にしないように、周知のコンポーネントおよび処理技法の説明は省略する。本明細書に記載した構造を製造する場合、半導体処理において周知の従来のプロセスを利用することができる。本明細書で用いる例は、単に、本明細書の実施形態を実行可能である方法の理解を容易にすること、および当業者が本明細書の実施形態を実行できるようにすることを意図したに過ぎない。従って、これらの例は、本明細書の実施形態の範囲を限定するものとして解釈すべきではない。

#### 【0011】

本発明の実施形態は、光検出器における光検出層として単一または多層グラフェンを用いる。バンド・ギャップがゼロまたは極めて小さい材料であるというグラフェンの独特な特性のため、いかなる波長（またはいかなるエネルギー・レベル）の光子も吸収することができる。従って、少なくとも紫外線から遠赤外線までの範囲の波長における幅広い範囲のフォトニクスの用途向けに、グラフェンは万能の材料として用いることができる。高電界のもとでのグラフェンのキャリア輸送速度は、フェルミ速度  $10^6$  メートル/秒に近付くことができ、これは従来の半導体におけるキャリア輸送速度の10から100倍の速度である。これによって、はるかに高い帯域幅を有する光検出器が可能となる。本発明を用いるデバイスは、光電流発生経路間の直接外部バイアスなしで動作することができる。これによって必然的に暗電流がゼロとなるので、低い暗電流が不可欠である撮像、遠隔検知、および監視において多くの適用を可能とする。また、本発明を用いるデバイスは、光電流発生経路間で直接外部バイアスを用いて動作することもできる。通常これによって効率が高くなるが、ある程度の暗電流を伴う。

#### 【0012】

図1を参照すると、本発明に従って形成された光検出器の第1の実施形態は、従来の電界効果トランジスタ(FET)と同様の基本設計を有し、検出効率を最大化するためにゲート・バイアスを印加してグラフェンp-n接合を生成することによって光検出を実現する。バック・ゲート10は、シリコン・バック・ゲート（高濃度にドーピングまたは低濃度にドーピングされている）から成る。バック・ゲート10の上に、ゲート酸化物層12が絶縁層として堆積されている。ゲート酸化物層12は $\text{SiO}_2$ またはいずれかの誘電材料とすることができる。ゲート酸化物の上に、1つ以上の層の厚さとすることができるグラフェン層14が設けられている。グラフェン層14は、ドーピングされているかまたはドーピングされていないものとしてすることができる。グラフェン層は、機械的剥離、化学堆積、または成長を含む多数のプロセスによって生成することができる。次に、グラフェン/ゲート酸化物層12の上に、ドレイン6およびソース8の接点をパターンニングし、これによってグラフェンがドレイン6およびソース8の接点間のチャンネルを形成する。良好な金属-グラフェン接合を生成するように、グラフェンならびにソースおよびドレイン接点は少なくとも100nm重複しなければならない。

#### 【0013】

ゲート・バイアス $V_G$ を印加して、チャンネル層14の中央でグラフェンをフィールド・ドープする。ソースおよびドレインの近傍および下のグラフェンのドーピングは、バック・ゲートでなく接点によって支配される。ゲート・バイアス $V_G$ を適正に選択することによって良好な検出効率が得られる。ソース（またはドレイン）-グラフェン界面にグラフェンp-n接合が形成されるからである。

#### 【0014】

図2は、図1のチャンネル層14の幅d全体に発生する内部電位を示す。容易に認められるように、最大光検出の領域は、グラフェンp-n接合が形成されたソース領域8およびドレイン領域6の至近距離であり、この領域において電界は最大となり、光により発生したキャリアが有効に分離される。

#### 【0015】

図3を参照すると、本発明に従って形成された光検出器の別の実施は、分割ゲート構造を用いて、高電界光検出領域を生成することを可能としている。基板34およびゲート酸化物層12の上で、単一またはいくつか（2つから5つ）のグラフェン層38の上に、ソ

ース領域 30 およびドレイン領域 32 が堆積されている。グラフェン 38、ソース領域 30、およびドレイン領域 32 の上に、透明ゲート誘電層（高 K または低 K とすることができる）40 が堆積されている。次いで、誘電層 40 の上にゲート 42 および 44 がパターンニングされている。図 3 では、説明の目的のためにゲート誘電層 40 を部分的に切り取って図示している。この層は、電気的接続が必要である位置を除いて、グラフェン・チャンネルの全体ならびにソース領域およびドレイン領域を覆うことができる。

【0016】

動作においては、ゲート 42 および 44 にそれぞれゲート・バイアスを印加して、相対的に大きい電界が生じる高感度光検出領域をチャンネル 38 に生成する。ゲート・バイアスの大きさは、上部ゲート誘電体 40 の厚さの関数である。図 4 は、図 3 のデバイスのソース領域 30 およびドレイン領域 32 間で上部ゲート 42 および 44 によって発生した電位をグラフで示す。

【0017】

図 5 は、図 3 に見られるような分割ゲート光検出デバイスを示すが、グラフェンの下に光導波路 50 が追加されている。このデバイスは、図 3 の光検出デバイスと同じように動作するが、より大きな面積にわたってデバイスに衝突する光子を捕捉しそれらをグラフェン層 38 に運ぶ導波路 50 の特性のために、いっそう高効率である。導波路 50 は、シリコン、窒化シリコン、シリコン酸窒化物、またはいずれかの低損失材料から、材料成長、ウエハ・ボンディング、ウエットまたはドライ・エッチング等の典型的な半導体プロセスを用いて製造することができる。

【0018】

図 6 は、前述の実施形態に対して行うことができる変形を示す。グラフェン層 38 の上に、多数のソース領域（64 ~ 67）およびドレイン領域（60 ~ 63）を画定するかみ合わせフィンガ（interdigitated finger）がパターンニングされている。この実施は、有効光検出面積を著しく向上させることができるので、極めて高感度の光検出器を可能とする。ゼロのソース・ドレイン・バイアスで、光キャリア分離のための内部電位を生成するように、異なる仕事関数を有する異なるソース金属およびドレイン金属を用いることができる。ソース・ドレイン・バイアスを印加すると、光検出効率を更に高めることができる。しかしながら、この場合、動作において暗電流が生じる。更に、ソースおよびドレイン接点に同一の金属を用いた場合は、シャドー・マスクを用いてソース/グラフェンまたはドレイン/グラフェン接点における光吸収を阻止して、光電流の発生を向上させることができる。

【0019】

撮像（少なくとも赤外線から可視光までの極めて広い波長範囲において）および監視等の用途においては、光検出器アレイが極めて有用である。図 7 に示すように、本発明のグラフェン・ベースの光検出器を、標準的な半導体プロセスを用いて、かかるアレイ 70 に製造することも可能である。従来の信号処理回路 72 を追加することによって、検出器アレイの光検出要素 74 の全てからの読み取りを可能とする。このアレイの各要素 74 は前述の実施形態のいずれかに従った光検出器を含むことができる。

【0020】

本発明を前出の例示的な実施形態に関連付けて記載したが、本発明はこれに限定されず、本発明の精神に該当する多くの可能な変更および変形があることは、当業者には理解されよう。

【0021】

本開示の範囲は、本明細書に開示したいずれかの新規の特徴または特徴の組み合わせを含む。このため、本出願またはそこから導出されたいずれかの更に別の出願の手の間に新規の特許請求項を構築してかかる特徴または特徴の組み合わせとすることができることは、当業者には認められよう。特に、添付の特許請求の範囲を参照して、従属クレームからの特徴を独立クレームのものと組み合わせることができ、各独立クレームからの特徴をいずれかの適切な方法で、単に特許請求の範囲に列挙した具体的な組み合わせでなく、組

10

20

30

40

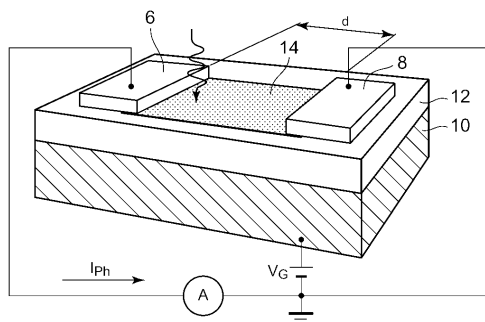
50

み合わせることができる。

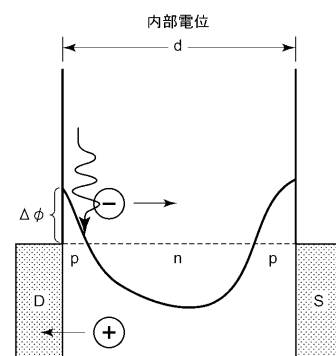
【 0 0 2 2 】

不確かさを回避するため、本記載および特許請求の範囲を通じて本明細書で用いる場合、「～を含む」という言葉は、「～のみで構成される」という意味に解釈されないものとする。

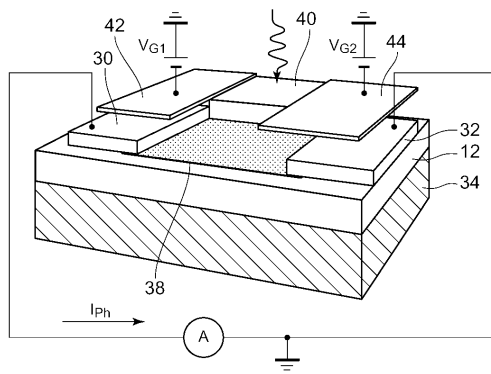
【 図 1 】



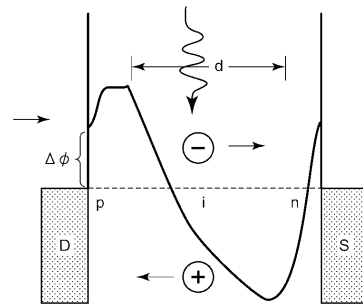
【 図 2 】



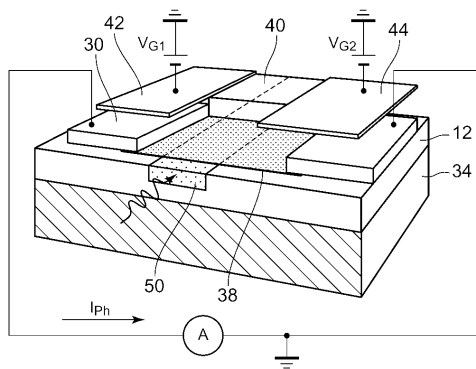
【図 3】



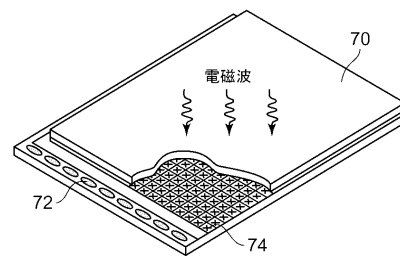
【図 4】



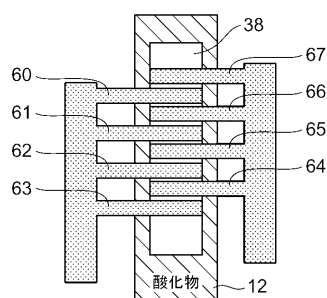
【図 5】



【図 7】



【図 6】



## フロントページの続き

(74)代理人 100112690

弁理士 太佐 種一

(74)復代理人 100110607

弁理士 間山 進也

(72)発明者 シア・フェンニアン

アメリカ合衆国10598 ニューヨーク州ヨークタウン・ハイツ キチャワン・ロード1101  
ルート134/ピー・オー・ボックス218

(72)発明者 アヴォリス・フェドン

アメリカ合衆国10598 ニューヨーク州ヨークタウン・ハイツ キチャワン・ロード1101  
ルート134/ピー・オー・ボックス218

(72)発明者 ミュラー・トーマス

アメリカ合衆国10598 ニューヨーク州ヨークタウン・ハイツ キチャワン・ロード1101  
ルート134/ピー・オー・ボックス218

(72)発明者 リン・ユミン

アメリカ合衆国10598 ニューヨーク州ヨークタウン・ハイツ キチャワン・ロード1101  
ルート134/ピー・オー・ボックス218

## 合議体

審判長 伊藤 昌哉

審判官 川端 修

審判官 井口 猶二

- (56)参考文献 F.Xia, "Photocurrent Imaging and Efficient Photon Detection in a Graphene Transistor", Nano Letters, Vol.9, No.3, February 9, 2009, p.1039-1044  
T.Mueller, "Role of contacts in graphene transistors: A scanning photocurrent study", Physical Review B, Vol.79, No.24, 25 June 2009, 245430  
V.Ryzhii, "Graphene bilayer field-effect phototransistor for terahertz and infrared detection", Physical Review B, Vol.79, No.24, 16 June 2009, 245311

(58)調査した分野(Int.Cl., DB名)

H01L 31/00 - 31/119

H01L 51/42 - 51/48