

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5120004号
(P5120004)

(45) 発行日 平成25年1月16日(2013.1.16)

(24) 登録日 平成24年11月2日(2012.11.2)

(51) Int.Cl.

H 0 1 L 21/56 (2006.01)

F I

H 0 1 L 21/56

R

請求項の数 10 (全 7 頁)

(21) 出願番号 特願2008-77308 (P2008-77308)
 (22) 出願日 平成20年3月25日(2008.3.25)
 (65) 公開番号 特開2009-231680 (P2009-231680A)
 (43) 公開日 平成21年10月8日(2009.10.8)
 審査請求日 平成22年1月27日(2010.1.27)

(73) 特許権者 000005821
 パナソニック株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100109667
 弁理士 内藤 浩樹
 (74) 代理人 100109151
 弁理士 永野 大介
 (74) 代理人 100120156
 弁理士 藤井 兼太郎
 (72) 発明者 土師 宏
 大阪府門真市松葉町2番7号 パナソニッ
 クファクトリーソリューションズ株式会社
 内

最終頁に続く

(54) 【発明の名称】 基板の表面処理方法および半導体パッケージの製造方法

(57) 【特許請求の範囲】

【請求項 1】

樹脂が露出する第1の領域と金メッキ膜が露出する第2の領域を表面に有する基板の表面処理方法であって、

真空チャンバ内に基板の表面と成膜用ターゲットとを対向させて配置し、真空チャンバ内に放電用ガスを供給してプラズマを発生させることで前記第1の領域のアッシングと前記成膜用ターゲットのスパッタリングを行い、前記第1の領域の活性化処理と前記第2の領域に前記成膜用ターゲットの組成物質を付着させる成膜処理とを並行して行うことを特徴とする基板の表面処理方法。

【請求項 2】

前記成膜用ターゲットが組成物質に SiO_2 を含むことを特徴とする請求項1記載の基板の表面処理方法。

【請求項 3】

前記放電用ガスに少なくともアルゴンと酸素を含むことを特徴とする請求項1または2記載の基板の表面処理方法。

【請求項 4】

基板の表面に露出する樹脂がソルダレジストであることを特徴とする請求項1乃至3の何れかに記載の基板の表面処理方法。

【請求項 5】

前記第1の領域に、基板に実装された半導体装置の表面を覆う有機膜を含むことを特徴

10

20

とする請求項 1 乃至 4 の何れかに記載の基板の表面処理方法。

【請求項 6】

樹脂が露出する第 1 の領域と金メッキ膜が露出する第 2 の領域を表面に有する基板の表面に半導体装置を実装する工程と、真空チャンバ内に基板の表面と成膜用ターゲットとを間隔をおいて対向配置し、真空チャンバ内に放電用ガスを供給してプラズマを発生させることで前記第 1 の領域のアッシングと前記成膜用ターゲットのスパッタリングを行い、前記第 1 の領域の活性化処理と前記第 2 の領域に前記成膜用ターゲットの組成物質を付着させる成膜処理とを並行して行う表面処理工程と、表面処理された基板の表面を樹脂で封止する工程を含むことを特徴とする半導体パッケージの製造方法。

【請求項 7】

前記成膜用ターゲットが組成物質に SiO_2 を含むことを特徴とする請求項 6 に記載の半導体パッケージの製造方法。

【請求項 8】

前記放電用ガスに少なくともアルゴンと酸素を含むことを特徴とする請求項 6 または 7 に記載の半導体パッケージの製造方法。

【請求項 9】

前記表面に露出する樹脂がソルダレジストであることを特徴とする請求項 6 乃至 8 の何れかに記載の半導体パッケージの製造方法。

【請求項 10】

前記第 1 の領域に、基板に搭載された半導体装置の表面を覆う有機膜を含むことを特徴とする請求項 6 乃至 9 の何れかに記載の半導体パッケージの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、基板の表面処理方法および表面処理装置ならびに半導体パッケージの製造方法に関するものである。

【背景技術】

【0002】

基板に実装したシリコンチップ（半導体装置）を樹脂で封止した半導体パッケージにおいては、基板のレジスト膜と樹脂との密着性は良好であるが、基板の電極部分はその表面を覆う金メッキ膜によって樹脂との密着性が劣っていることが分かっている（特許文献 1 乃至 3 参照）。

【特許文献 1】特開平 10 - 340977 号公報

【特許文献 2】特開平 11 - 145120 号公報

【特許文献 3】特開 2004 - 172444 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

樹脂密着性の向上を目的として基板にプラズマ処理を施した場合、基板の表面の大部分を覆うレジスト膜は樹脂密着性が向上することになるが、電極部を覆う金メッキ膜の表面については逆に清浄化されてしまうため、樹脂密着性が低下する結果となってしまう。近年は半導体パッケージの小型化がますます進展し、基板の表面積に占める電極部分の面積の割合が相対的に大きくなってきているので、基板と封止用樹脂との接着強度を維持するためには金メッキ膜についても樹脂密着性を向上させることが望ましい。

【0004】

本発明は、電極部分を含む基板の樹脂密着性を向上させる基板の表面処理方法等を提供することを目的とする。

【課題を解決するための手段】

【0005】

請求項 1 に記載の基板の表面処理方法は、樹脂が露出する第 1 の領域と金メッキ膜が露

10

20

30

40

50

出する第2の領域を表面に有する基板の表面処理方法であって、真空チャンバ内に基板の表面と成膜用ターゲットとを対向させて配置し、真空チャンバ内に放電用ガスを供給してプラズマを発生させることで前記第1の領域のアッシングと前記成膜用ターゲットのスパッタリングを行い、前記第1の領域の活性化処理と前記第2の領域に前記成膜用ターゲットの組成物質を付着させる成膜処理とを並行して行う。

【0006】

請求項2に記載の基板の表面処理方法は請求項1記載の基板の表面処理方法であって、前記成膜用ターゲットが組成物質に SiO_2 を含む。

【0007】

請求項3に記載の基板の表面処理方法は請求項1または2記載の基板の表面処理方法であって、前記放電用ガスに少なくともアルゴンと酸素を含む。

10

【0008】

請求項4に記載の基板の表面処理方法は請求項1乃至3の何れかに記載の基板の表面処理方法であって、基板の表面に露出する樹脂がソルダレジストである。

【0009】

請求項5に記載の基板の表面処理方法は請求項1乃至4の何れかに記載の基板の表面処理方法であって、前記第1の領域に、基板に実装された半導体装置の表面を覆う有機膜を含む。

【0011】

請求項6に記載の半導体パッケージの製造方法は、樹脂が露出する第1の領域と金メッキ膜が露出する第2の領域を表面に有する基板の表面に半導体装置を実装する工程と、真空チャンバ内に基板の表面と成膜用ターゲットとを間隔をおいて対向配置し、真空チャンバ内に放電用ガスを供給してプラズマを発生させることで前記第1の領域のアッシングと前記成膜用ターゲットのスパッタリングを行い、前記第1の領域の活性化処理と前記第2の領域に前記成膜用ターゲットの組成物質を付着させる成膜処理とを並行して行う表面処理工程と、表面処理された基板の表面を樹脂で封止する工程を含む。

20

【0012】

請求項7に記載の半導体パッケージの製造方法は請求項6に記載の半導体パッケージの製造方法であって、前記成膜用ターゲットが組成物質に SiO_2 を含む。

【0013】

30

請求項8に記載の半導体パッケージの製造方法は請求項6または7に記載の半導体パッケージの製造方法であって、前記放電用ガスに少なくともアルゴンと酸素を含む。

【0014】

請求項9に記載の半導体パッケージの製造方法は請求項6乃至8の何れかに記載の半導体パッケージの製造方法であって、前記表面に露出する樹脂がソルダレジストである。

【0015】

請求項10に記載の半導体パッケージの製造方法は請求項6乃至9の何れかに記載の半導体パッケージの製造方法であって、前記第1の領域に、基板に搭載された半導体装置の表面を覆う有機膜を含む。

【発明の効果】

40

【0016】

アッシング処理が施された第1の領域と、ターゲットの組成物質による膜が形成された第2の領域の両方の領域で樹脂密着性が向上することで、電極の形成箇所を含む基板の表面の略全面において樹脂密着性が向上し、基板と封止用樹脂とを強固に接合することが可能になるので、半導体パッケージの電気的、機械的な信頼性が大幅に向上する。

【発明を実施するための最良の形態】

【0017】

添付した図面を参照しながら本発明の実施の形態について説明する。図1は半導体パッケージの構造を示す側断面図、図2は本発明の実施の形態の表面処理装置の構造を示す側断面図である。

50

【 0 0 1 8 】

図 1 に半導体パッケージの構造を示す。半導体パッケージ 1 は、半導体装置 2 と基板 3 を電氣的、機械的に接続させた状態で一体的に固定した電子部品である。半導体装置 2 はダイボンディング用接着剤 4 によって基板 3 の上部略中央に固着されている。半導体装置 2 の上部に形成されているボンディングパッド 5 と基板 3 の上部に形成されているワイヤ接続用電極 6 は導電性のワイヤ 7 で電氣的に接続されている。

【 0 0 1 9 】

基板 3 の裏面には表面に形成されているワイヤ接続用電極 6 と電氣的に接続されているパンプ接続用電極 8 が形成されている。このパンプ接続用電極 8 は半導体パッケージ 1 の外部電極として機能する。パンプ接続用電極 8 には半導体パッケージ 1 をマザーボード等と接合するための半田製のパンプ 9 が融着されている。

10

【 0 0 2 0 】

基板 3 の表裏面には、電極 6、8 以外の領域全体にレジスト膜 10、11 が形成されている。基板表面のレジスト膜 10 およびワイヤ接続用電極 6 は半導体装置 2 とワイヤ接続用電極 6 とワイヤ 7 を封止する樹脂 12 と接着されている。

【 0 0 2 1 】

図 2 に本発明の実施の形態の表面処理装置の構造を示す。半導体パッケージ 1 の製造過程では表面処理装置 20 を用いて基板 3 の表面処理を行い、封止用の樹脂 12 と基板 3 との接合性の向上を図る。表面処理装置 20 は、密閉空間 21 を形成する真空チャンバ 22 と、密閉空間 21 においてその表面を密閉空間 21 の中央部に向けた状態で基板 3 を保持する基板保持ステージ 23 と、密閉空間 21 において中央部を挟んで基板 3 と対向する位置で成膜用ターゲット 24 を保持する成膜用ターゲット保持部 25 と、密閉空間 21 の内圧を減ずる減圧装置 26 と、密閉空間 21 へ放電用ガスを供給する放電用ガス供給装置 27 と、成膜用ターゲット保持部 25 に高周波電圧を印加する高周波電源部 28 と、密閉空間 21 を大気開放する大気開放バルブ 29 と、放電用ガスの供給量を調整する流量調整バルブ 30 を備えている。

20

【 0 0 2 2 】

表面処理装置 20 を用いて表面処理を施す対象は多面取基板 31 であり、表面処理を施した後に樹脂 12 で封止し、最終的に個々の半導体パッケージ 1 に個片化することになる。多面取基板 31 を基板保持ステージ 23 に載置し、減圧した密閉室内 21 に放電用ガスを充満させた状態で高周波電圧を印加すると、放電用ガスに含まれるアルゴンや酸素がプラズマ状態に遷移する。すると、プラズマに含まれるイオンは高周波電源部 28 側に接続されている成膜用ターゲット 24 に高速で衝突する。また、プラズマに含まれる酸素ラジカルは多面取基板 31 のレジスト膜 10 と反応してレジスト膜 10 をガス化して除去する。一方、ワイヤ接続用電極 6 の表面は金メッキで覆われているため酸素ラジカルの影響を受けることはない。この結果、多面取基板 31 のレジスト膜 10 に対してはアッシング処理が行われ、成膜用ターゲット 24 に対してはスパッタリング処理が行われる。多面取基板 31 の表面は、半導体装置 2 の表面を覆う有機膜 32 とレジスト膜 10 が露出する第 1 の領域と、ワイヤ接続用電極 6 の表面に金メッキ膜が露出する第 2 の領域で構成されている。有機膜 32 はポリイミド等の絶縁性樹脂で構成され、半導体装置 2 を保護するものである。

30

40

【 0 0 2 3 】

成膜用ターゲット 24 は組成物質に SiO_2 を含んでおり、スパッタリング処理によって成膜用ターゲット 24 から放出された SiO_2 が成膜用ターゲット 24 と対向して配置されている基板 3 の表面に成膜する。アッシング処理とスパッタリング処理は密閉空間 21 で同時並行して進行するが、第 1 の領域では、 SiO_2 が付着したレジスト膜 10 や有機膜 32 はすぐにアッシングされてしまうため、 SiO_2 膜は形成されない。これに対しアッシングされない第 2 の領域には SiO_2 膜が形成される。

【 0 0 2 4 】

アッシング処理が効果的に施された第 1 の領域は樹脂密着性が向上し、封止用樹脂 12

50

と強固に接合する。これに対し第２の領域は、結果として金メッキ膜上に形成されたＳｉＯ_２膜によって封止用の樹脂１２との接合性が向上することになる。これにより、第１の領域と第２の領域を有する多面取基板３１の表面はその略全面において樹脂密着性が向上し、封止用の樹脂１２と強固に接合することで、結果として半導体パッケージ１の電氣的、機械的な信頼性が大幅に向上する。

【００２５】

半導体パッケージ１が小型化した今日においては第１の領域に対する第２の領域の面積の割合が高くなっているが、表面処理装置２０を用いた表面処理によれば、第１の領域に対してアッシングによる表面処理を施すと同時に第２の領域には成膜用ターゲットの組成物質を付着させる成膜処理を施すことで、両領域の面積比に関係なく基板３の表面の略全

10

【産業上の利用可能性】

【００２６】

本発明は、電極の形成箇所を含む基板の表面の略全面における樹脂密着性を向上させ、基板と封止用樹脂とを強固に接合することを可能にするので、高品質な半導体パッケージの製造分野において有用である。

【図面の簡単な説明】

【００２７】

【図１】半導体パッケージの構造を示す側断面図

【図２】本発明の実施の形態の表面処理装置の構造を示す側断面図

20

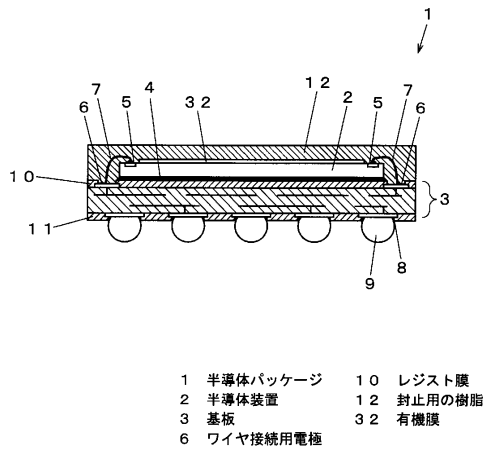
【符号の説明】

【００２８】

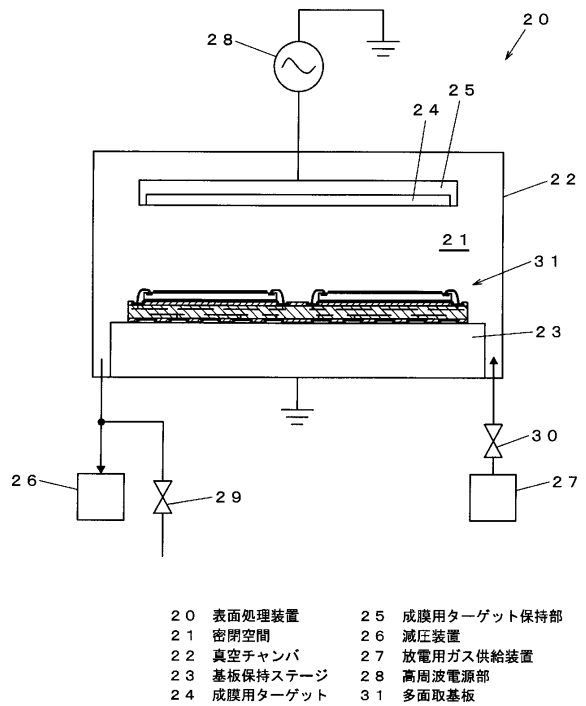
- １ 半導体パッケージ
- ２ 半導体装置
- ３ 基板
- ６ ワイヤ接続用電極
- １０ レジスト膜
- １２ 封止用の樹脂
- ２０ 表面処理装置
- ２１ 密閉空間
- ２２ 真空チャンバ
- ２３ 基板保持ステージ
- ２４ 成膜用ターゲット
- ２５ 成膜用ターゲット保持部
- ２６ 減圧装置
- ２７ 放電用ガス供給装置
- ２８ 高周波電源部
- ３１ 多面取基板
- ３２ 有機膜

30

【 図 1 】



【 図 2 】



フロントページの続き

(72)発明者 森迫 勇

大阪府門真市松葉町2番7号 パナソニックファクトリーソリューションズ株式会社内

審査官 和瀬田 芳正

(56)参考文献 特開平02-102567(JP,A)

特開2002-118128(JP,A)

特開2001-259411(JP,A)

特開平11-031759(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/56

H01L 21/3065

H01L 21/60