(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2004 年1 月29 日 (29.01.2004)

PCT

(10) 国際公開番号
WO 2004/010587 A1

(51) 国際特許分類[7]: H03M 3/02, H03L 7/183, 7/197

(21) 国際出願番号: PCT/JP2003/008073

(22) 国際出願日: 2003 年6 月26 日 (26.06.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2002-213888 2002 年7 月23 日 (23.07.2002) JP

(71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒108-8001 東京都 港区 芝五丁目 7 番 1 号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 松野 典朗 (MATSUNO,Noriaki) [JP/JP]; 〒108-8001 東京都 港区 芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).

(74) 代理人: 加藤 朝道 (KATO,Asamichi); 〒222-0033 神奈川県 横浜市港北区 新横浜3丁目20番12号望星ビル7階 加藤内外特許事務所 Kanagawa (JP).

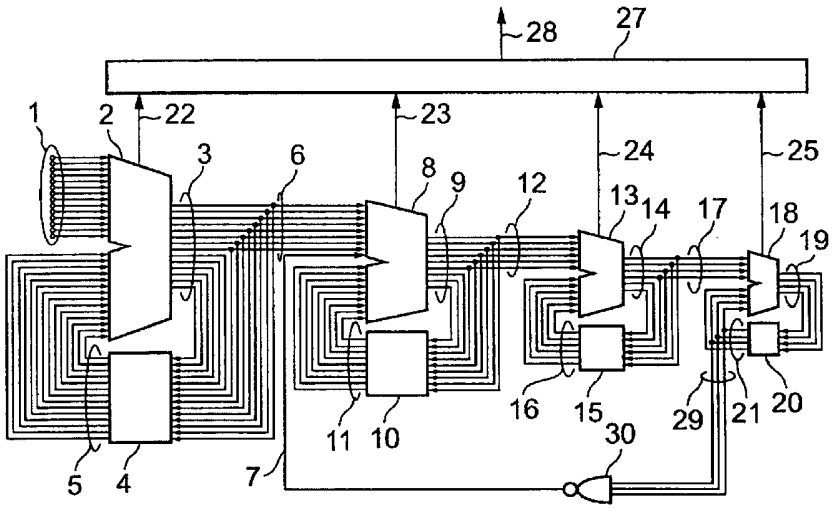
(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SIGNAL PROCESSING DEVICE, NON-INTEGER DIVIDER, AND FRACTIONAL N-PLL SYNTHESIZER USING THE SAME

(54) 発明の名称: 信号処理装置及び非整数分周器並びにこれを用いたフラクショナルN−ＰＬＬシンセサイザ



(57) Abstract: An adder (2) and a delay device (4) constitute a 20-bit input accumulator, which is connected to a signal input terminal (1). An adder (8) and a delay device (10) constitute a 9-bit input accumulator. The most significant 8 bits of output of the adder (2) are input to the most significant 8 bits of the 9-bit input accumulator. The least significant bit input of the 9-bit input accumulator is connected to the output of a 3-input NAND gate (30). An adder (13) and a delay device (15) constitute a 6-bit input accumulator, to which most significant 6 bits of the output of the adder (8) are input. An adder (18) and a delay device (20) constitute a 4-bit input accumulator, to which the most significant 4 bits of the output of the adder (13) are input. The 3-input NAND gate is supplied with the least significant 3 bits of the output of the delay device (20).

[続葉有]

WO 2004/010587 A1

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される
各*PCT*ガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

(57) 要約:

加算器（２）と遅延器（４）は２０ビット入力のアキュムレータを構成し、信号入力端子（１）に接続される。加算器（８）と遅延器（１０）は９ビット入力のアキュムレータを構成し、その上位８ビットには加算器（２）の出力の上位８ビットが入力され、最下位ビット入力には３入力ＮＡＮＤゲート（３０）の出力が接続される。加算器（１３）と 遅延器（１５）は６ビット入力のアキュムレータを構成し、加算器（８）の出力の上位６ビットが入力される。加算器（１８）と遅延器（２０）は４ビット入力のアキュムレータを構成し、加算器（１３）の出力の上位４ビットが入力される。前記３入力ＮＡＮＤゲートには、遅延器（２０）の出力の下位３ビットが入力される。

明　細　書

信号処理装置及び非整数分周器並びにこれを用いたフラクショナルＮ－ＰＬＬシンセサイザ

技術分野

本発明は信号処理装置及び非整数分周器並びにこれを用いたフラクショナルＮ－ＰＬＬシンセサイザに関する。

背景技術

信号処理装置の一例として、シグマデルタ変調器が知られている。従来の典型的な４次シグマデルタ変調器の構成を図４に示す。

図４において、ディジタル信号が入力端子５７に入力される。ここでは便宜上、入力ディジタル信号は２０ビットであるとする。この場合、入力端子５７は２０本の端子からなる。５８、６３、６８、７３は２０ビット入力、２０ビット出力の加算器である。６０、６５、７０、７５は２０ビット入力、２０ビット出力の遅延素子であり、１クロック前の入力値を出力する。

加算器５８と遅延素子６０は２０ビット入力、２０ビット出力のアキュムレータを構成している。即ち、加算器５８では、入力ディジタル信号５７と遅延素子６０の出力する１クロック前の加算器５８の出力信号とを加算する。加算結果はライン５９に出力され、また加算の結果オーバーフローが生じた場合はオーバーフローラインに１ビットのオーバーフロー信号６２が出力される。

加算器６３と遅延素子６５とからなるブロックもアキュムレータを構成しており、その入力は加算器５８の出力信号、即ち加算器５８と遅延素子６０とからなるアキュムレータの出力信号である。同様に、加算器６８と遅延素子７０の組、及び加算器７３と遅延素子７５の組もアキュムレータを構成しており、以上４つのアキュムレータがカスケードに接続された構成になっている。

６７、７２、７７はそれぞれ加算器６３、６８、７３のオーバーフロー信号である。

構成要素７９の具体的構成例を図５に示す。３５、３７、３９、４１、４３、４５は遅延素子であり、１クロック前の入力値を出力する。３６、３８、４０、４２、４４、４６は減算器であり、遅延素子を通した入力値を遅延素子を通さない入力値から引き算し、結果を出力する。４８はオーバーフロー信号６２、減算器３６、４０、４６の出力を入力とする４入力の加算器である。

以上の構成により、この構成要素７９では、アキュムレータ５８、６３、６８、７３の出力するオーバーフロー信号６２、６７、７２、７７を受け取り、オーバーフロー信号６２と、オーバーフロー信号６７の一階微分結果と、オーバーフロー信号７２の二階微分結果と、オーバーフロー信号７７の三階微分結果の和を取り、端子８０より出力する作用を有する。

以上述べた、４個のアキュムレータと構成要素７９とからなるブロック全体で、１個の４次シグマデルタ変調器が構成されている。その入力端子は５７であり、出力端子は８０である。同様に、ｎ次のシグマデルタ変調器は、ｎ個のアキュムレータと各アキュムレータのオーバーフロー信号を受け取って演算する構成要素とからなる。

以上の従来技術によると、例えば２０ビットのダイナミックレンジを有する入力信号に対応するｎ次シグマデルタ変調器は、ｎ個の２０ビットアキュムレータとｎ個の２０ビット遅延素子とを必要とするため、回路規模が大きくなる。このことは、チップ面積の増大、消費電流の増加などのデメリットに繋がるだけでなく、動作に伴い電源線やグランド線に漏れてくる雑音の増加などのデメリットに繋がる。

このようなシグマデルタ変調器は、フラクショナルＮ－ＰＬＬシンセサイザの分数分周器の一構成要素としても広く用いられている。これに関連する技術は、米国特許４６０９８８１号、米国特許４７５８８０２号、米国特許４９６５５３１号等に開示されている。

フラクショナルN－ＰＬＬシンセサイザの一般的構成を図６に示す。図６において、ＶＣＯ８４の出力は２つに分岐され、一方はＰＬＬシンセサイザの最終出力８８となり、もう一方は整数分周器８６に入力される。整数分周器８６で分周された出力は位相比較器（以下、ＰＤと略称する）８１に入力される。ＰＤ８１のもう一方の入力としてリファレンス信号８７が入力され、リファレンス信号８７と整数分周器８６の出力信号の位相差がチャージポンプ（以下、ＣＰと略称する）８２へ出力される。ＣＰ８２は受け取った位相差情報を電流、ないしは電圧に変換し、これがループフィルタ（以下、Ｌ．Ｆ．と略称する）８３を通った後、ＶＣＯ８４にフィードバックされる。このフィードバックの作用により、ＶＣＯ８４の出力する信号の周波数は、リファレンス信号８７の周波数の分周比倍にロックされる。

図６の構成では、整数分周器８６の分周比を、分周比制御装置８５で時系列的に変化させることで、時間平均値として非整数の分周比を実現する。シグマデルタ変調器は、この分周比制御装置として用いられる。フラクショナルN－ＰＬＬシンセサイザの一構成要素としてシグマデルタ変調器を用いる場合も、やはりその回路規模の大きさが、チップ面積の増大、消費電流の増加などのデメリットに繋がるだけでなく、動作に伴う電源線やグランド線に漏れてくる雑音がシンセサイザのＣ／Ｎを劣化させるなどのデメリットに繋がる。

以上述べた通り、ｎ次のシグマデルタ変調器は、ｎ個の加算器とｎ個の遅延素子とを必要とすることから、その回路規模が大きくなるという欠点がある。また、シグマデルタ変調器を利用したフラクショナルN－ＰＬＬシンセサイザでは、シグマデルタ変調器の回路規模の大きさが、チップ面積の増大、消費電流の増加などのデメリットに繋がると共に、シグマデルタ変調器の動作に伴う電源線やグランド線に漏れてくる雑音がシンセサイザのＣ／Ｎを劣化させるなどのデメリットに繋がる。

本発明は、以上述べた問題点を解決するものであり、その課題は、回路規模の小さい信号処理装置を提供することにある。

本発明の他の課題は、上記の信号処理装置を備えた非整数分周器を提供することにある。

本発明の更に他の課題は、上記の非整数分周器を備えたフラクショナルN－PLLシンセサイザを提供することにある。

発明の開示

本発明の第1の態様による信号処理装置は、縦続接続されたn段のアキュムレータと、m段目（ただし、2≦m≦n）のアキュムレータのオーバフロー信号を（m－1）階微分演算する手段と、1段目のアキュムレータの出力と前記2段目からn段目までの前記微分演算結果とを全て加算して出力する加算手段とを備える。p（1）ビットからなる1段目のアキュムレータには、p（1）ビットの信号入力が入力される。p（m）ビット（ただし、p（m）≦p（m－1））からなるm段目のアキュムレータの上位には、m－1段目のアキュムレータの出力のうち上位からq（m－1）ビット（ただし、1≦q（m－1）≦p（m））が入力される。さらに、m段目のアキュムレータ20mの残りの下位には、m＋1段目以降の所定のアキュムレータの論理演算結果または外部から、ランダムな信号となるようなp（m）－q（m－1）ビットの信号が入力端子を介して入力される。この構成において、p（1）＞p（n）であることを特徴とする。

本発明の第2の態様による信号処理装置は、pビットの第1の信号入力端子及びkビットの第2の信号入力端子を備えると共に、qを（p－1）以下の整数として、pビットの第1のアキュムレータ及びqビットの第2のアキュムレータと、前記第1のアキュムレータのオーバーフロー信号と前記第2のアキュムレータのオーバーフロー信号を一階微分演算した信号とを加算する加算手段とを備え、前記第1の信号入力端子から入力されるpビットの信号が前記第1のアキュムレータに入力され、前記第2のアキュムレータの入力のうちの上位（q－k）ビットには、前記第1のアキュムレータの出力信号のうちの上位（q－k）ビットが入力され、前記第2のアキュムレータの残りのkビットには前記第2の信号入力端

子が接続されることを特徴とする。

本発明の第３の態様による信号処理装置は、ｐ（１）ビットの第１の信号入力端子及びｋビットの第２の信号入力端子を備えると共に、ｎを３以上の整数として、第１から第ｎのｎ個のアキュムレータと、１以上ｎ以下の全ての整数mに対し、第mのアキュムレータのオーバーフロー信号を（ｍ－１）階微分演算する手段と、前記第１から第ｎのアキュムレータのオーバーフロー信号の前記微分結果を加算する加算手段とを備え、第mのアキュムレータのビット数はｐ（ｍ）であり、かつｐ（２）はｐ（１）－１以下の整数であり、第２のアキュムレータの入力のうちの上位ｐ（２）－ｋビットには、第１のアキュムレータの出力信号のうちの上位ｐ（２）－ｋビットが入力され、前記第２のアキュムレータの残りのｋビットには前記第２の信号入力端子が接続され、３以上ｎ以下の全ての整数ｓについて、ｐ（ｓ）はｐ（ｓ－１）以下の整数であり、第ｓのアキュムレータには、第（ｓ－１）のアキュムレータの出力信号のうちの上位ｐ（ｓ）ビットが入力されることを特徴とする。

本発明の第４の態様による信号処理装置は、上記第２、第３の態様のいずれかの信号処理装置において、ｋ＝１とすることを特徴とする。

本発明の第５の態様による信号処理装置は、上記第３、第４の態様のいずれかの信号処理装置において、ｋビットの前記第２の信号入力端子に入力する信号として、第３番目以降のアキュムレータの出力信号から任意のｋビットを選び出して用いることを特徴とする。

本発明の第６の態様による信号処理装置は、上記第３、第４の態様のいずれかの信号処理装置において、ｋビットの前記第２の信号入力端子に入力する信号を、第３番目以降のアキュムレータ出力から選び出した任意のｒビット信号の論理合成手段により得ることを特徴とする。

本発明の第７の態様による信号処理装置は、ｐビットの第１の信号入力端子及びｋビットの第２の信号入力端子を備えると共に、ｑを（ｐ－１）以下の整数として、ｐビットの第１のアキュムレータ及びｑビットの第２のアキュムレータ２

と、前記第１のアキュムレータの１クロック前のオーバーフロー信号と前記第２のアキュムレータのオーバーフロー信号を一階微分演算した信号とを加算する加算手段とを備え、前記第１の信号入力端子から入力されるｐビットの信号がｐビットの前記第１のアキュムレータに入力され、前記第２のアキュムレータの入力のうちの上位（ｑ－ｋ）ビットには、前記第１のアキュムレータの１クロック前の出力信号のうちの上位（ｑ－ｋ）ビットが入力され、前記第２のアキュムレータの残りのｋビットには前記第２の信号入力端子が接続されることを特徴とする。

本発明の第８の態様による信号処理装置は、ｐ（１）ビットの第１の信号入力端子１及びｋビットの第２の信号入力端子とを備えると共に、ｎを３以上の整数として、第１から第ｎのｎ個のアキュムレータと、１以上ｎ以下の全ての整数ｍに対して、第ｍのアキュムレータの（ｎ－ｍ）クロック前のオーバーフロー信号を（ｍ－１）階微分演算する手段と、前記第１から第ｎのアキュムレータのオーバーフロー信号の前記微分結果を加算する加算手段とを備え、第ｍのアキュムレータのビット数はｐ（ｍ）であり、かつｐ（２）はｐ（１）－１以下の整数であり、第２のアキュムレータの入力のうちの上位ｐ（２）－ｋビットには、第１のアキュムレータの１クロック前の出力信号のうちの上位ｐ（２）－ｋビットが入力され、前記第１のアキュムレータの残りのｋビットには前記第２の信号入力端子が接続され、３以上ｎ以下の全ての整数ｓについて、ｐ（ｓ）はｐ（ｓ－１）以下の整数であり、第ｓのアキュムレータには、第（ｓ－１）のアキュムレータの１クロック前の出力信号のうちの上位ｐ（ｓ）ビットが入力されることを特徴とする。

本発明の第９の態様による信号処理装置は、上記第７、第８の態様のいずれかの信号処理装置において、ｋ＝１とすることを特徴とする。

本発明の第１０の態様による信号処理装置は、上記第８、第９のいずれかの態様の信号処理装置において、ｋビットの前記第２の信号入力端子に入力する信号として、第３番目以降のアキュムレータの出力信号から任意のｋビットを選び出して用いることを特徴とする。

本発明の第１１の態様による信号処理装置は、上記第８、第９の態様のいずれかの信号処理装置において、ｋビットの前記第２の信号入力端子に入力する信号を、第３番目以降のアキュムレータ出力から選び出した任意のｒビット信号の論理合成手段により得ることを特徴とする。

本発明の第１２の態様による信号処理装置は、上記第３～第６のいずれかの態様の信号処理装置において、ｐビットの前記第１の信号入力端子とｋビットの前記第２の信号入力端子に加えてｋ（１）ビットの第３の入力端子を備え、３以上ｎ以下のある整数ｔに対して、第ｔのアキュムレータの入力の上位ｐ（ｔ）－ｋ（１）ビットには、第（ｔ－１）のアキュムレータにおける加算器の出力信号のうちの上位ｐ（ｔ）－ｋ（１）ビットが入力され、前記第ｔのアキュムレータの残りのｋ（１）ビットにはｋ（１）ビットの前記第３の入力端子が接続されることを特徴とする。

本発明の第１３の態様による信号処理装置は、上記第８～第１１のいずれかの態様の信号処理装置において、ｐビットの前記第１の信号入力端子とｋビットの前記第２の信号入力端子に加えてｋ（１）ビットの第３の入力端子を備え、３以上ｎ以下のある整数ｔに対して、第ｔのアキュムレータの入力の上位ｐ（ｔ）－ｋ（１）ビットには、第（ｔ－１）のアキュムレータにおける加算器の１クロック前の出力信号のうちの上位ｐ（ｔ）－ｋ（１）ビットが入力され、残りのｋ（１）ビットにはｋ（１）ビットの入力端子が接続されることを特徴とする。

本発明の第１４の態様による信号処理装置は、上記第１２、第１３のいずれかの態様の信号処理装置において、ｋ（１）ビットの前記第３の入力端子に入力する信号として、第（ｔ＋１）番目以降のアキュムレータの出力信号から任意のｋ（１）ビットを選び出して用いることを特徴とする。

本発明の第１４の態様による信号処理装置は、上記第１１、第１２のいずれかの態様の信号処理装置において、ｋ（１）ビットの前記第３の入力端子に入力する信号を、第（ｔ＋１）番目以降のアキュムレータ出力から選び出した任意のｒビット信号の論理合成手段により得ることを特徴とする。

本発明の第１６の態様による信号処理装置は、上記第１２～第１５のいずれかの態様の信号処理装置において、ｋ（１）＝１とすることを特徴とする。

本発明の第１７の態様による信号処理装置は、上記第３～第６のいずれかの態様の信号処理装置において、３以上ｎ以下の範囲に含まれる（ｎ－２）個の整数値のうちｖ個を選び出し、その値を小さい方から順にｔ（１）、ｔ（２）、・・・、ｔ（ｖ）と表したときに、１以上ｖ以下の任意の整数ｗに対し、ｋ（ｗ）ビットの入力端子を備え、第ｔ（ｗ）番目のアキュムレータの入力の上位ｐ｛ｔ（ｗ）｝－ｋ（ｗ）ビットには、第｛ｔ（ｗ）－１｝番目のアキュムレータの出力信号のうちの上位ｐ｛ｔ（ｗ）｝－ｋ（ｗ）ビットが入力され、前記第ｔ（ｗ）番目のアキュムレータの残りのｋ（ｗ）ビットにはｋ（ｗ）ビットの入力端子が接続されることを特徴とする。

本発明の第１８の態様による信号処理装置は、上記第８～第１１のいずれかの態様の信号処理装置において、３以上ｎ以下の範囲に含まれる（ｎ－２）個の整数値のうちｖ個を選び出し、その値を小さい方から順にｔ（１）、ｔ（２）、・・・、ｔ（ｖ）と表したときに、１以上ｖ以下の任意の整数ｗに対し、ｋ（ｗ）ビットの入力端子を備え、第ｔ（ｗ）番目のアキュムレータの入力の上位ｐ｛ｔ（ｗ）｝－ｋ（ｗ）ビットには、第｛ｔ（ｗ）－１｝番目のアキュムレータの１クロック前の出力信号のうちの上位ｐ｛ｔ（ｗ）｝－ｋ（ｗ）ビットが入力され、前記第ｔ（ｗ）番目のアキュムレータの残りのｋ（ｗ）ビットにはｋ（ｗ）ビットの入力端子が接続されることを特徴とする。

本発明の第１９の態様による信号処理装置は、上記第１７、第１８のいずれかの態様の信号処理装置において、１以上ｖ以下のいくつか、もしくは全ての整数ｗに対し、前記ｋ（ｗ）ビットの入力端子に入力する信号として、第ｔ（ｗ）＋１番目以降のアキュムレータの出力信号から任意のｋ（ｗ）ビットを選び出して用いることを特徴とする。

本発明の第２０の態様による信号処理装置は、上記第１７～第１９のいずれかの態様の信号処理装置において、１以上ｖ以下のいくつか、もしくは全ての整数

wに対し、前記k（w）ビットの入力端子に入力する信号を、第t（w）＋1番目以降のアキュムレータの出力信号から選び出した任意のr（w）ビット信号の論理合成手段により得ることを特徴とする。

本発明の第21の態様による信号処理装置は、上記第17～第19のいずれかの態様の信号処理装置において、1以上v以下の全ての整数wに対し、k（w）＝1とすることを特徴とする。

本発明の第22の態様による信号処理装置は、上記第12～第21のいずれかの態様の信号処理装置において、kビットの前記第2の信号入力端子を備えず、第2のアキュムレータの入力のうちの上位p（2）ビットには、第1のアキュムレータの出力信号のうちの上位p（2）ビットが入力されることを特徴とする。

本発明の第23の態様による信号処理装置は、pビットの第1の信号入力端子を備えると共に、qを（p－1）以下の整数として、pビットの第1のアキュムレータとqビットの第2のアキュムレータと、前記第1のアキュムレータのオーバーフロー信号と前記第2のアキュムレータのオーバーフロー信号を一階微分演算した信号とを加算する加算手段とを備え、前記第1の信号入力端子から入力されるpビットの信号がpビットの前記第1のアキュムレータに入力され、前記第2のアキュムレータの入力のうちの上位qビットには、前記第1のアキュムレータの出力信号のうちの上位qビットが入力されることを特徴とする。

本発明の第23の態様による信号処理装置は、p（1）ビットの第1の信号入力端子を備えると共に、nを3以上の整数として、第1から第nのn個のアキュムレータと、1以上n以下の全ての整数mに対して、第mのアキュムレータのオーバーフロー信号を（m－1）階微分演算する手段と、第1から第nのアキュムレータのオーバーフロー信号の前記微分結果を加算する加算手段とを備え、第mのアキュムレータのビット数はp（m）であり、かつp（2）はp（1）－1以下の整数であり、第2のアキュムレータの入力のうちの上位p（2）ビットには、第1のアキュムレータの出力信号のうちの上位p（2）ビットが入力され、3以上n以下の全ての整数sについて、p（s）はp（s－1）以下の整数であり、

第ｓのアキュムレータには、第（ｓ－１）のアキュムレータの出力信号のうちの上位ｐ（ｓ）ビットが入力されることを特徴とする。

本発明の第２５の態様による信号処理装置は、上記第１～第２４のいずれかの態様の信号処理装置において、該信号処理装置を構成するすべてのアキュムレータ、すべての微分演算手段、すべての加算演算手段が、外部から供給されるクロック信号に同期して動作することを特徴とする。

本発明の第２６の態様によれば、整数分周器と、請求項１～２５のいずれかに記載した信号処理装置とを備え、前記整数分周器の分周比を前記信号処理装置の出力値で時系列的に制御することを特徴とする非整数分周器が提供される。

本発明の第２７の態様による非整数分周器は、上記第２６の態様の非整数分周器において、前記信号処理装置のクロックとして前記整数分周器の出力信号を用いることを特徴とする。

本発明の第２８の態様による非整数分周器は、上記第２６の態様の非整数分周器において、前記信号処理装置のクロックを発生する手段として、前記整数分周器の動作に同期したクロック発生装置を備えることを特徴とする。

本発明の第２９の態様による非整数分周器は、上記第２６の態様の非整数分周器において、前記信号処理装置のクロックを発生させる手段として、前記整数分周器の出力信号を遅延させた信号を用いることを特徴とする。

本発明の第３０の態様によれば、上記第２６～第２９のいずれかの態様の非整数分周器を備えたことを特徴とするフラクショナルＮ－ＰＬＬシンセサイザが提供される。

本発明の第３１の態様によるフラクショナルＮ－ＰＬＬシンセサイザは、上位第３０の態様のフラクショナルＮ－ＰＬＬシンセサイザにおいて、前記信号処理装置のクロックとして、当該シンセサイザのリファレンス信号を用いることを特徴とする。

本発明の第３２の態様によるフラクショナルＮ－ＰＬＬシンセサイザは、上記第３１の態様のフラクショナルＮ－ＰＬＬシンセサイザにおいて、前記信号処理

装置のクロックを発生する手段として、当該シンセサイザのリファレンス信号に同期したクロック発生装置を備えることを特徴とする。

本発明の第３３の態様によるフラクショナルＮ－ＰＬＬシンセサイザは、上記第３１の態様のフラクショナルＮ－ＰＬＬシンセサイザにおいて、前記信号処理装置のクロックとして、当該シンセサイザのリファレンス信号を遅延させた信号を用いることを特徴とする。

図面の簡単な説明

図１は、本発明による信号処理装置の第１の実施例を示したブロック図である。

図２は、図１に示された信号処理部の例を示した回路図である。

図３は、本発明による信号処理装置の第２の実施例を示したブロック図である。

図４は、従来の信号処理装置の一例を示したブロック図である。

図５は、図４に示された信号処理部の例を示した回路図である。

図６は、フラクショナルＮ－ＰＬＬシンセサイザの構成を示したブロック図である。

図７は、従来の信号処理装置における周波数－量子化ノイズ特性を説明するための図である。

図８は、本発明による信号処理装置における周波数－量子化ノイズ特性を説明するための図である。

図９は、本発明による信号処理装置における周波数－量子化ノイズ特性を説明するための図である。

図１０は、本発明による信号処理装置の第３の実施例を示したブロック図である。

図１１は、本発明による信号処理装置の第４の実施例を示したブロック図である。

図１２は、本発明による信号処理装置の第５の実施例を示したブロック図である。

図１３は、本発明による信号処理装置の第６の実施例を示したブロック図である。

図１４は、本発明による信号処理装置の第７の実施例を示したブロック図である。

図１５は、本発明による信号処理装置における信号処理部の第２の例を示した回路図である。

図１６は、本発明による信号処理装置の第８の実施例を示したブロック図である。

図１７は、本発明による信号処理装置を用いたフラクショナルＮ－ＰＬＬシンセサイザの第１の実施例を示したブロック図である。

図１８は、本発明による分周比制御器の第１の実施例を示した回路図である。

図１９は、本発明による分周比制御器の第２の実施例を示した回路図である。

図２０は、本発明による分周比制御器の第３の実施例を示した回路図である。

図２１は、本発明による分周比制御器の第４の実施例を示した回路図である。

図２２は、図１８～図２１に示された分周比制御器における信号処理部の第１の例を示した回路図である。

図２３は、図１８～図２１に示された分周比制御器における信号処理部の第２の例を示した回路図である。

図２４は、本発明による分周比制御器の第５の実施例を示した回路図である。

図２５は、図２４に示された分周比制御器における信号処理部の第１の例を示した回路図である。

図２６は、本発明による分周比制御器の第６の実施例を示した回路図である。

図２７は、本発明による分周比制御器の第７の実施例を示した回路図である。

図２８は、本発明による信号処理装置を用いたフラクショナルＮ－ＰＬＬシンセサイザの第２の実施例を示したブロック図である。

図２９は、本発明による信号処理装置を用いたフラクショナルＮ－ＰＬＬシンセサイザの第３の実施例を示したブロック図である。

図３０は、本発明による信号処理装置を用いたフラクショナルＮ－ＰＬＬシンセサイザの第４の実施例を示したブロック図である。

図３１は、本発明による信号処理装置を用いたフラクショナルＮ－ＰＬＬシンセサイザの第５の実施例を示したブロック図である。

図３２は、本発明による信号処理装置を用いたフラクショナルＮ－ＰＬＬシンセサイザの第６の実施例を示したブロック図である。

図３３は、本発明による信号処理装置を用いたフラクショナルＮ－ＰＬＬシンセサイザの第７の実施例を示したブロック図である。

図３４は、本発明による信号処理装置の実施の形態を示すブロック図である。

発明を実施するための最良の形態

図３４は、本発明による信号処理装置の実施の形態を示すブロック図である。図３４において、信号処理装置は、縦続接続されたｎ段のアキュムレータ２０１、２０２、…、２０ｍ、…、２０ｎと、ｍ段目（ただし、２≦ｍ≦ｎ）のアキュムレータ２０ｍのオーバフロー信号Ｒｍを（ｍ－１）階微分演算する手段２１ｍと、１段目のアキュムレータ２０１の出力Ｒ１と２段目からｎ段目までの微分演算結果とを全て加算して出力端子２２２に出力する加算手段２２０とを備える。

このような信号処理装置において、ｐ（１）ビットからなる１段目のアキュムレータ２０１には、ｐ（１）ビットの信号が入力端子２２１から入力される。また、ｐ（ｍ）ビット（ただし、ｐ（ｍ）≦ｐ（ｍ－１））からなるｍ段目のアキュムレータ２０ｍの上位には、ｍ－１段目のアキュムレータ２０（ｍ－１）の出力のうち上位からｑ（ｍ－１）ビット（ただし、１≦ｑ（ｍ－１）≦ｐ（ｍ））が入力される。さらに、ｍ段目のアキュムレータ２０ｍの残りの下位には、ｍ＋１段目以降の所定のアキュムレータの論理演算結果または外部から、ランダムな信号となるようなｐ（ｍ）－ｑ（ｍ－１）ビットの信号が入力端子２３ｍを介して入力される。なお、ｐ（ｍ）＝ｑ（ｍ－１）の場合には、入力端子２３ｍは、存在しないものとする。このような構成において、ｐ（１）＞ｐ（ｎ）となるように

各段のアキュムレータが構成されるものとする。

図１に本発明による信号処理装置の第１の実施例のブロック図を示す。端子１が外部から信号を入力する端子である。図１の端子１には１４本の線しか描かれていないが、実際には２０ビット分、即ち２０本の信号線が存在するものとする。２は２０ビット入力の加算器で、２０ビットの遅延器４と共に２０ビット入力のアキュムレータを構成する。この２０ビットアキュムレータの入力信号は、信号端子１から入力される２０ビットの信号である。

８は９ビット入力の加算器で、９ビットの遅延器１０と共に９ビット入力のアキュムレータを構成する。このアキュムレータの９ビット入力のうち、上位８ビットには、加算器２の出力のうちの上位８ビット、即ち加算器２と遅延器４からなる２０ビットのアキュムレータの出力のうち、上位８ビットが入力される。残りの最下位ビット入力には、端子７が接続される。

１３は６ビット入力の加算器で、６ビットの遅延器１５と共に６ビット入力のアキュムレータを構成する。この６ビット入力のアキュムレータには、加算器８の出力信号のうちの上位６ビットが入力される。

１８は４ビット入力の加算器で、４ビットの遅延器２０と共に４ビット入力のアキュムレータを構成する。この４ビット入力のアキュムレータには、加算器１３の出力信号のうちの上位４ビットが入力される。

各アキュムレータのオーバーフロー信号２２、２３、２４、２５は、信号処理部２７に入力される。信号処理部２７の具体的構成例を図２に示す。信号処理部２７の基本的構成は図５で説明した従来技術と同じである。つまり、３５、３７、３９、４１、４３、４５は遅延器であり、１クロック前の入力値を出力する。３６、３８、４０、４２、４４、４６は減算器であり、遅延器を通した入力値を遅延器を通さない入力値から引き算し、結果を出力する。４８は４入力の加算器である。

以上の構成により、この信号処理部２７では、キャリー信号、つまりオーバーフロー信号２２と、オーバーフロー信号２３の一階微分結果と、オーバーフロー

信号２４の二階微分結果と、オーバーフロー信号２５の三階微分結果の和をとり、端子２８より出力する作用を有する。

以上述べた、４個のアキュムレータと、信号処理部２７からなるブロック全体で、１個の信号処理装置が構成されている。その入力端子は１であり、出力端子は２８である。また、入力端子７は、後で述べるように、０と１をランダムに発生する外付けの信号源を接続するための端子である。

図１に示す構成では、アキュムレータ２と遅延器４は２０ビット、アキュムレータ８と遅延器１０は９ビット、アキュムレータ１３と遅延器１５は６ビット、アキュムレータ１８と遅延器２０は４ビットである。回路規模はこれらのビット数の和にほぼ比例する。即ち、２０＋９＋６＋４＝３９ビット相当の規模となる。これに対し、図４に示した従来技術による構成では、２０ビット×４＝８０ビット相当の規模となる。即ち、図１に示す構成は、図４の構成に比べて同じ入力ビット数を維持しつつ、その回路規模を半減できている。

図３に本発明による信号処理装置の第２の実施例のブロック図を示す。図１に示したものと構成的にはほぼ同じであり、９ビット入力のアキュムレータ８の入力のうちの最下位１ビット入力端子７に、３入力ＮＡＮＤゲート３０の出力信号が入力される点が異なっている。３入力ＮＡＮＤゲート３０には、４ビットの遅延器２０の出力データのうちの下位３ビットが入力される。即ち、図１の入力端子７に入力する、０と１をランダムに発生する外付け信号源を、１クロック前のアキュムレータ１８の出力信号である、遅延器２０の出力信号の下位３ビットを入力とする３入力ＮＡＮＤゲート３０の出力で代用している。これは、図１に示す構成のように、複数のアキュムレータをカスケードに接続した構成では、後段のアキュムレータになるほど、その出力値の変動のランダム性が増すことを利用したものである。また、３入力ＮＡＮＤゲート３０を用いた理由は、ランダム性の増した後段のアキュムレータの信号を元に、更にランダム性の大きい信号を得ることにある。

図７～図９を参照して、本発明による信号処理装置の出力スペクトルについて

説明する。図７は、図４に示した従来構成による信号処理装置の量子化雑音スペクトルを示す。シグマデルタ変調器の次数は４次で、入力信号のビット数は２０ビット、クロック周波数は２．４ＭＨｚである。量子化ノイズのスロープは、シグマデルタ変調器の次数が４次であることから、２０ｄｂ／ｄｅｃの４倍の、８０ｄｂ／ｄｅｃとなっている。

図１０に本発明による信号処理装置の第３の実施例のブロック図を示す。図８は、図１０の構成による信号処理装置の量子化ノイズスペクトルである。図１０の構成は、２段目のアキュムレータへの入力端子７が省略され、アキュムレータ２の出力で代用している以外は、図１に示した本願発明の例と同様の構成になっている。アキュムレータのビット数は、図１０の左側から順に、２０ビット、９ビット、６ビット、４ビットとなっている。

図７に示した従来技術によるスペクトルと比較すると、多段にカスケード接続するアキュムレータのビット数を減らすことにより、３０ＫＨｚ以下の領域の量子化ノイズが平坦になっている。図８では、これをフロアノイズ９１と表している。また、３０ＫＨｚ以上の領域では、従来技術と同様の８０ｄｂ／ｄｅｃのスロープが得られているが、図８にスプリアス８９、９０と記したような、不要な線スペクトルがいくつか現れている。

まず、低周波領域におけるフロアノイズの上昇については、例えば図８の場合では、このフロアノイズレベルは、最大出力レベルに比べて１２０ｄｂ以上低く、オーディオ用途などでは充分無視できるレベルにある。また、フロアノイズレベルは、クロック周波数と、多段にカスケード接続するアキュムレータのビット数の減らし方に依存する。

従って、本発明を応用する分野で要求されるスペックに応じ、クロック周波数と、アキュムレータのビット数の減らし方を最適設計することにより、フロアノイズを無視できるレベルに留めることが可能である。

一方、スプリアス８９、９０等の不要な線スペクトルは、後段のアキュムレータのビット数が少ないことにより、出力信号の周期性が顕著になったために生じ

たものである。この線スペクトルは、応用によって無視できる場合と無視できない場合がある。この不要な線スペクトルが実用上害を及ぼさない場合は、図１０のような構成をそのまま用いることができる。

図９は、本発明の第２の実施例として示した、図３の構成による信号処理装置の量子化ノイズスペクトルである。図８に示した例と同様、３０ＫＨｚ以下の領域にはフロアノイズ９２が現れている。このフロアノイズが実用上問題とならないこと、及びフロアノイズレベルをアキュムレータのビット数の選び方とクロック周波数の選び方で設計できることは、前述の通りである。

一方、３０ＫＨｚ以上の領域では、図８に示した例とは異なり、不要な線スペクトルは一切見られ無いことが分かる。これは２段目のアキュムレータの最下位ビット入力端子７に、４段目のアキュムレータ１８の下位３ビット信号２９を３入力ＮＡＮＤゲート３０に入力して得られる信号を供給することにより、出力信号に明確な周期性が観測されなくなり、結果として不要な線スペクトルの発生が抑制されたものである。同様の効果は、図１に示す構成において、入力端子７に０と１をランダムに発生する外付けの信号源を接続することによっても実現される。

なお、入力端子７が接続される９ビットのアキュムレータ８のオーバーフロー信号２３は、信号処理部２７において一階微分された後、他のアキュムレータのオーバーフロー信号もしくはその微分信号と加算され、端子２８より出力される。従って、入力端子７に入力される信号成分は、端子２８より出力される信号の直流成分には影響を与えない。

以上述べた構成により、まず従来技術による高次シグマデルタ変調器よりも小さい回路規模で、同様の機能を実現することが出来る。また、後段のアキュムレータ出力から２段目のアキュムレータ入力の最下位ビット入力にフィードバックをかけることにより、カスケードに接続したアキュムレータの段数を順次減らすことにより生じる、不要な線スペクトルを抑制することが出来る。

以上述べたような利点は、本発明を分周比制御部として用いたフラクショナル

Ｎ－ＰＬＬシンセサイザについても得られる。その場合、図１、図３に示した構成による信号処理装置を、図６の分周比制御器８５として用いる。その結果、従来技術による分周比制御部よりも小さい回路規模とすることができる。また、ＰＬＬシンセサイザでは、図８に示したスプリアス８９、９０の様な不要な線スペクトルは、シンセサイザ出力に不要なスプリアスを発生させる原因となる。これについては、図１に示した構成のように、２段目のアキュムレータの最下位ビットに、０、１をランダムに発生する外部信号源を接続する、もしくは図３に示した構成のように、後段のアキュムレータ出力から２段目のアキュムレータ入力の最下位ビットにフィードバックをかけることにより抑制することができる。

図１１は、本発明による信号処理装置の第４の実施例を示すブロック図である。端子１が、外部から信号を入力する端子である。見掛け上、本装置は図１に示した装置と同じであるが、端子１のビット数は１４ビットである。２は１４ビット入力の加算器で、１４ビットの遅延器４と共に１４ビット入力のアキュムレータを構成する。この１４ビット入力のアキュムレータの入力は、信号端子１に入力される１４ビットの信号である。

８は９ビット入力の加算器で、９ビットの遅延器１０と共に９ビット入力のアキュムレータを構成する。このアキュムレータの９ビット入力のうち、上位８ビットには、加算器２と遅延器４とからなる１４ビットのアキュムレータの出力のうち、上位８ビットが入力される。残りの最下位ビット入力には、入力端子７が接続される。

１３は６ビット入力の加算器で、６ビットの遅延器１５と共に６ビット入力のアキュムレータを構成する。この６ビット入力のアキュムレータには、加算器８の出力信号のうちの上位６ビットが入力される。

１８は４ビット入力の加算器で、４ビットの遅延器２０と共に４ビット入力のアキュムレータを構成する。この４ビット入力のアキュムレータには、加算器１３の出力信号のうちの上位４ビットが入力される。

各アキュムレータのオーバーフロー信号２２、２３、２４、２５は、信号処理部２７に入力される。信号処理部２７では、加算器４８によりオーバーフロー信号２２と、オーバーフロー信号２３の一階微分と、オーバーフロー信号２４の二階微分と、オーバーフロー信号２５の三階微分の和がとられ、出力端子２８より加算結果が出力される。

以上述べた、４個のアキュムレータと、信号処理部２７からなるブロック全体で、１個の信号処理装置が構成されている。その入力端子は１であり、出力端子は２８である。また、入力端子７は、０と１をランダムに発生する信号源を接続するための端子である。

作用のところで述べたとおり、この入力端子７に０と１をランダムに発生する信号源を接続することにより、この信号処理装置の出力に含まれる、不要な線スペクトルを抑制することができる。

図１２は、本発明による信号処理装置の第５の実施例を示すブロック図である。本実施例は、図１１に示した第４の実施例とほぼ同じ構成を有している。違いは、９ビット入力のアキュムレータ８の最下位ビット入力端子７に、３入力ＮＡＮＤゲート３０の出力信号が入力される点にある。３入力ＮＡＮＤゲート３０には、４ビットの遅延器２０の出力データのうちの下位３ビットが入力される。即ち、図１１の入力端子７に接続する、０と１をランダムに発生する外部信号源の代わりに、１クロック前のアキュムレータ１８の出力信号に相当する、遅延器２０の出力信号の下位３ビットのＮＡＮＤゲート出力を入力端子７に入力している。

図１３は、本発明による信号処理装置の第６の実施例を示すブロック図である。本実施例は、図１１に示した第４の実施例とほぼ同じ構成を有している。違いは、加算器１３と遅延器１５とからなる６ビット入力の１次シグマデルタ変調器の最下位ビット入力が、入力端子３２として外部に取り出されている点にある。入力端子７と、この入力端子３２は、０と１をランダムに発生する外部信号源を接続するための端子である。

図１４は、本発明による信号処理装置の第７の実施例を示すブロック図である。

図１４の第４の実施例は、図１３に示した第６の実施例とほぼ同じ構成を有している。違いは、９ビット入力のアキュムレータ８の最下位ビット入力端子７に、３入力ＮＡＮＤゲート３０の出力信号が入力され、かつ６ビット入力のアキュムレータ１３の最下位ビット入力端子３２に、３入力ＮＡＮＤゲート３４の出力信号が入力されている点にある。加えて、３入力ＮＡＮＤゲート３０には、４ビットの遅延器２０の出力データのうちの下位３ビットが入力され、３入力ＮＡＮＤゲート３４には、４ビットの遅延器２０の出力データのうちの上位３ビットが入力されている。即ち、図１３の入力端子７と３２に接続する、０と１をランダムに発生する信号として、１クロック前のアキュムレータ１８の出力信号を３入力ＮＡＮＤゲート３０、３４に入力して得られる信号を用いている。

なお、上記の第１～第７の実施例における信号処理部２７の第１の例について言えば、図２で説明した信号処理部２７とまったく同じ構成で良い。従って、図示及び詳しい説明は省略するが、信号処理部２７では、オーバーフロー信号２２と、オーバーフロー信号２３の一階微分結果と、オーバーフロー信号２４の二階微分結果と、オーバーフロー信号２５の三階微分結果の和を取り、端子２８より出力する。

図１５は、信号処理部２７の第２の例を示す。４９、５０、５１、５２、５３、５４は遅延器である。信号処理器５５では、オーバーフロー信号２２の値と、オーバーフロー信号２３の値と、オーバーフロー信号２４の値と、オーバーフロー信号２５の値と、遅延器４９の出力を－１倍した値と、遅延器５０の出力を－２倍した値と、遅延器５１の出力値と、遅延器５２の出力を－３倍した値と、遅延器５３の出力を３倍した値と、遅延器５４の出力を－１倍した値の和をとり、端子２８より出力する。この構成によっても、キャリー信号、つまりオーバーフロー信号２２と、オーバーフロー信号２３の一階微分結果と、オーバーフロー信号２４の二階微分結果と、オーバーフロー信号２５の三階微分結果の和を取り、端子２８より出力する作用が実現される。

図１６は、本発明による信号処理装置の構成の第８の実施例を示すブロック図

である。端子１が、外部から信号を入力する端子である。端子１のビット数は１４ビットである。２は１４ビット入力の加算器で、１４ビットの遅延器４と共に１４ビット入力のアキュムレータを構成する。この１４ビット入力のアキュムレータの入力は、信号端子１に入力される１４ビットの信号である。

８は９ビット入力の加算器で、９ビットの遅延器１０と共に９ビット入力のアキュムレータを構成する。このアキュムレータには、加算器２と遅延器４とからなる１４ビットのアキュムレータの出力のうち、上位９ビットが入力される。

１３は６ビット入力の加算器で、６ビットの遅延器１５と共に６ビット入力のアキュムレータを構成する。この６ビット入力のアキュムレータには、加算器８の出力信号のうちの上位６ビットが入力される。

１８は４ビット入力の加算器で、４ビットの遅延器２０と共に４ビット入力のアキュムレータを構成する。この４ビット入力のアキュムレータには、加算器１３の出力信号のうちの上位４ビットが入力される。

各アキュムレータのオーバーフロー信号２２、２３、２４、２５は、信号処理部２７に入力される。信号処理部２７では、オーバーフロー信号２２と、オーバーフロー信号２３の一階微分と、オーバーフロー信号２４の二階微分と、オーバーフロー信号２５の三階微分の和がとられ、出力端子２８より結果が出力される。

以上述べた、４個のアキュムレータと、信号処理部２７からなるブロック全体で、１個の信号処理装置が構成されている。その入力端子は１であり、出力端子は２８である。

図１７は、本発明による信号処理装置を用いた、フラクショナルＮ－ＰＬＬシンセサイザの第１の実施例に関わる説明図を示す。ＶＣＯ８４の出力は２つに分岐され、一方はＰＬＬシンセサイザの最終出力８８となり、もう一方は整数分周器８６に入力される。整数分周器８６で分周された出力は位相比較器（以下、ＰＤと略称する）８１に入力される。ＰＤ８１のもう一方の入力には、リファレンス信号８７が入力され、リファレンス信号８７と、整数分周器８６の出力信号との位相差がチャージポンプ（以下、ＣＰと略称する）８２へ出力される。ＣＰ８

２は、受け取った位相差情報を電流、ないしは電圧に変換し、これがループフィルタ（以下、Ｌ．Ｆ．と略称する）８３を通った後、ＶＣＯ８４にフィードバックされる。このフィードバックの作用により、ＶＣＯ８４の出力する信号の周波数は、リファレンス信号８７の周波数の分周比倍にロックされる。このとき、整数分周器８６の分周比を、本発明による信号処理装置を応用した分周比制御器８５で時系列的に制御することで、時間平均値として非整数の分周比を実現する。結果として、ＶＣＯ８４の出力周波数を、リファレンス周波数 f ref の非整数倍の値とすることができる。

なお、図１７に示したブロックのうち、整数分周器８６と分周比制御器８５のみを取り出せば、これが非整数分周器として動作することは明白である。

図１８は、本発明による信号処理装置を分周比制御器８５として見た場合の第１の実施例に関わる回路図を示す。本実施例は、図１１に示した信号処理装置の第４の実施例とほぼ同じ構成を有している。違いは、信号処理部１２１が、信号入力端子２６を備えている点にある。信号処理部１２１では、信号入力端子２６から入力される値と、オーバーフロー信号２２と、オーバーフロー信号２３の一階微分と、オーバーフロー信号２４の二階微分と、オーバーフロー信号２５の三階微分の和がとられ、出力端子２８より結果が出力される。

信号入力端子２６に所望の分周比の整数部を、信号入力端子１に所望の分周比の小数部のデータを入力することにより、出力端子２８には時間と共に変動する整数値が出力される。その時間平均値は、所望の、非整数の分周比に等しい数値となる。この出力端子２８に現れる信号を、分周比設定情報として整数分周器８６（図１７）に入力し、整数分周器８６の整数分周比を時系列的に変化させることにより、非整数分周動作が実現される。

なお、非整数の分周比を、その整数部と小数部に分割し、それぞれ入力端子２６、１に振り分ける方法は、従来技術によるフラクショナルＮ－ＰＬＬシンセサイザにおいて用いられている方法と何ら変わるところがないので、ここでは詳細は述べない。

図１９は、本発明による分周比制御器８５の第２の実施例に関わる回路図を示す。本実施例は、図１２に示した信号処理装置の第５の実施例とほぼ同じ構成を有している。違いは、信号処理部１２１が、信号入力端子２６を備えている点にある。信号処理部１２１では、信号入力端子２６から入力される値と、オーバーフロー信号２２と、オーバーフロー信号２３の一階微分と、オーバーフロー信号２４の二階微分と、オーバーフロー信号２５の三階微分の和がとられ、出力端子２８より結果が出力される。

図２０は、本発明による分周比制御器８５の第３の実施例に関わる回路図を示す。本実施例は、図１３に示した信号処理装置の第６の実施例とほぼ同じ構成を有している。違いは、信号処理部１２１が、信号入力端子２６を備えている点にある。信号処理部１２１では、信号入力端子２６から入力される値と、オーバーフロー信号２２と、オーバーフロー信号２３の一階微分と、オーバーフロー信号２４の二階微分と、オーバーフロー信号２５の三階微分の和がとられ、出力端子２８より結果が出力される。

図２１は、本発明による分周比制御器８５の第４の実施例に関わる回路図を示す。本実施例は、図１４に示した信号処理装置の第７の実施例とほぼ同じ構成を有している。違いは、信号処理部１２１が、信号入力端子２６を備えている点にある。信号処理部１２１では、信号入力端子２６から入力される値と、オーバーフロー信号２２と、オーバーフロー信号２３の一階微分と、オーバーフロー信号２４の二階微分と、オーバーフロー信号２５の三階微分の和がとられ、出力端子２８より結果が出力される。

図２２は、本発明による分周比制御器８５における信号処理部１２１の第１の例に関わる回路図を示す。本例は、前に述べた信号処理部の第１の例、つまり図２の信号処理部２７とほぼ同じ構成を有している。違いは、加算器４８において、信号入力端子２６に与えられる信号と、オーバーフロー信号２２と、オーバーフロー信号２３の一階微分結果と、オーバーフロー信号２４の二階微分結果と、オーバーフロー信号２５の三階微分結果の和が取られる点にある。

図２３は、本発明による分周比制御器８５における信号処理部１２１の第２の例に関わる回路図を示す。本例は、図１５に示した信号処理部２７の第２の例とほぼ同じ構成を有している。違いは、加算器５６において、信号処理器５５の出力と、信号入力端子２６に与えられる信号の和が取られる点にある。

図２４は、本発明による分周比制御器８５の第５の実施例に関わる回路図を示す。本実施例は、図１１に示した信号処理装置の第４の実施例とほぼ同じ構成を有している。違いは、加算器８と遅延器１０からなる２番目のアキュムレータの入力が、加算器２の出力からではなく、遅延器４の出力から取られている。また、加算器１３と遅延器１５からなる３番目のアキュムレータの入力が、加算器８の出力からではなく、遅延器１０の出力から取られている。加えて、加算器１８と遅延器２０からなる４番目のアキュムレータの入力が、加算器１３の出力からではなく、遅延器１５の出力から取られている。即ち、２番目のアキュムレータには、１番目のアキュムレータの１クロック前の出力値の上位８ビットが入力され、３番目のアキュムレータには、２番目のアキュムレータの１クロック前の出力値の上位６ビットが入力され、４番目のアキュムレータには、３番目のアキュムレータの１クロック前の出力値の上位４ビットが入力されている。各アキュムレータのオーバーフロー信号２２、２３、２４、２５は、信号処理部１０１に入力される。

信号処理部１０１では、信号入力端子２６から入力される値と、オーバーフロー信号２２と、オーバーフロー信号２３の一階微分と、オーバーフロー信号２４の二階微分と、オーバーフロー信号２５の三階微分の和がとられ、出力端子２８より結果が出力される。

図２５は、本発明における信号処理部１０１の第１の例に関わる回路図を示す。１０２、１０３、１０４、１０５、１０６、１０７は、入力したデータを１クロック遅延させて出力する遅延器である。これらの遅延器が挿入されていることを除けば、本構成は、図２２に示した信号処理部１２１の第１の例の構成と同じである。以上の構成により、信号処理部１０１では、信号端子２６より入力される

分周比の整数部分のデータと、オーバーフロー信号２２を３クロック遅延させた信号と、オーバーフロー信号２３の一階微分を２クロック遅延させた信号と、オーバーフロー信号２４の二階微分を１クロック遅延させた信号と、オーバーフロー信号２５の三階微分の和がとられ、出力端子２８より結果が出力される。

図２６は、本発明による分周比制御器８５の第６の実施例に関わる回路図を示す。本実施例は、図２４に示した分周比制御器８５の第５の実施例と同様の構成において、そのクロックの与え方の一つの例を示したものである。クロック信号は入力端子１０８より与えられ、加算器２、８、１３、１８、遅延器４、１０、１５、２０、信号処理部１０１に分配される。加算器２、８、１３、１８はクロックのアップエッジに同期して動作し、遅延器４、１０、１５、２０と信号処理部１０１はクロックのダウンエッジに同期して動作する。

図２７は、本発明による分周比制御器８５の第７の実施例に関わる回路図を示す。本実施例は、図１９に示した分周比制御器８５の第２の実施例と同様の構成において、そのクロックの与え方の一つの例を示したものである。クロック信号は入力端子１０８より与えられ、加算器２、遅延器４、１０、１５、２０、信号処理部１２１に分配される。加算器２と８との間が信号線１０９で接続され、加算器８と１３との間は信号線１１０で、加算器１３と１８との間は信号線１１１でそれぞれ接続されている。

加算器２はクロックのアップエッジに同期して動作する。加算器２の動作が終了すると、信号線１０９に加算器２の動作終了を表す信号が発生し、加算器８はこれを受けて動作を開始する。加算器８の動作が終了すると、信号線１１０に加算器８の動作終了を表す信号が発生し、加算器１３はこれを受けて動作を開始する。加算器１３の動作が終了すると、信号線１１１に加算器１３の動作終了を表す信号が発生し、加算器１８はこれを受けて動作を開始する。

以上の加算器２、８、１３、１８の一連の動作は、クロック信号の半周期以内に終了する。遅延器４、１０、１５、１８と信号処理部１２１はクロックのダウンエッジに同期して動作する。

図２８は、本発明による信号処理装置を用いたフラクショナルＮ－ＰＬＬシンセサイザの第２の実施例に関わるブロック図を示す。本実施例は、図１７に示したフラクショナルＮ－ＰＬＬシンセサイザの第１の実施例と同様の構成において、分周比制御器８５へのクロックの与え方の一つの例を示したものである。本実施例では、分周比制御器８５は、整数分周器８６の出力信号をクロックとして動作する。なお、分周比制御器８５へのクロック供給線１１３に、バッファ回路を設けたり、正負を反転するためのインバータを設けたりしても構わない。

図２９は、本発明による信号処理装置を用いたフラクショナルＮ－ＰＬＬシンセサイザの第３の実施例に関わるブロック図を示す。本実施例では、分周比制御器８５は、リファレンス信号８７をクロックとして動作する。なお、分周比制御器８５へのクロック供給線１１４に、バッファ回路を設けたり、正負を反転するためのインバータを設けたりしても構わない。

図３０は、本発明による信号処理装置を用いたフラクショナルＮ－ＰＬＬシンセサイザの第４の実施例に関わるブロック図を示す。１１５は、整数分周器８６の出力を分岐して得た信号を遅延させるための遅延器である。分周比制御器８５は、整数分周器８６の出力信号を遅延させて得た遅延信号をクロックとして動作する。

図３１は、本発明による信号処理装置を用いたフラクショナルＮ－ＰＬＬシンセサイザの第５の実施例に関わるブロック図を示す。１１６は、リファレンス信号８７を分岐したリファレンス信号１１４を遅延させるための遅延器である。分周比制御器８５は、リファレンス信号１１４を遅延させて得た遅延信号をクロックとして動作する。

図３２は、本発明による信号処理装置を用いたフラクショナルＮ－ＰＬＬシンセサイザの第６の実施例に関わるブロック図を示す。１１５は、整数分周器８６の出力を分岐して得た信号１１７を遅延させるための遅延器である。遅延器１１５の遅延時間を一定に保つため、遅延器１１５は整数分周器８６から信号１１８を受け取っている。整数分周器８６から遅延器１１５へ渡される信号１１８の例

としては、整数分周器８６を構成するプリスケーラの出力や、同じく整数分周器８６を構成するスワロカウンタの出力などが挙げられる。分周比制御器８５は、整数分周器８６の出力信号を遅延させて得た信号１１７をクロックとして動作する。

図３３は、本発明による信号処理装置を用いたフラクショナルＮ－ＰＬＬシンセサイザの第７の実施例に関わるブロック図を示す。整数分周器８６は、位相の異なる複数の分周出力を発生する整数分周器である。整数分周器８６の出力の一方である信号１２０はＰＤ８１へ、もう一方は分周比制御器８５にクロック信号１１９として供給される。

産業上の利用の可能性

以上説明してきたように、本発明によれば同じ入力ビット数を維持しつつ回路規模が小さくて済む信号処理装置を提供することができ、チップ面積の増大、消費電流の増加の問題を解消することができる。

本発明による信号処理装置を分周比制御部として備えることで回路規模の小さなフラクショナルＮ－ＰＬＬシンセサイザを提供することができ、特に、不要な線スペクトルを抑制することで不要なスプリアスを抑制することができる。

請 求 の 範 囲

1．縦続接続されたｎ段のアキュムレータと、

ｍ段目（ただし、２≦ｍ≦ｎ）のアキュムレータのオーバフロー信号を（ｍ－１）階微分演算する手段と、

１段目のアキュムレータの出力と２段目からｎ段目までの前記微分演算結果とを全て加算して出力する加算手段とを備え、

ｐ（１）ビットからなる１段目のアキュムレータには、ｐ（１）ビットの信号入力が入力され、

ｐ（ｍ）ビット（ただし、ｐ（ｍ）≦ｐ（ｍ－１））からなるｍ段目のアキュムレータの上位には、ｍ－１段目のアキュムレータの出力のうち上位からｑ（ｍ－１）ビット（ただし、１≦ｑ（ｍ－１）≦ｐ（ｍ））が入力され、

前記ｍ段目のアキュムレータの残りの下位には、ｍ＋１段目以降の所定のアキュムレータの論理演算結果または外部から、ランダムな信号となるようなｐ（ｍ）－ｑ（ｍ－１）ビットの信号が入力され、

ｐ（１）＞ｐ（ｎ）であることを特徴とする信号処理装置。

2．ｐビットの第１の信号入力端子及びｋビットの第２の信号入力端子を備えると共に、ｑを（ｐ－１）以下の整数として、ｐビットの第１のアキュムレータ及びｑビットの第２のアキュムレータと、前記第１のアキュムレータのオーバーフロー信号と前記第２のアキュムレータのオーバーフロー信号を一階微分演算した信号とを加算する加算手段とを備え、

前記第１の信号入力端子から入力されるｐビットの信号が前記第１のアキュムレータに入力され、前記第２のアキュムレータの入力のうちの上位（ｑ－ｋ）ビットには、前記第１のアキュムレータの出力信号のうちの上位（ｑ－ｋ）ビットが入力され、前記第２のアキュムレータの残りのｋビットには前記第２の信号入力端子が接続されることを特徴とする信号処理装置。

3．ｐ（１）ビットの第１の信号入力端子及びｋビットの第２の信号入力端子を

備えると共に、ｎを３以上の整数として、第１から第ｎのｎ個のアキュムレータと、１以上ｎ以下の全ての整数ｍに対し、第ｍのアキュムレータのオーバーフロー信号を（ｍ－１）階微分演算する手段と、前記第１から第ｎのアキュムレータのオーバーフロー信号の前記微分結果を加算する加算手段とを備え、

第ｍのアキュムレータのビット数はｐ（ｍ）であり、かつｐ（２）はｐ（１）－１以下の整数であり、第２のアキュムレータの入力のうちの上位ｐ（２）－ｋビットには、第１のアキュムレータの出力信号のうちの上位ｐ（２）－ｋビットが入力され、前記第２のアキュムレータの残りのｋビットには前記第２の信号入力端子が接続され、３以上ｎ以下の全ての整数ｓについて、ｐ（ｓ）はｐ（ｓ－１）以下の整数であり、第ｓのアキュムレータには、第（ｓ－１）のアキュムレータの出力信号のうちの上位ｐ（ｓ）ビットが入力されることを特徴とする信号処理装置。

４．請求の範囲第２、３項のいずれかに記載した信号処理装置において、ｋ＝１とすることを特徴とする信号処理装置。

５．請求の範囲第３、４項のいずれかに記載した信号処理装置において、ｋビットの前記第２の信号入力端子に入力する信号として、第３番目以降のアキュムレータの出力信号から任意のｋビットを選び出して用いることを特徴とする信号処理装置。

６．請求の範囲第３、４項のいずれかに記載した信号処理装置において、ｋビットの前記第２の信号入力端子に入力する信号を、第３番目以降のアキュムレータ出力から選び出した任意のｒビット信号の論理合成手段により得ることを特徴とする信号処理装置。

７．ｐビットの第１の信号入力端子及びｋビットの第２の信号入力端子を備えると共に、ｑを（ｐ－１）以下の整数として、ｐビットの第１のアキュムレータ及びｑビットの第２のアキュムレータ２と、前記第１のアキュムレータの１クロック前のオーバーフロー信号と前記第２のアキュムレータのオーバー

フロー信号を一階微分演算した信号とを加算する加算手段とを備え、

前記第１の信号入力端子から入力されるｐビットの信号がｐビットの前記第１のアキュムレータに入力され、前記第２のアキュムレータの入力のうちの上位（ｑ－ｋ）ビットには、前記第１のアキュムレータの１クロック前の出力信号のうちの上位（ｑ－ｋ）ビットが入力され、前記第２のアキュムレータの残りのｋビットには前記第２の信号入力端子が接続されることを特徴とする信号処理装置。

８．ｐ（１）ビットの第１の信号入力端子１及びｋビットの第２の信号入力端子とを備えると共に、ｎを３以上の整数として、第１から第ｎのｎ個のアキュムレータと、１以上ｎ以下の全ての整数ｍに対して、第ｍのアキュムレータの（ｎ－ｍ）クロック前のオーバーフロー信号を（ｍ－１）階微分演算する手段と、前記第１から第ｎのアキュムレータのオーバーフロー信号の前記微分結果を加算する加算手段とを備え、

第ｍのアキュムレータのビット数はｐ（ｍ）であり、かつｐ（２）はｐ（１）－１以下の整数であり、第２のアキュムレータの入力のうちの上位ｐ（２）－ｋビットには、第１のアキュムレータの１クロック前の出力信号のうちの上位ｐ（２）－ｋビットが入力され、前記第１のアキュムレータの残りのｋビットには前記第２の信号入力端子が接続され、３以上ｎ以下の全ての整数ｓについて、ｐ（ｓ）はｐ（ｓ－１）以下の整数であり、第ｓのアキュムレータには、第（ｓ－１）のアキュムレータの１クロック前の出力信号のうちの上位ｐ（ｓ）ビットが入力されることを特徴とする信号処理装置。

９．請求の範囲第７、８項のいずれかに記載した信号処理装置において、ｋ＝１とすることを特徴とする信号処理装置。

１０．請求の範囲第８、９項のいずれかに記載した信号処理装置において、ｋビットの前記第２の信号入力端子に入力する信号として、第３番目以降のアキュムレータの出力信号から任意のｋビットを選び出して用いることを特徴とする信号処理装置。

１１．請求の範囲第８、９項のいずれかに記載した信号処理装置において、ｋビットの前記第２の信号入力端子に入力する信号を、第３番目以降のアキュムレータ出力から選び出した任意のｒビット信号の論理合成手段により得ることを特徴とする信号処理装置。

１２．請求の範囲第３～６項のいずれかに記載した信号処理装置において、ｐビットの前記第１の信号入力端子とｋビットの前記第２の信号入力端子に加えてｋ（１）ビットの第３の入力端子を備え、３以上ｎ以下のある整数ｔに対して、第ｔのアキュムレータの入力の上位ｐ（ｔ）－ｋ（１）ビットには、第（ｔ－１）のアキュムレータにおける加算器の出力信号のうちの上位ｐ（ｔ）－ｋ（１）ビットが入力され、前記第ｔのアキュムレータの残りのｋ（１）ビットにはｋ（１）ビットの前記第３の入力端子が接続されることを特徴とする信号処理装置。

１３．請求の範囲第８～１１項のいずれかに記載した信号処理装置において、ｐビットの前記第１の信号入力端子とｋビットの前記第２の信号入力端子に加えてｋ（１）ビットの第３の入力端子を備え、３以上ｎ以下のある整数ｔに対して、第ｔのアキュムレータの入力の上位ｐ（ｔ）－ｋ（１）ビットには、第（ｔ－１）のアキュムレータにおける加算器の１クロック前の出力信号のうちの上位ｐ（ｔ）－ｋ（１）ビットが入力され、残りのｋ（１）ビットにはｋ（１）ビットの入力端子が接続されることを特徴とする信号処理装置。

１４．請求の範囲第１２、１３項のいずれかに記載した信号処理装置において、ｋ（１）ビットの前記第３の入力端子に入力する信号として、第（ｔ＋１）番目以降のアキュムレータの出力信号から任意のｋ（１）ビットを選び出して用いることを特徴とする信号処理装置。

１５．請求の範囲第１２、１３項のいずれかに記載した信号処理装置において、ｋ（１）ビットの前記第３の入力端子に入力する信号を、第（ｔ＋１）番目以降のアキュムレータ出力から選び出した任意のｒビット信号の論理合成手段により得ることを特徴とする信号処理装置。

１６．請求の範囲第１２～１５項のいずれかに記載した信号処理装置において、ｋ（１）＝１とすることを特徴とする信号処理装置。

１７．請求の範囲第３～６項のいずれかに記載した信号処理装置において、３以上ｎ以下の範囲に含まれる（ｎ－２）個の整数値のうちｖ個を選び出し、その値を小さい方から順にｔ（１）、ｔ（２）、・・・、ｔ（ｖ）と表したときに、１以上ｖ以下の任意の整数ｗに対し、ｋ（ｗ）ビットの入力端子を備え、第ｔ（ｗ）番目のアキュムレータの入力の上位ｐ｛ｔ（ｗ）｝－ｋ（ｗ）ビットには、第｛ｔ（ｗ）－１｝番目のアキュムレータの出力信号のうちの上位ｐ｛ｔ（ｗ）｝－ｋ（ｗ）ビットが入力され、前記第ｔ（ｗ）番目のアキュムレータの残りのｋ（ｗ）ビットにはｋ（ｗ）ビットの入力端子が接続されることを特徴とする信号処理装置。

１８．請求の範囲第８～１１項のいずれかに記載した信号処理装置において、３以上ｎ以下の範囲に含まれる（ｎ－２）個の整数値のうちｖ個を選び出し、その値を小さい方から順にｔ（１）、ｔ（２）、・・・、ｔ（ｖ）と表したときに、１以上ｖ以下の任意の整数ｗに対し、ｋ（ｗ）ビットの入力端子を備え、第ｔ（ｗ）番目のアキュムレータの入力の上位ｐ｛ｔ（ｗ）｝－ｋ（ｗ）ビットには、第｛ｔ（ｗ）－１｝番目のアキュムレータの１クロック前の出力信号のうちの上位ｐ｛ｔ（ｗ）｝－ｋ（ｗ）ビットが入力され、前記第ｔ（ｗ）番目のアキュムレータの残りのｋ（ｗ）ビットにはｋ（ｗ）ビットの入力端子が接続されることを特徴とする信号処理装置。

１９．請求の範囲第１７、１８項のいずれかに記載した信号処理装置において、１以上ｖ以下のいくつか、もしくは全ての整数ｗに対し、前記ｋ（ｗ）ビットの入力端子に入力する信号として、第ｔ（ｗ）＋１番目以降のアキュムレータの出力信号から任意のｋ（ｗ）ビットを選び出して用いることを特徴とする信号処理装置。

２０．請求の範囲第１７～１９項のいずれかに記載した信号処理装置において、１以上ｖ以下のいくつか、もしくは全ての整数ｗに対し、前記ｋ（ｗ）ビッ

トの入力端子に入力する信号を、第ｔ（ｗ）＋１番目以降のアキュムレータの出力信号から選び出した任意のｒ（ｗ）ビット信号の論理合成手段により得ることを特徴とする信号処理装置。

２１．請求の範囲第１７～１９項のいずれかに記載した信号処理装置において、１以上ｖ以下の全ての整数ｗに対し、ｋ（ｗ）＝１とすることを特徴とする信号処理装置。

２２．請求の範囲第１２～２１項のいずれかに記載した信号処理装置において、ｋビットの前記第２の信号入力端子を備えず、第２のアキュムレータの入力のうちの上位ｐ（２）ビットには、第１のアキュムレータの出力信号のうちの上位ｐ（２）ビットが入力されることを特徴とする信号処理装置。

２３．ｐビットの第１の信号入力端子を備えると共に、ｑを（ｐ－１）以下の整数として、ｐビットの第１のアキュムレータとｑビットの第２のアキュムレータと、前記第１のアキュムレータのオーバーフロー信号と前記第２のアキュムレータのオーバーフロー信号を一階微分演算した信号とを加算する加算手段とを備え、

前記第１の信号入力端子から入力されるｐビットの信号がｐビットの前記第１のアキュムレータに入力され、前記第２のアキュムレータの入力のうちの上位ｑビットには、前記第１のアキュムレータの出力信号のうちの上位ｑビットが入力されることを特徴とする信号処理装置。

２４．ｐ（１）ビットの第１の信号入力端子を備えると共に、ｎを３以上の整数として、第１から第ｎのｎ個のアキュムレータと、１以上ｎ以下の全ての整数ｍに対して、第ｍのアキュムレータのオーバーフロー信号を（ｍ－１）階微分演算する手段と、第１から第ｎのアキュムレータのオーバーフロー信号の前記微分結果を加算する加算手段とを備え、

第ｍのアキュムレータのビット数はｐ（ｍ）であり、かつｐ（２）はｐ（１）－１以下の整数であり、第２のアキュムレータの入力のうちの上位ｐ（２）ビットには、第１のアキュムレータの出力信号のうちの上位ｐ（２）ビット

が入力され、３以上ｎ以下の全ての整数ｓについて、ｐ（ｓ）はｐ（ｓ－１）以下の整数であり、第ｓのアキュムレータには、第（ｓ－１）のアキュムレータの出力信号のうちの上位ｐ（ｓ）ビットが入力されることを特徴とする信号処理装置。

２５．請求の範囲第１～２４項のいずれかに記載した信号処理装置において、該信号処理装置を構成するすべてのアキュムレータ、すべての微分演算手段、すべての加算演算手段が、外部から供給されるクロック信号に同期して動作することを特徴とする信号処理装置。

２６．整数分周器と、請求の範囲第１～２５項のいずれかに記載した信号処理装置とを備え、前記整数分周器の分周比を前記信号処理装置の出力値で時系列的に制御することを特徴とする非整数分周器。

２７．請求の範囲第２６項に記載した非整数分周器において、前記信号処理装置のクロックとして、前記整数分周器の出力信号を用いることを特徴とする非整数分周器。

２８．請求の範囲第２６項に記載した非整数分周器において、前記信号処理装置のクロックを発生する手段として、前記整数分周器の動作に同期したクロック発生装置を備えることを特徴とする非整数分周器。

２９．請求の範囲第２６項に記載した非整数分周器において、前記信号処理装置のクロックを発生させる手段として、前記整数分周器の出力信号を遅延させた信号を用いることを特徴とする非整数分周器。

３０．請求の範囲第２６～２９項のいずれかに記載した非整数分周器を備えたことを特徴とするフラクショナルＮ－ＰＬＬシンセサイザ。

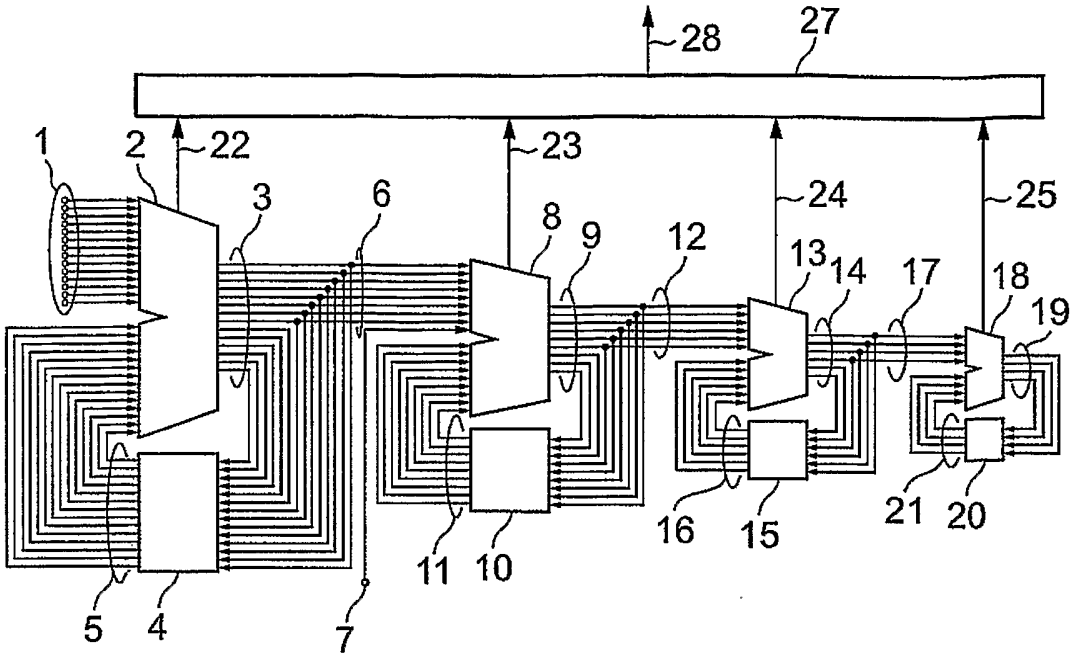
３１．請求の範囲第３０項に記載したフラクショナルＮ－ＰＬＬシンセサイザにおいて、前記信号処理装置のクロックとして、当該シンセサイザのリファレンス信号を用いることを特徴とするフラクショナルＮ－ＰＬＬシンセサイザ。

３２．請求の範囲第３１項に記載したフラクショナルＮ－ＰＬＬシンセサイザにおいて、前記信号処理装置のクロックを発生する手段として、当該シンセサ

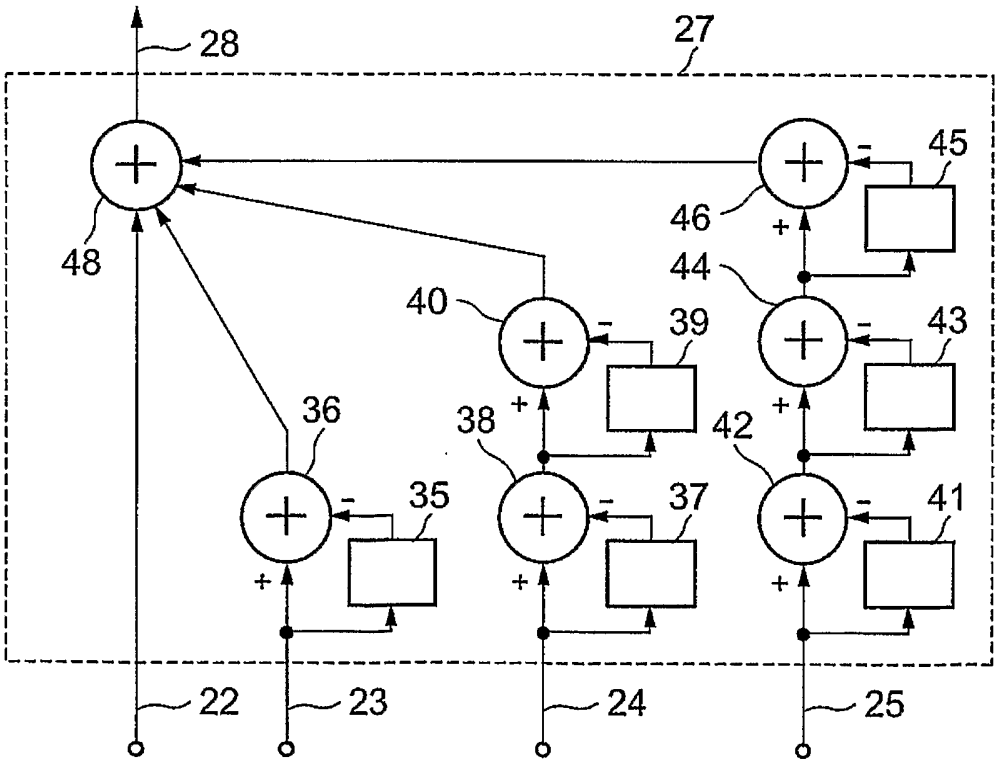
イザのリファレンス信号に同期したクロック発生装置を備えることを特徴とするフラクショナルＮ－ＰＬＬシンセサイザ。

３３．請求の範囲第３１項に記載したフラクショナルＮ－ＰＬＬシンセサイザにおいて、前記信号処理装置のクロックとして、当該シンセサイザのリファレンス信号を遅延させた信号を用いることを特徴とするフラクショナルＮ－ＰＬＬシンセサイザ。

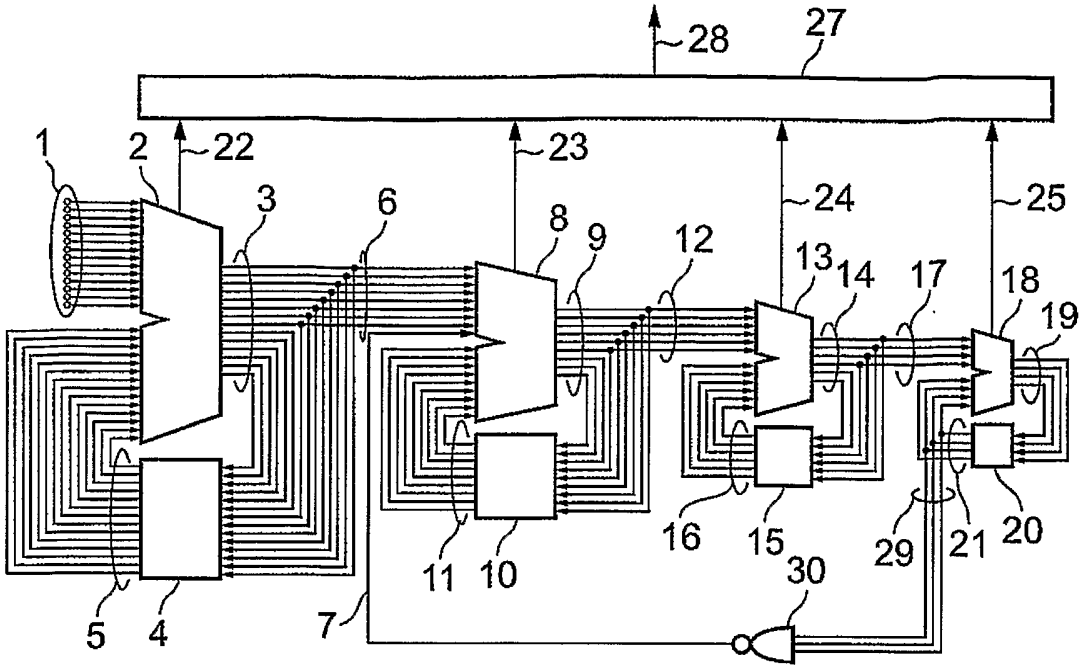
第１図


28
27
1
2
22
23
24
25
3
6
8
9
12
13
14
17
18
19
11
10
16
15
21
20
5
4
7

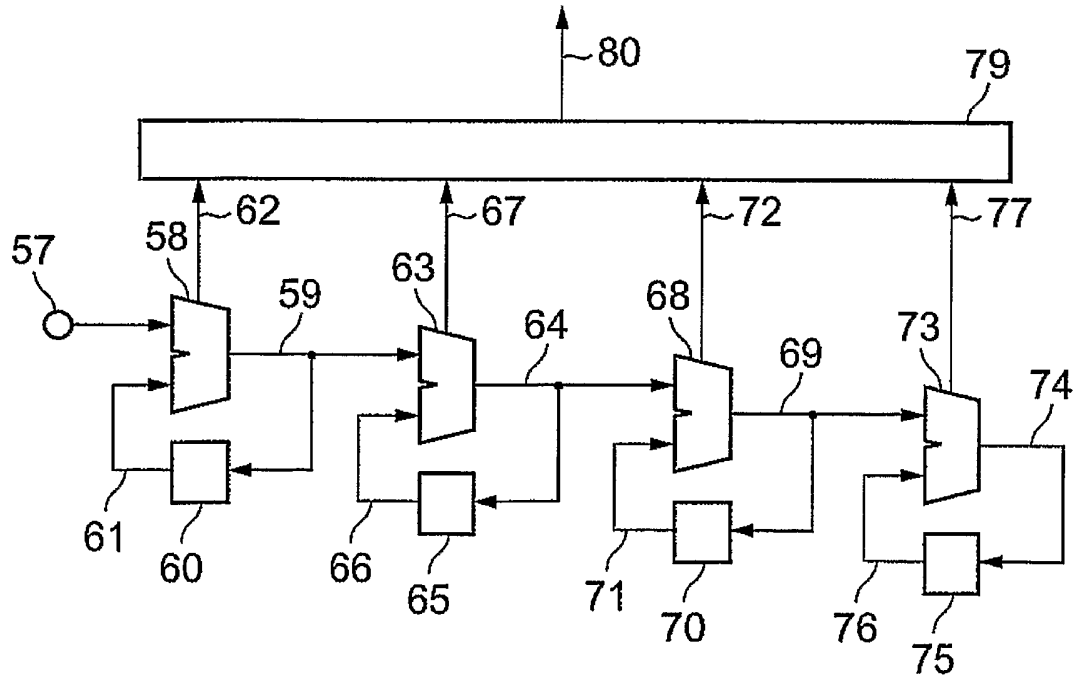
第２図


28
27
45
46
48
44
40
39
43
36
38
42
35
37
41
22
23
24
25

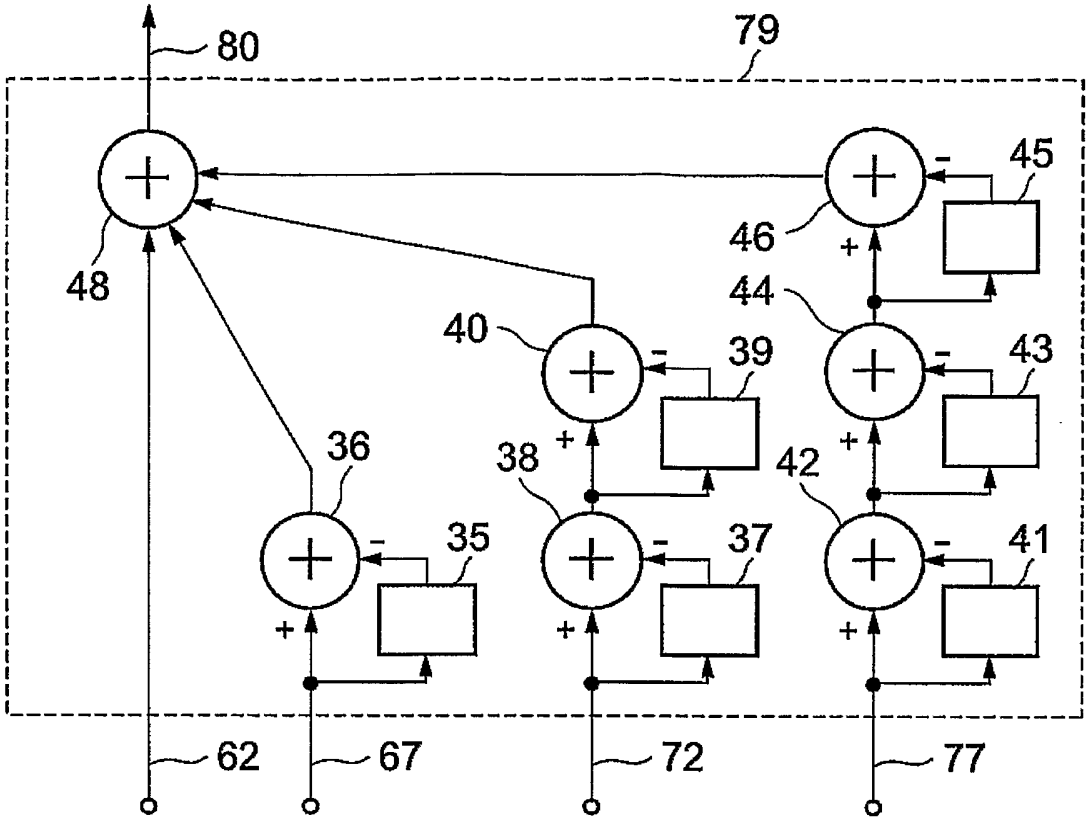
第３図


28
27
1
2
22
23
24
25
3
6
8
9
12
13
14
17
18
19
11
10
16
15
29
21
20
30
5
4
7

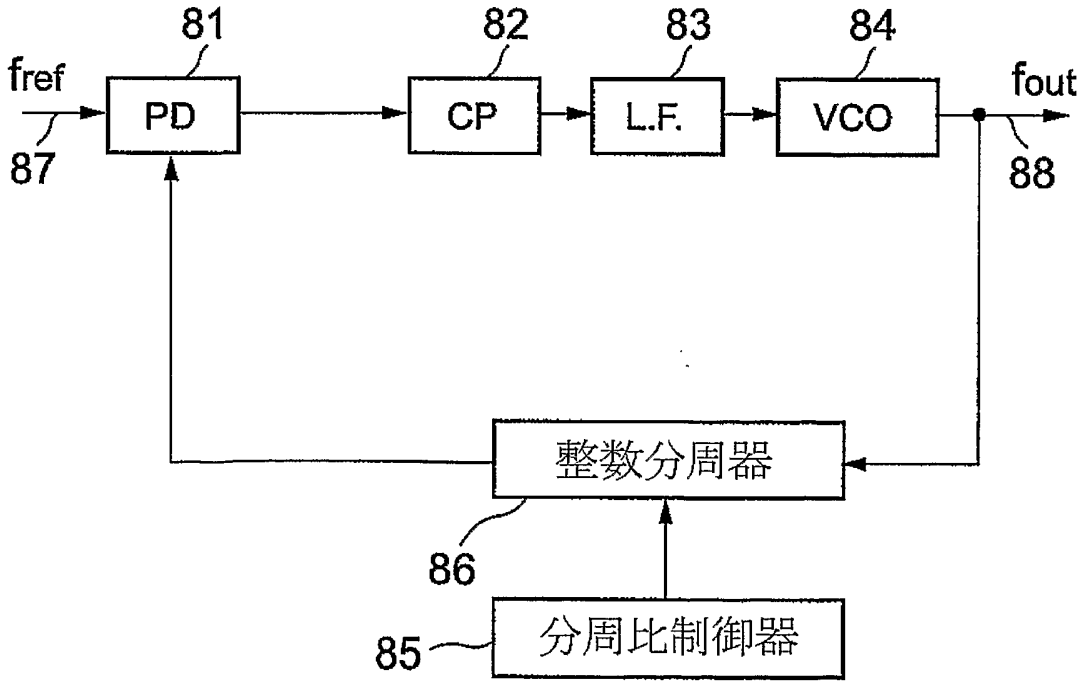
第４図


80
79
62
67
72
77
57
58
59
63
64
68
69
73
74
61
60
66
65
71
70
76
75

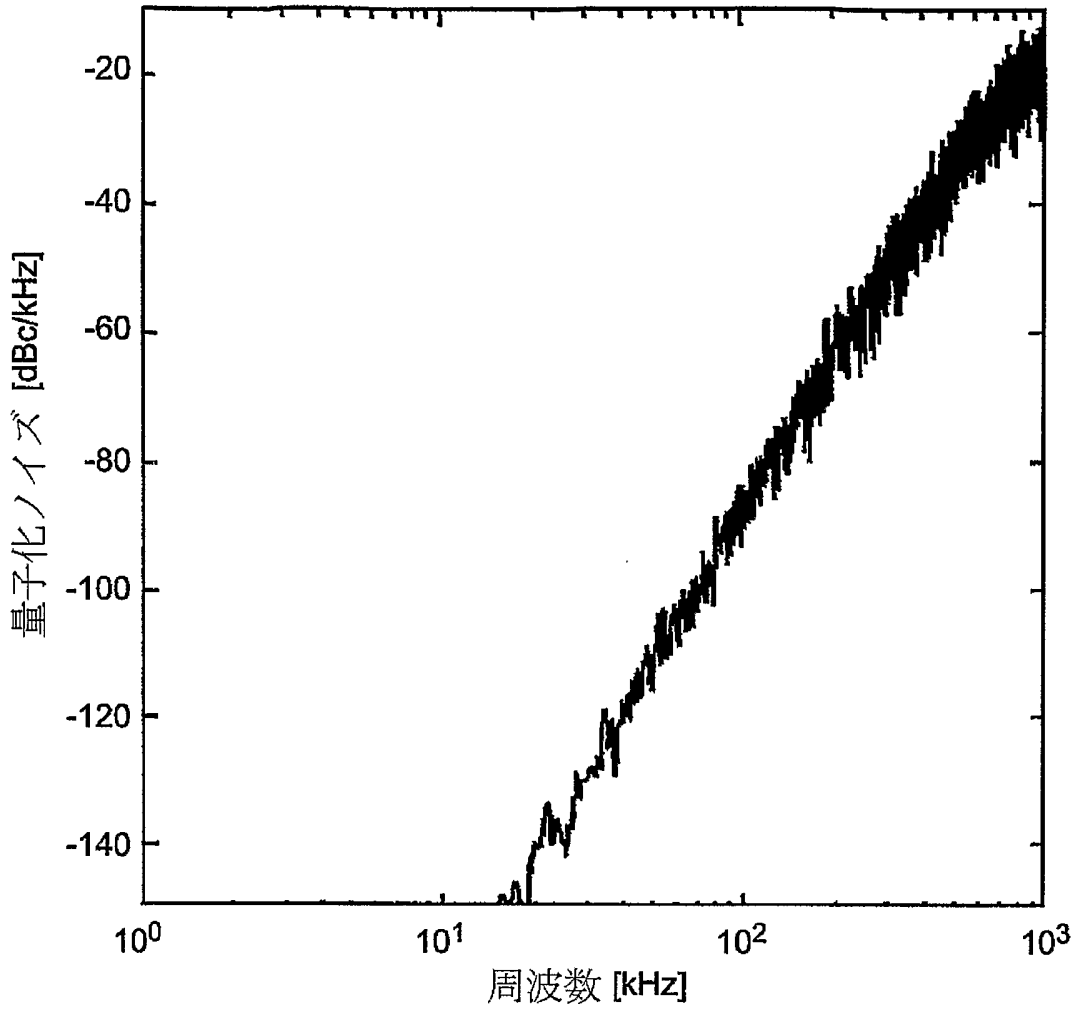
第５図


80
79
45
46
48
44
40
39
43
36
38
42
35
37
41
62
67
72
77

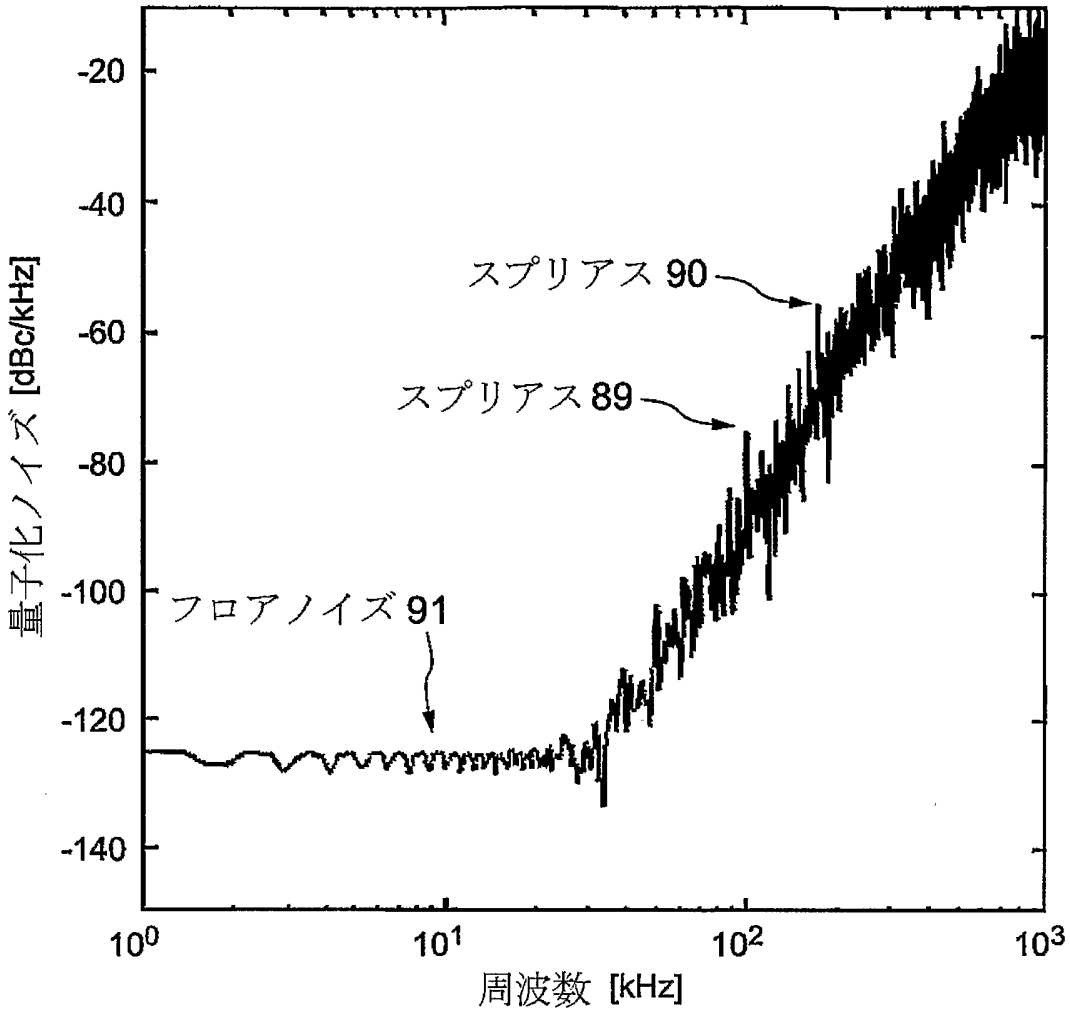
第６図


81
82
83
84
fref
PD
CP
L.F.
VCO
fout
87
88
整数分周器
86
85
分周比制御器

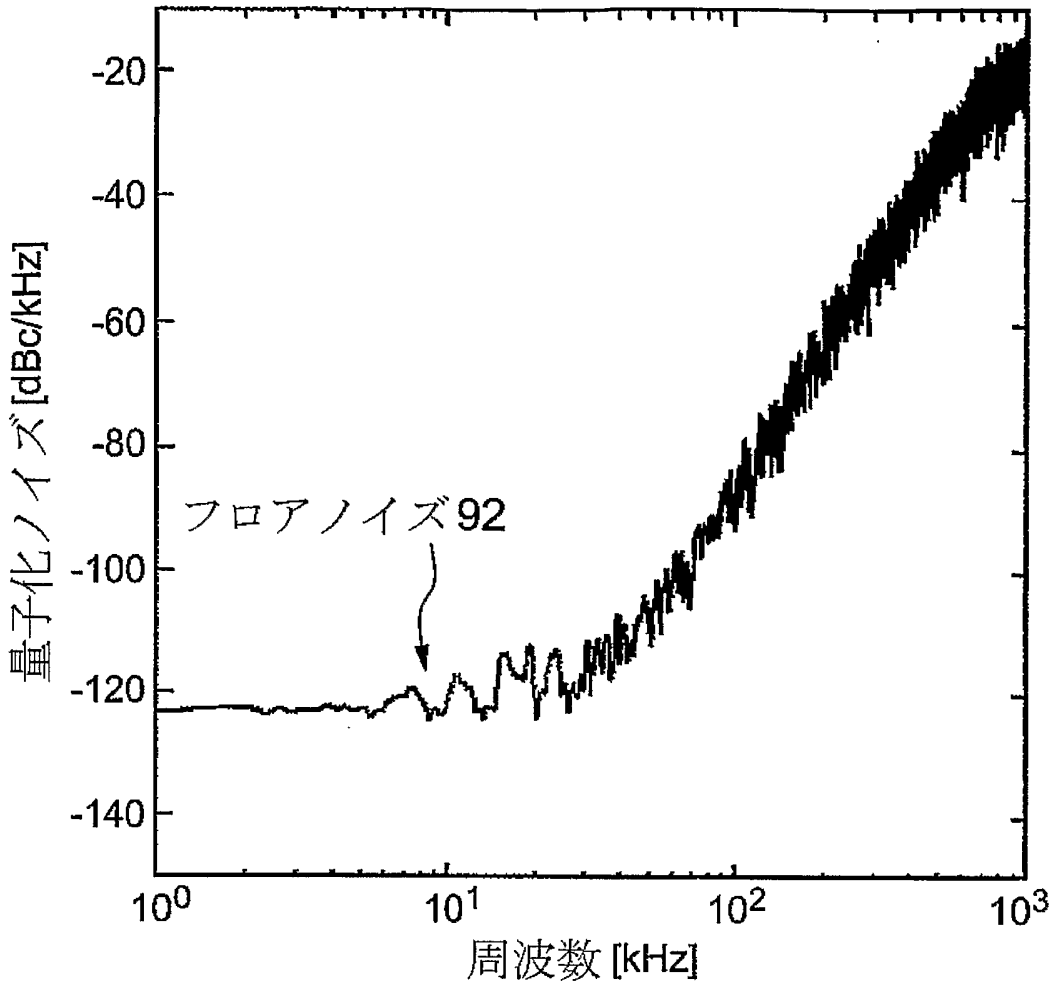
第7図



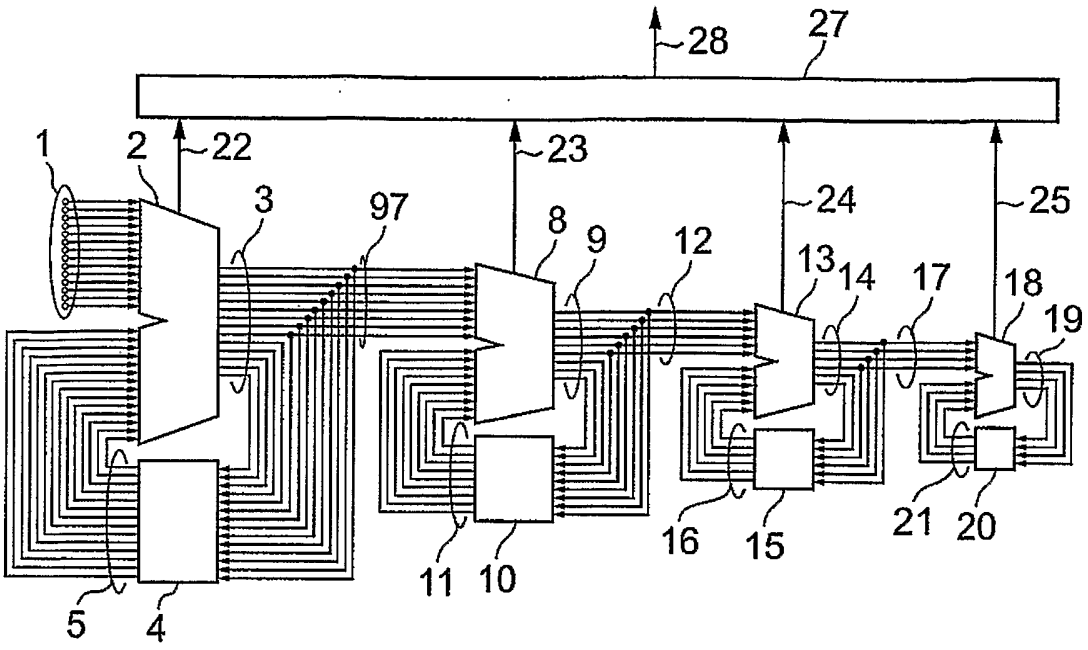
第８図


-20
-40
-60
-80
-100
-120
-140
量子化ノイズ [dBc/kHz]
スプリアス 90
スプリアス 89
フロアノイズ 91
10^0
10^1
10^2
10^3
周波数 [kHz]

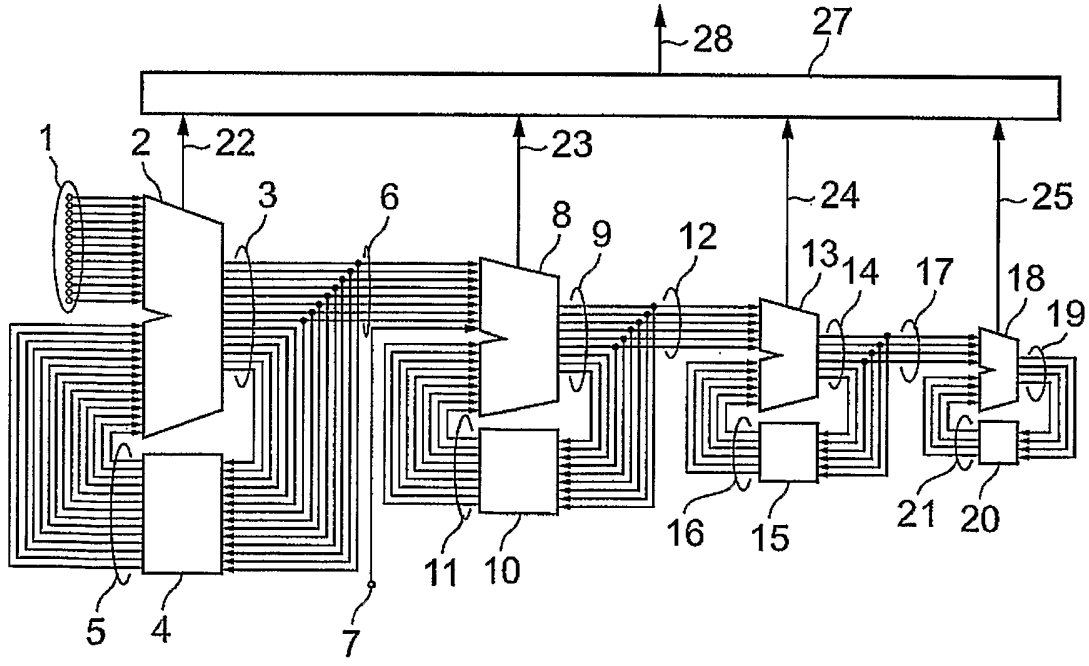
第９図


-20
-40
-60
-80
-100
-120
-140
量子化ノイズ[dBc/kHz]
フロアノイズ92
10^0
10^1
10^2
10^3
周波数 [kHz]

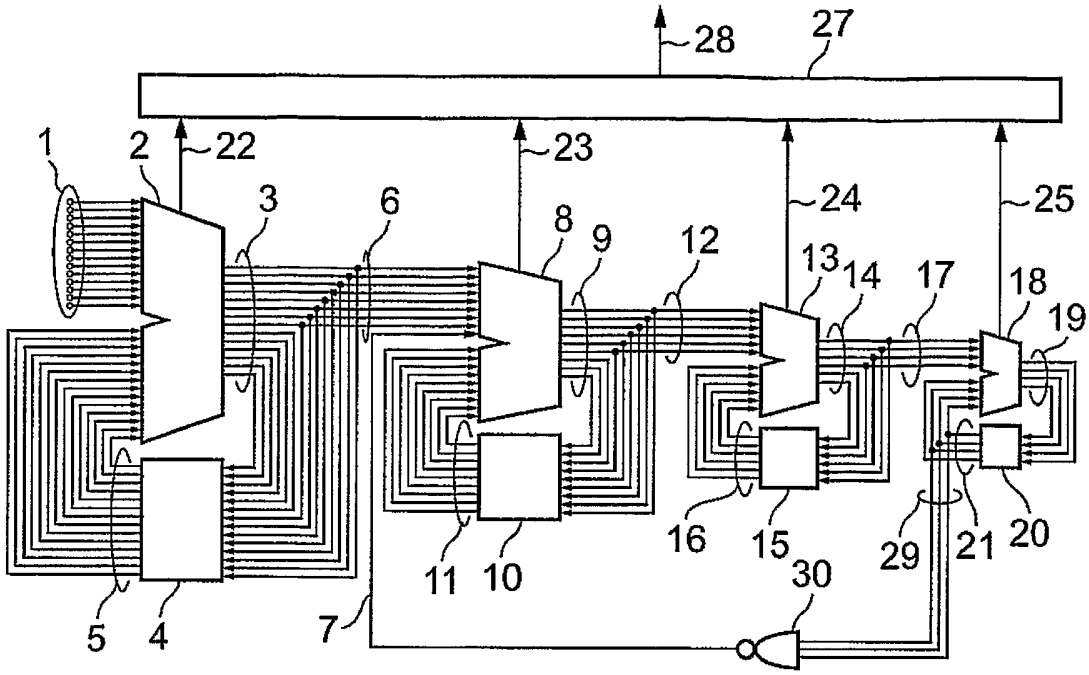
第１０図


28
27
1
2
22
23
24
25
3
97
8
9
12
13
14
17
18
19
16
15
21
20
11
10
5
4

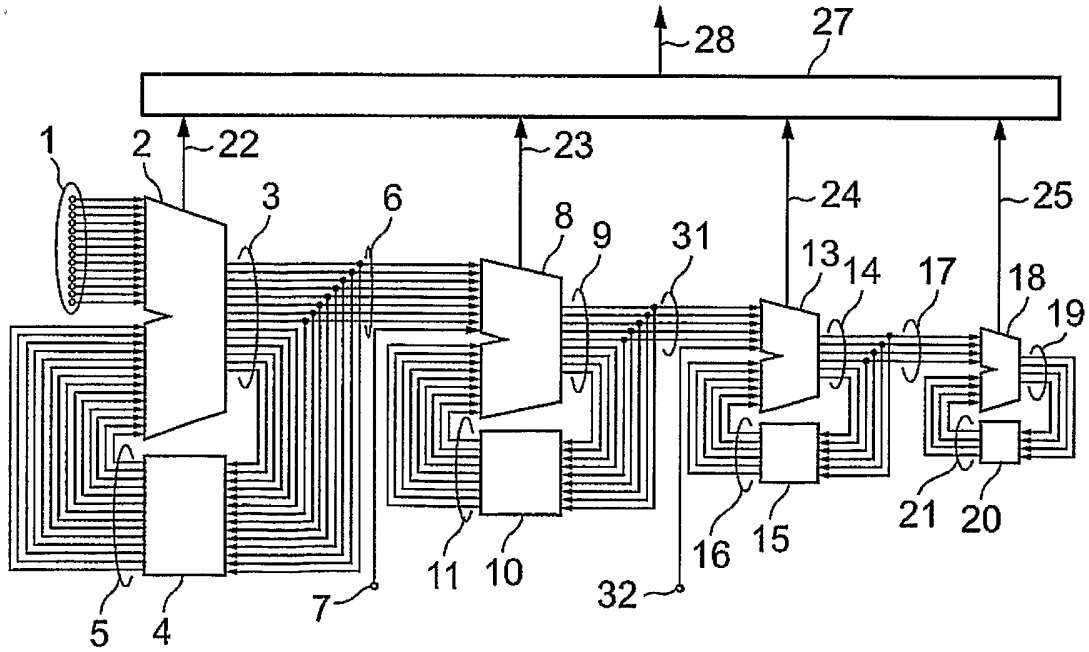
第１１図


28
27
1
2
22
23
24
25
3
6
8
9
12
13
14
17
18
19
16
15
21
20
11
10
5
4
7

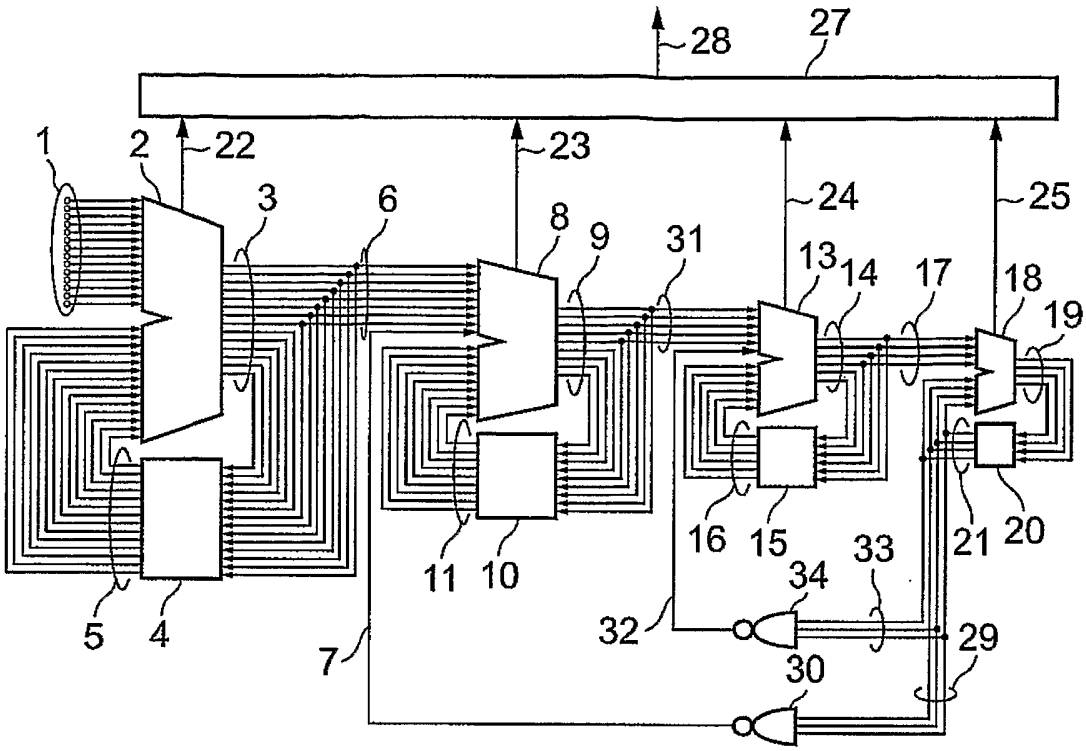
第１２図


28
27
1
2
22
23
24
25
3
6
8
9
12
13
14
17
18
19
16
15
29
21
20
11
10
30
5
4
7

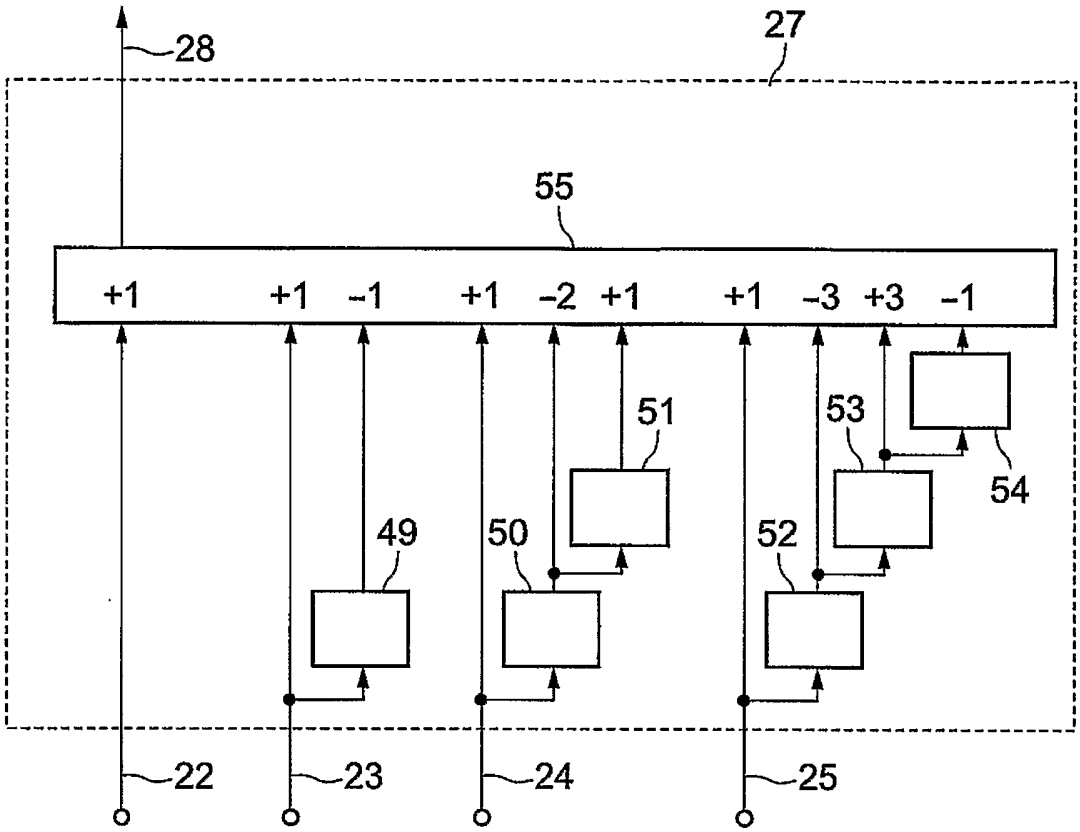
第１３図


28
27
1
2
22
23
24
25
3
6
8
9
31
13
14
17
18
19
21
20
16
15
11
10
32
5
4
7

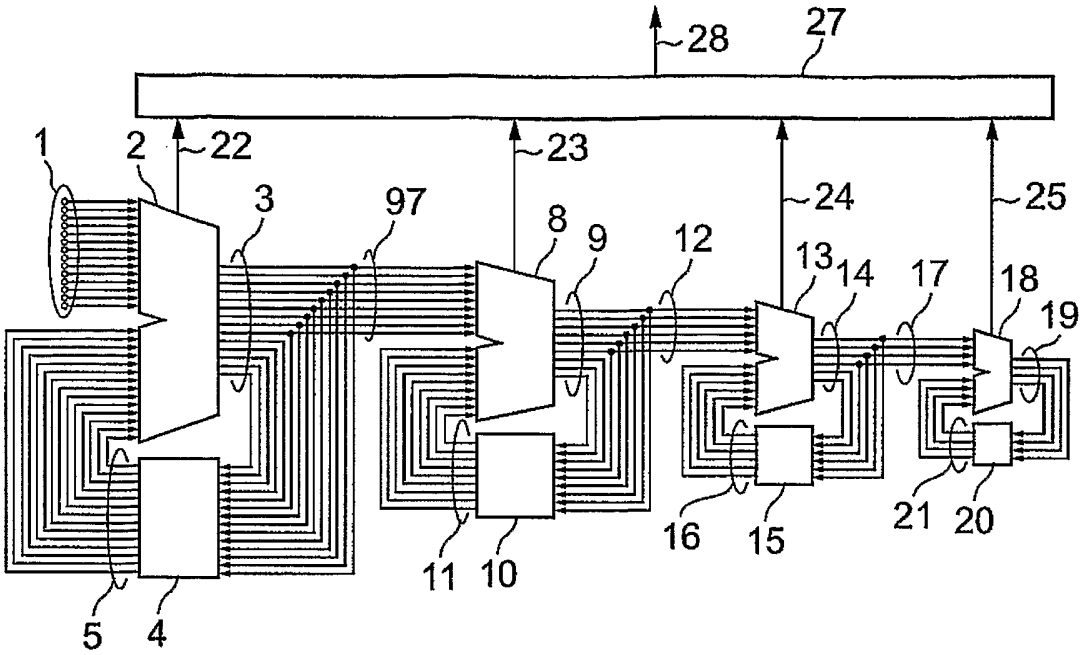
第１４図


28
27
1
2
22
23
24
25
3
6
8
9
31
13
14
17
18
19
16
15
33
21
20
11
10
34
32
29
5
4
7
30

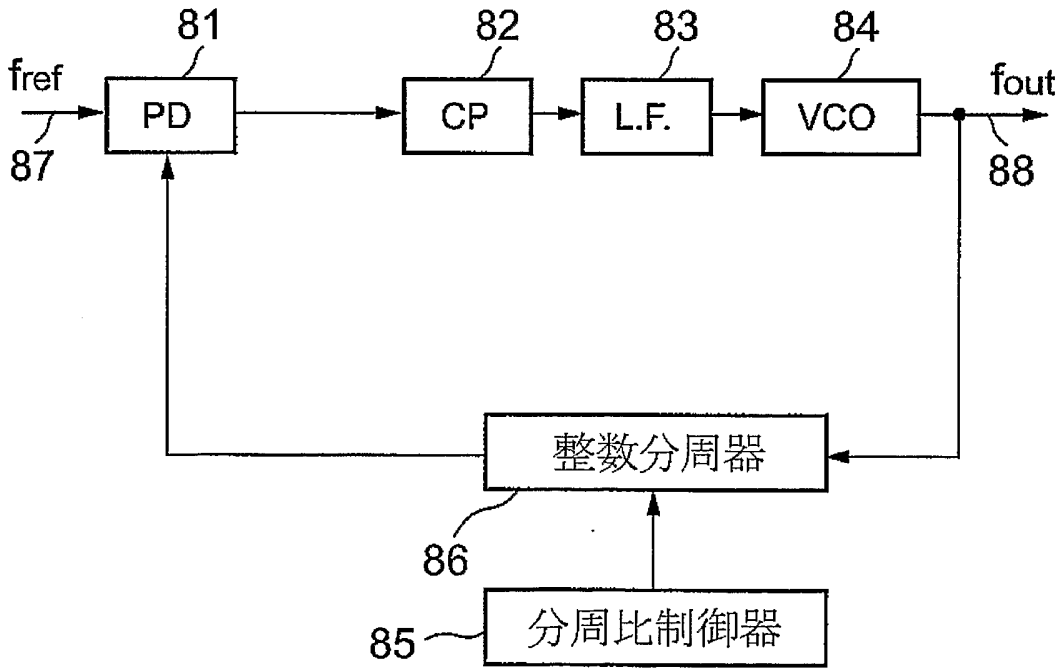
第１５図



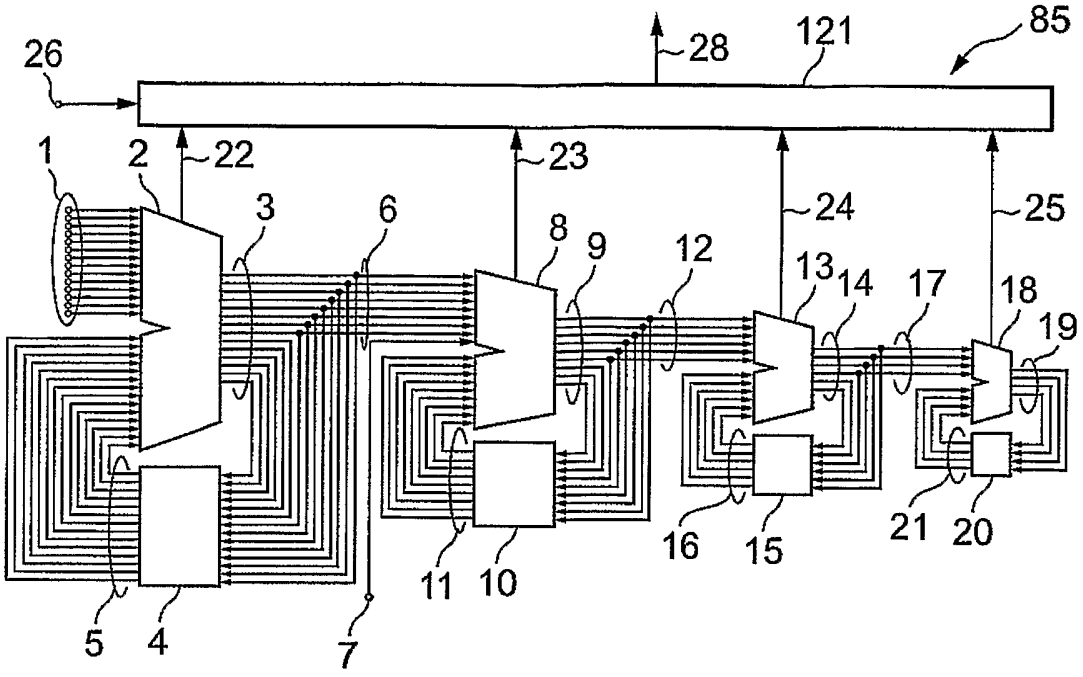
第１６図


28
27
1
2
22
23
24
25
3
97
8
9
12
13
14
17
18
19
11
10
16
15
21
20
5
4

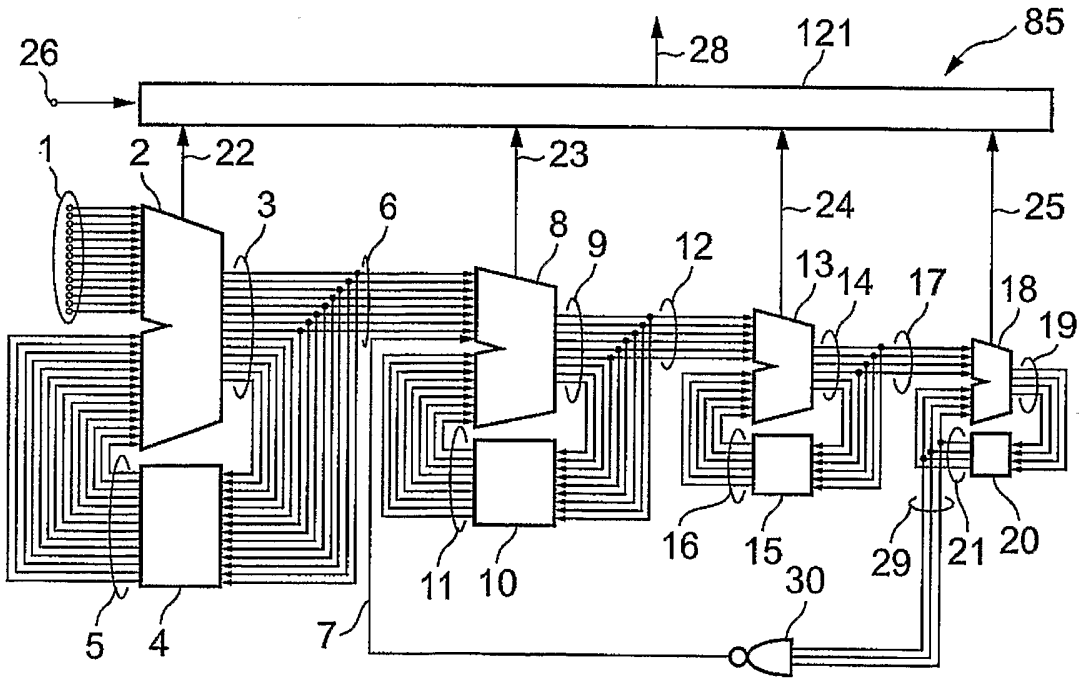
第１７図


81
82
83
84
fref
PD
CP
L.F.
VCO
fout
87
88
整数分周器
86
85
分周比制御器

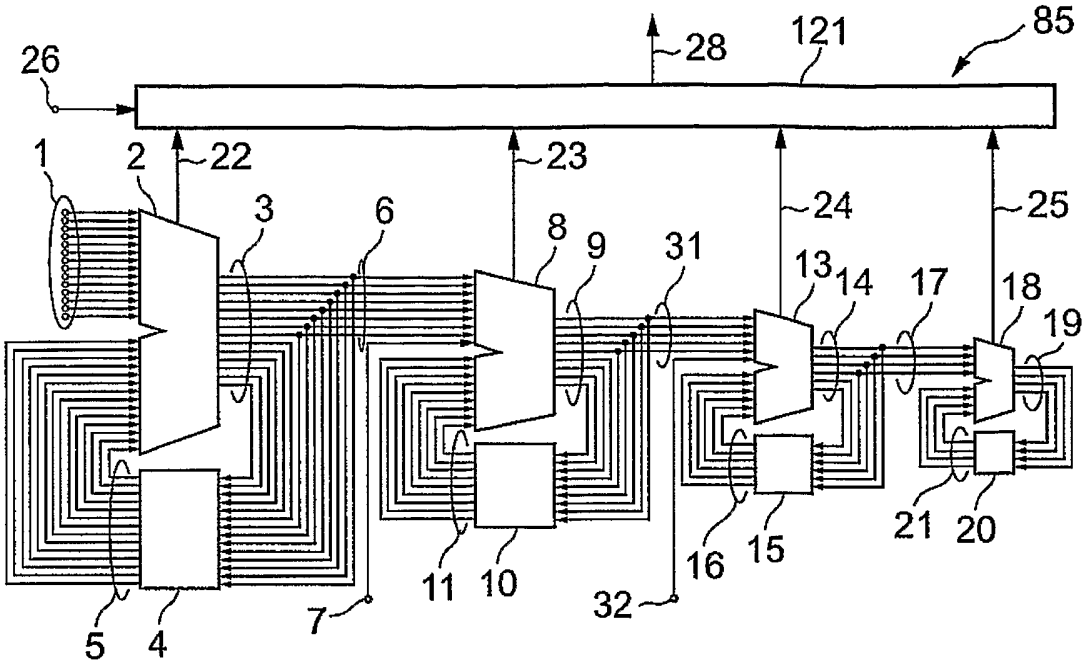
第１８図


26
28
121
85
1
2
22
23
24
25
3
6
8
9
12
13
14
17
18
19
5
4
7
11
10
16
15
21
20

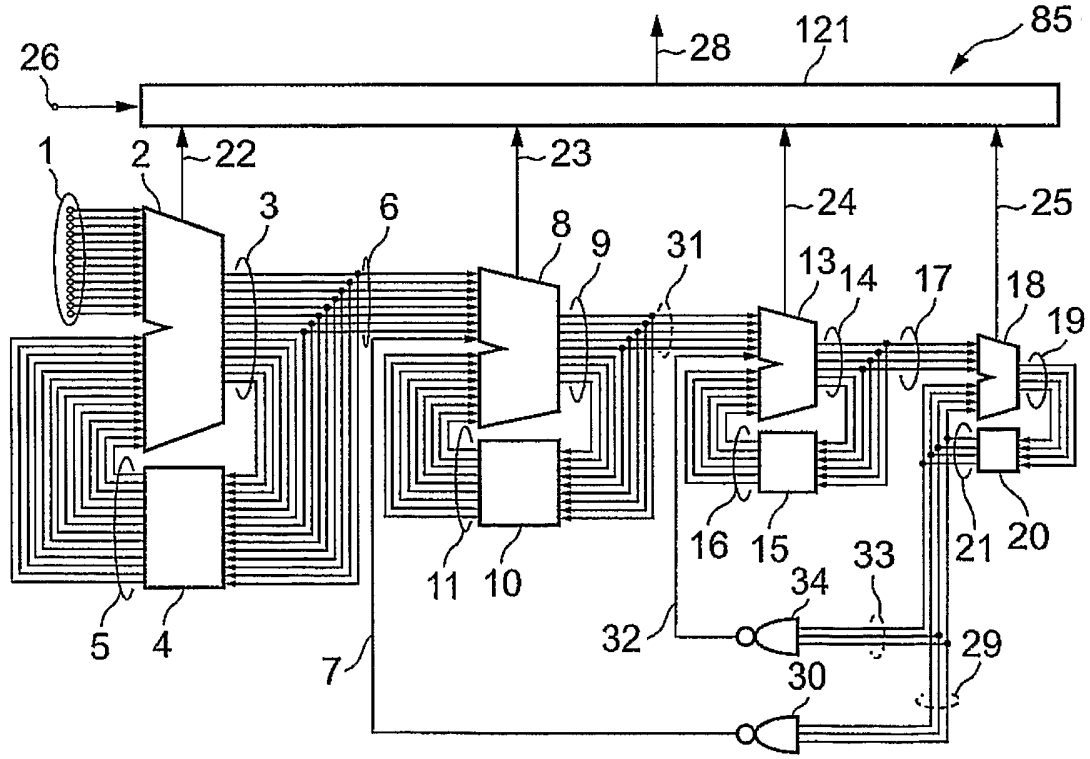
第１９図


26
28
121
85
1
2
22
23
24
25
3
6
8
9
12
13
14
17
18
19
5
4
7
11
10
16
15
29
21
20
30

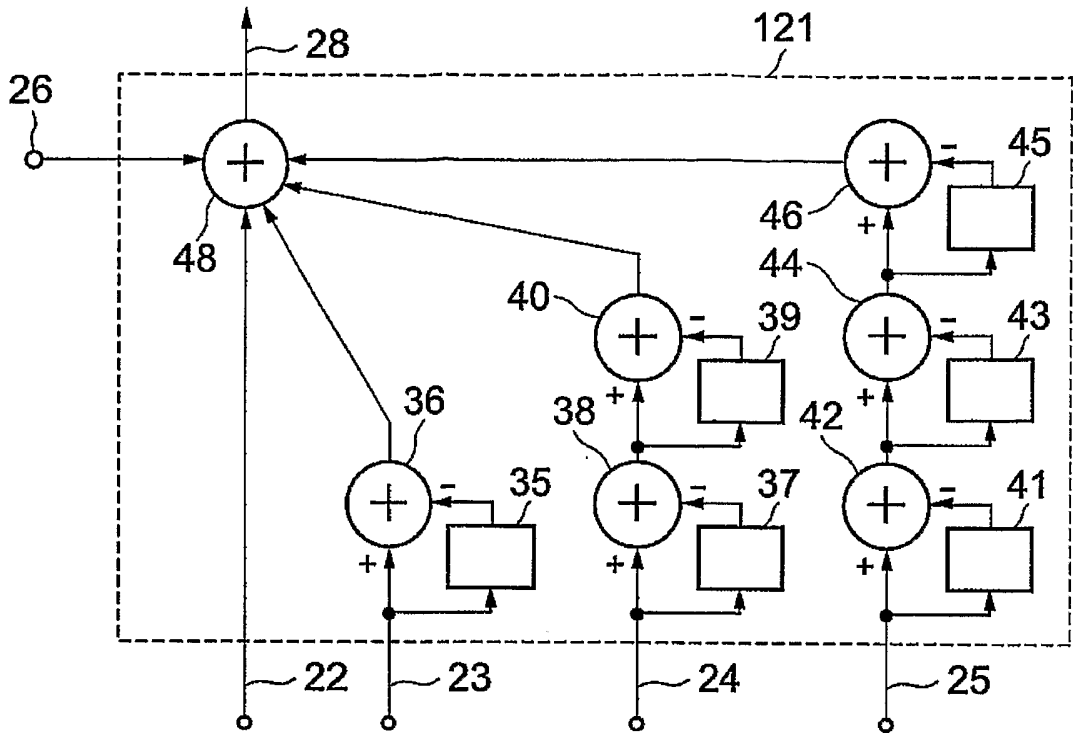
第２０図


26
28
121
85
1
2
22
23
24
25
3
6
8
9
31
13
14
17
18
19
21
20
16
15
11
10
32
7
5
4

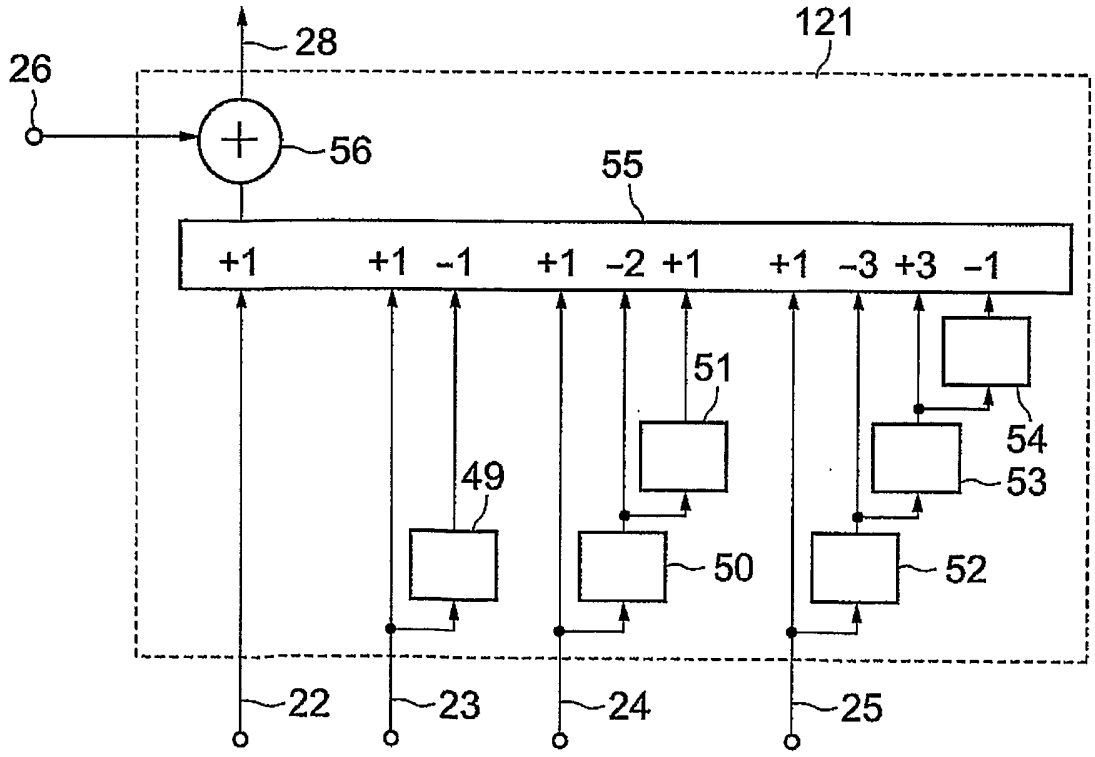
第２１図


26
28
121
85
1
2
22
23
24
25
3
6
8
9
31
13
14
17
18
19
21
20
16
15
33
34
11
10
32
29
30
7
5
4

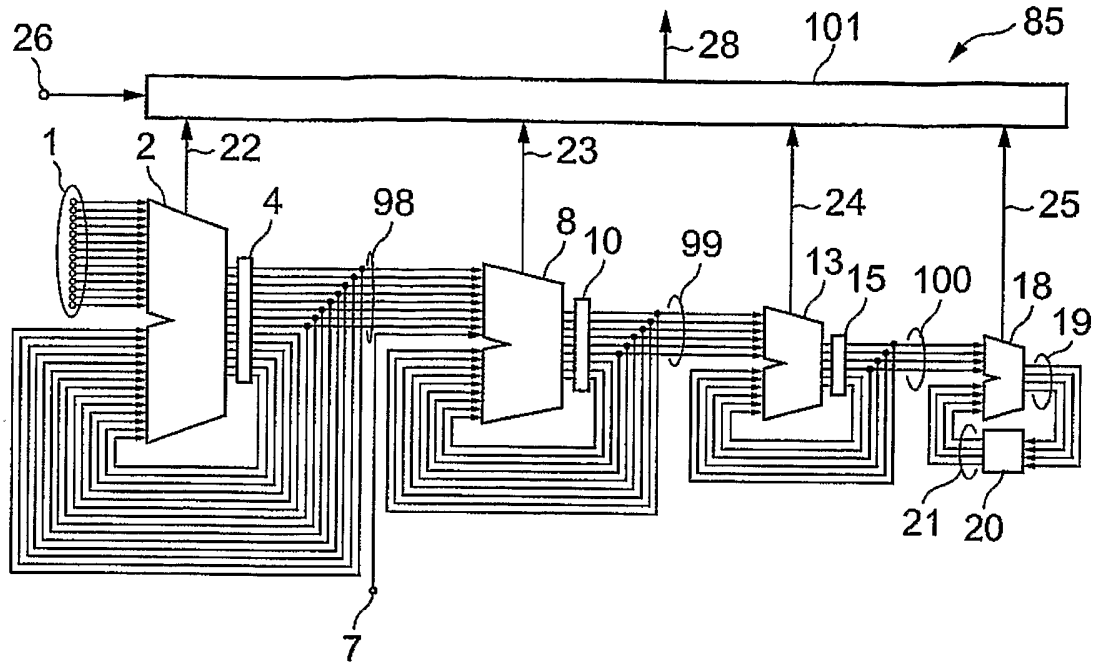
第２２図


28
121
26
45
46
48
44
40
39
43
36
38
42
35
37
41
22
23
24
25

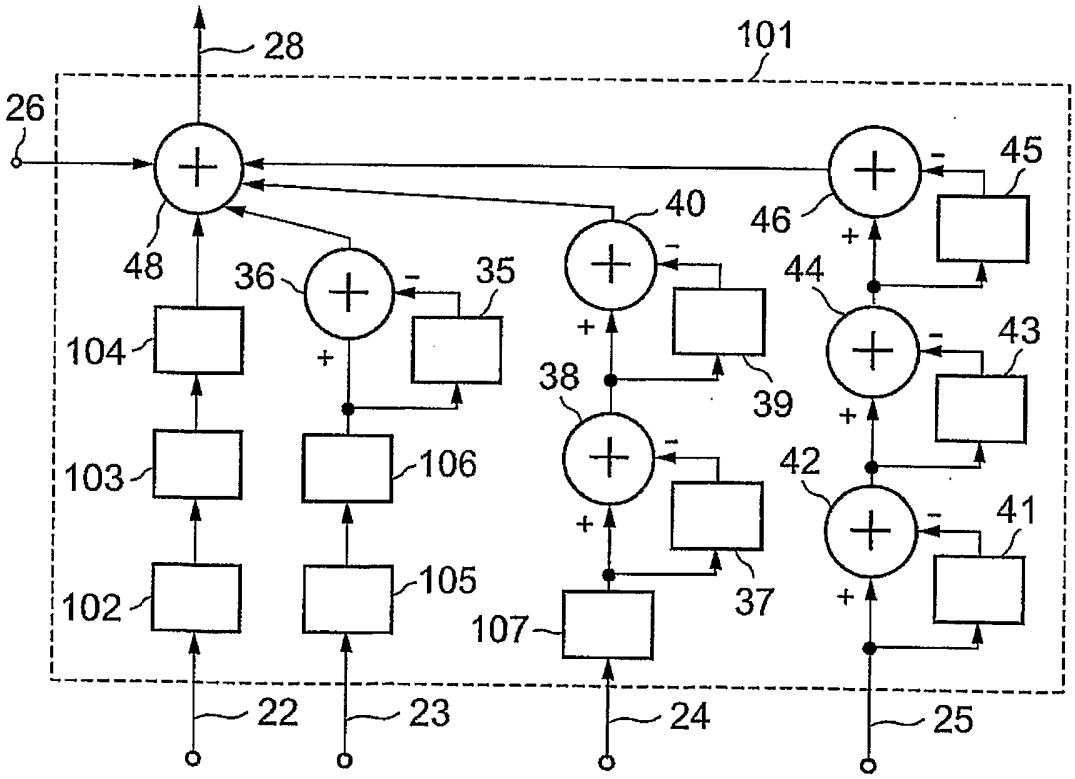
第２３図


28
121
26
56
55
+1 +1 -1 +1 -2 +1 +1 -3 +3 -1
51
54
49
53
50
52
22
23
24
25

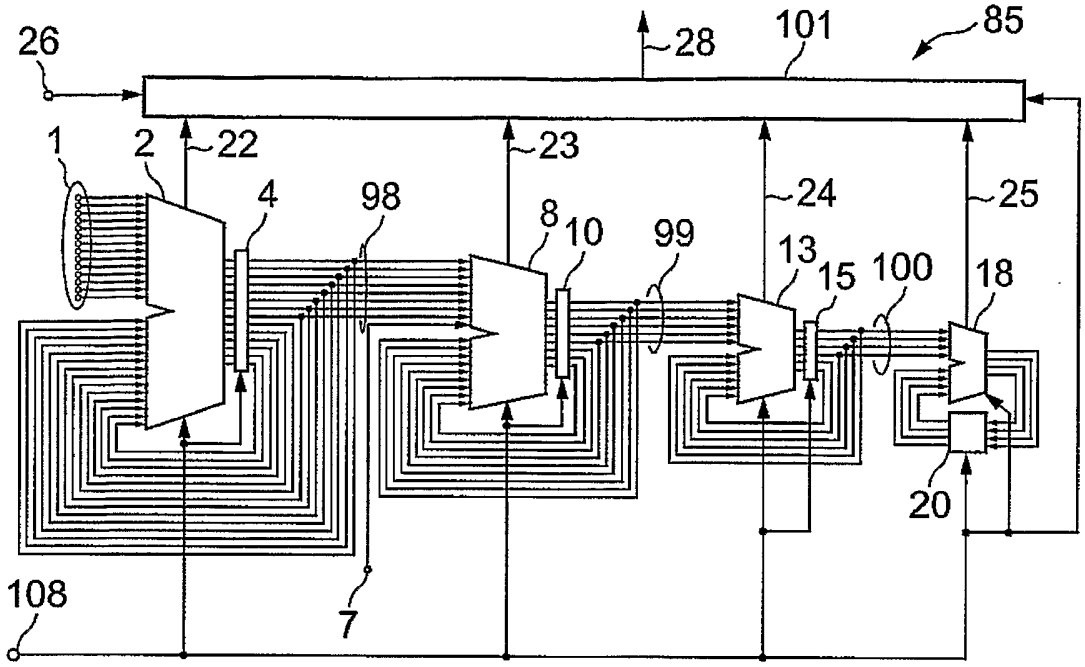
第２４図


26
28
101
85
1
2
22
23
24
25
4
98
8
10
99
13
15
100
18
19
21
20
7

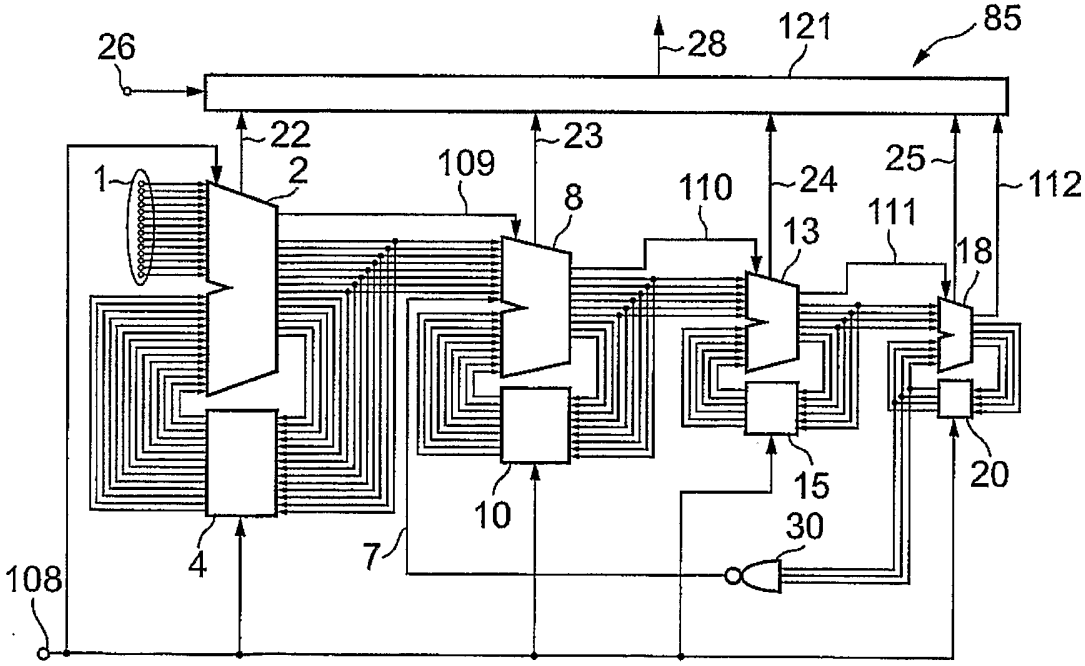
第２５図


28
101
26
45
46
40
48
36
35
44
43
104
38
39
103
106
42
41
102
105
37
107
22
23
24
25

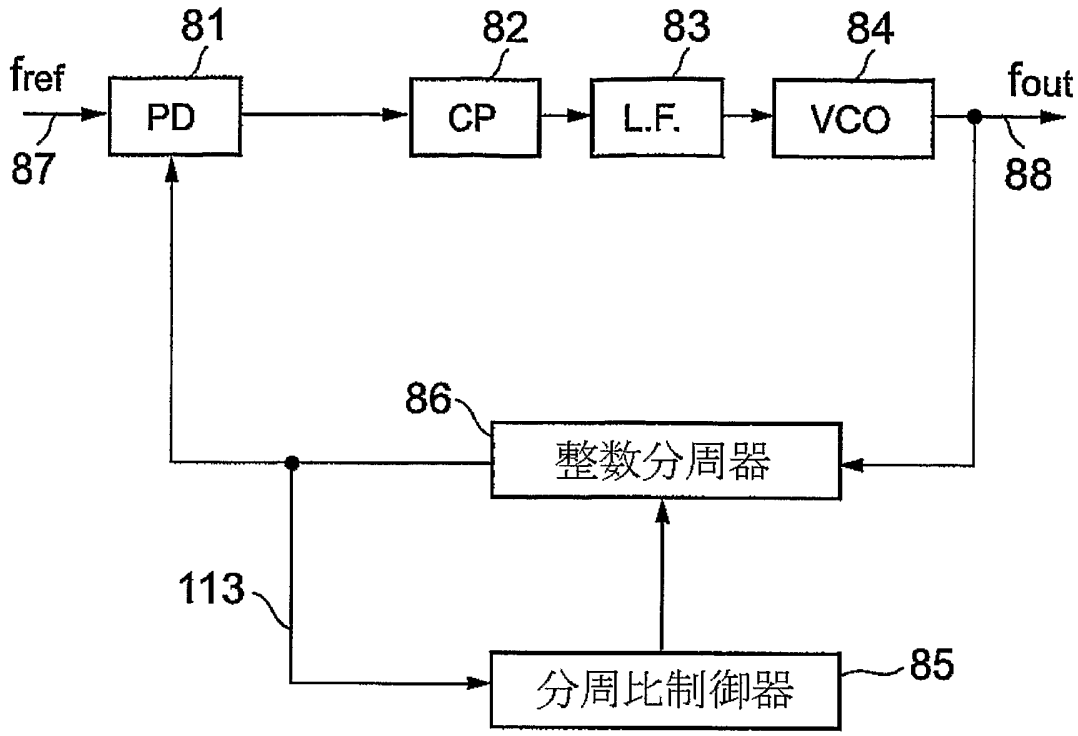
第２６図


26
28
101
85
1
2
22
23
24
25
4
98
8
10
99
13
15
100
18
20
108
7

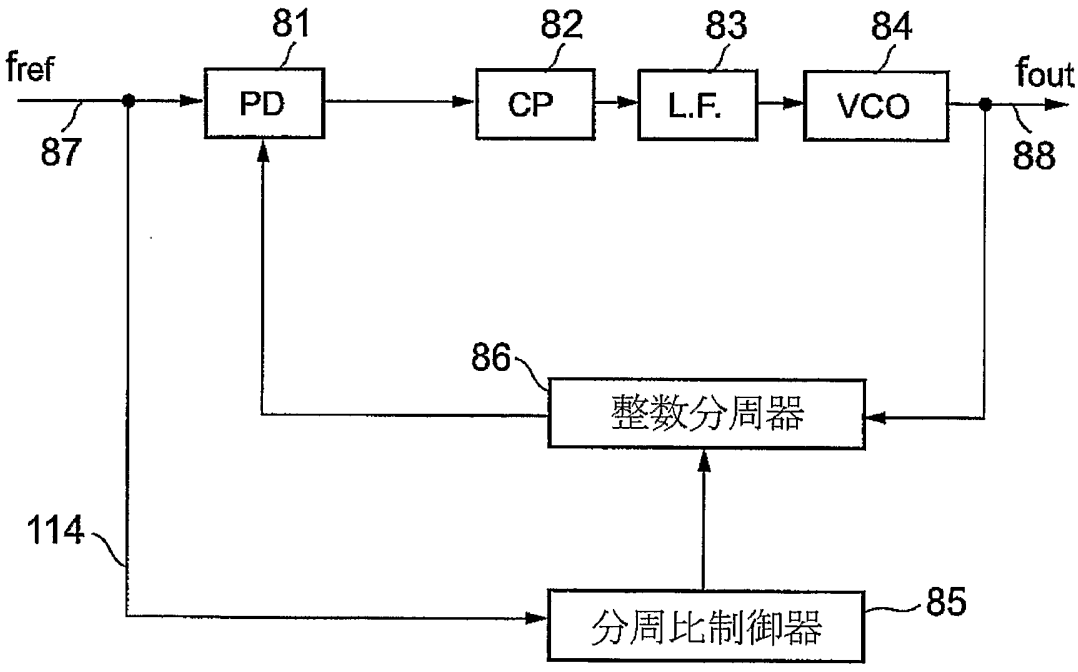
第２７図


26
28
121
85
22
23
25
112
1
2
109
8
110
24
111
13
18
10
15
20
30
4
7
108

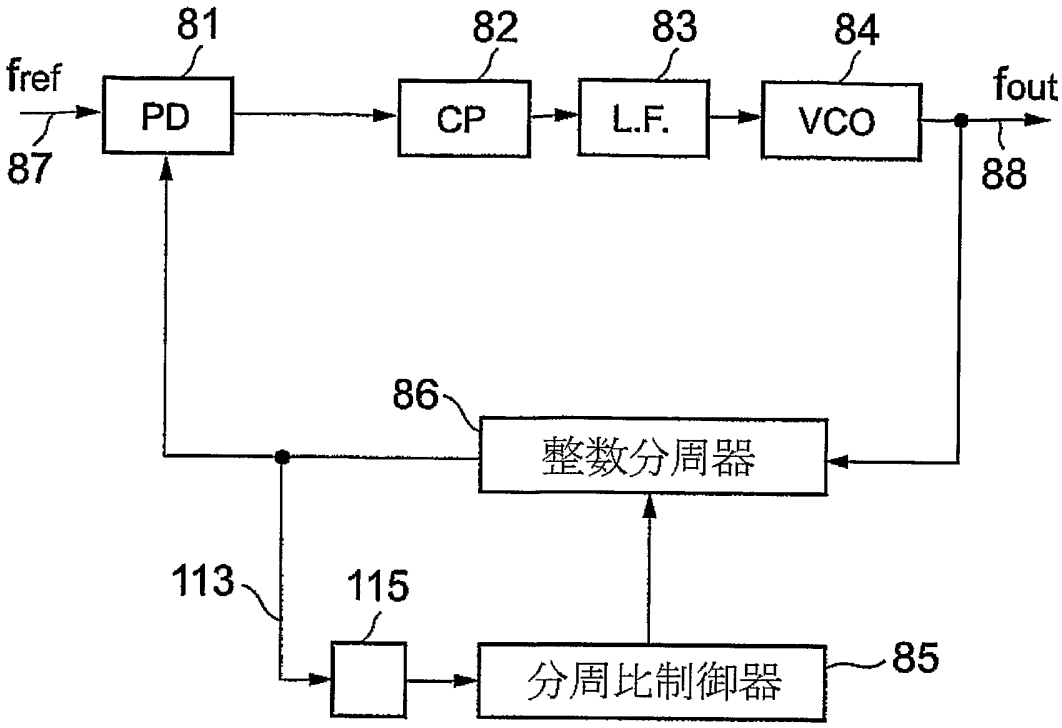
第２８図


81
82
83
84
fref
PD
CP
L.F.
VCO
fout
87
88
86
整数分周器
113
分周比制御器
85

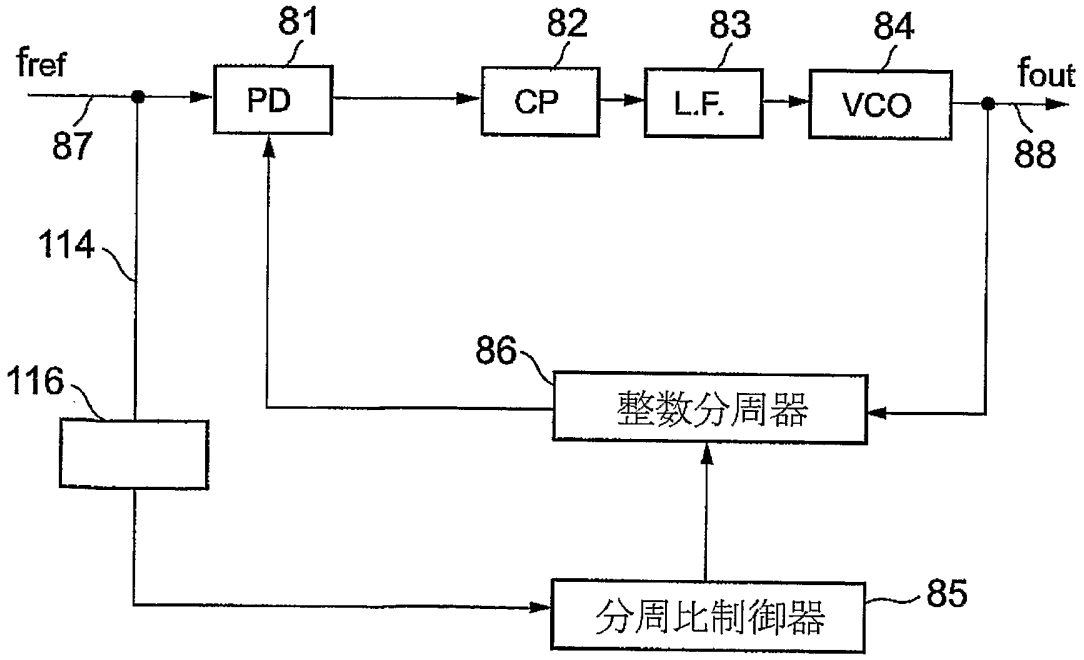
第２９図


81
82
83
84
fref
PD
CP
L.F.
VCO
fout
87
88
86
整数分周器
114
分周比制御器
85

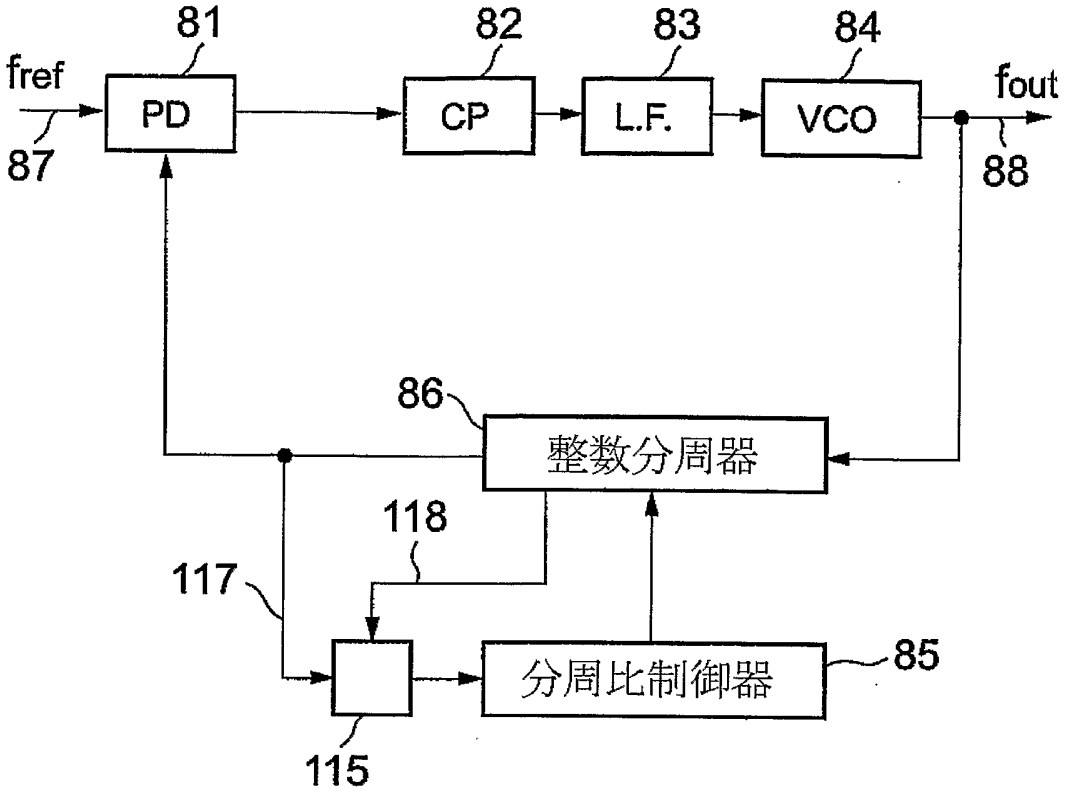
第３０図


81
82
83
84
fref
PD
CP
L.F.
VCO
fout
87
88
86
整数分周器
113
115
分周比制御器
85

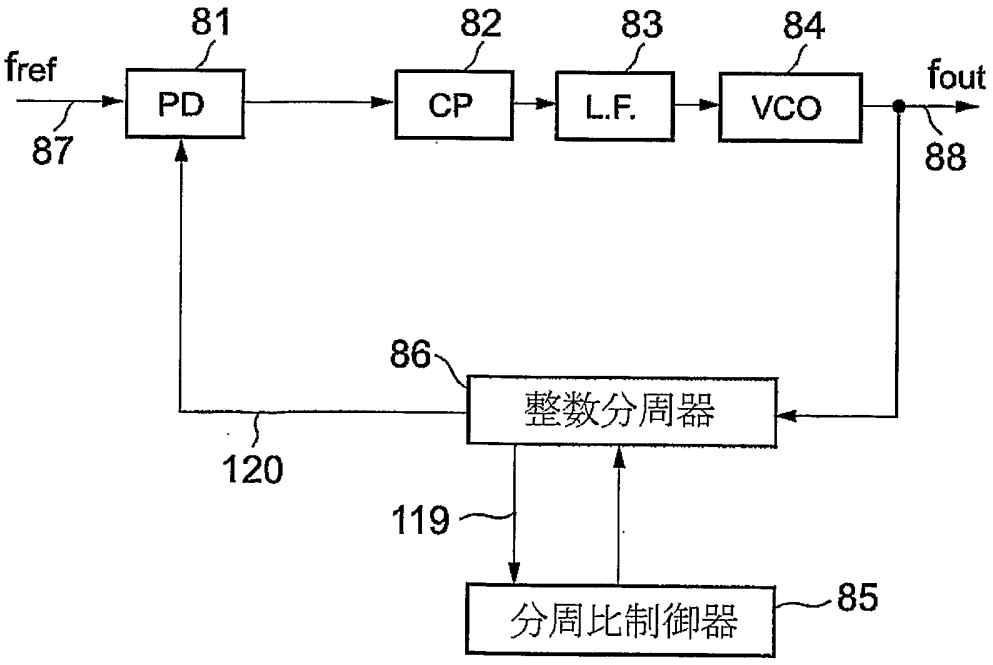
第３１図


81
82
83
84
fref
PD
CP
L.F.
VCO
fout
87
88
114
86
116
整数分周器
分周比制御器
85

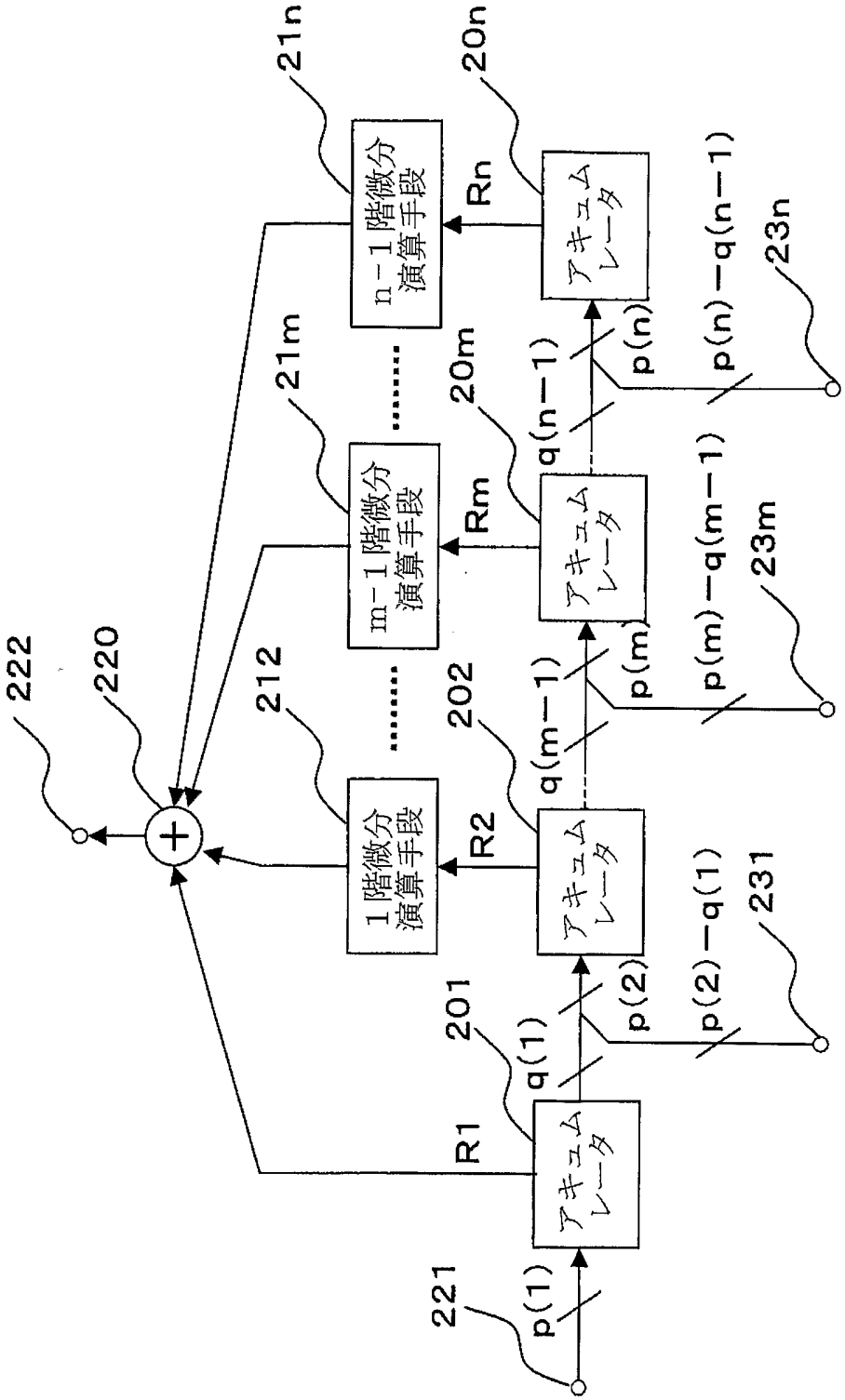
第３２図


81
82
83
84
fref
PD
CP
L.F.
VCO
fout
87
88
86
整数分周器
118
117
分周比制御器
85
115

第３３図


81
82
83
84
fref
PD
CP
L.F.
VCO
fout
87
88
86
整数分周器
120
119
分周比制御器
85

第３４図


222
220
212
202
201
221
21n
21m
20n
20m
R1
R2
Rm
Rn
q(1)
q(m−1)
q(n−1)
p(1)
p(2)
p(m)
p(n)
p(2)−q(1)
p(m)−q(m−1)
p(n)−q(n−1)
231
23m
23n
1階微分演算手段
m−1階微分演算手段
n−1階微分演算手段
アキュムレータ

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/08073

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] H03M3/02, H03L7/183, H03L7/197

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] H03M3/02, H03L7/183, H03L7/197

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-145828 A (Thomson-CSF), 28 May, 1999 (28.05.99), Page 5, column 7, line 12 to column 8, line 18; Fig. 7 & EP 887941 A1 & FR 2765419 A1 & ZA 9805539 A & CA 2239581 A & US 6075474 A & EP 887941 B1	1-33
A	JP 2001-237709 A (Matsushita Electric Industrial Co., Ltd.), 31 August, 2001 (31.08.01), Full text; all drawings & EP 1111793 A1 & US 2002/0061086 A1 & JP 3364206 B2	1-33

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 18 September, 2003 (18.09.03)	Date of mailing of the international search report 07 October, 2003 (07.10.03)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (July 1998)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/08073

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-57578 A (NEC Corp.), 22 February, 2002 (22.02.02), Page 4, column 6, line 26 to page 6, column 9, line 4; Figs. 15 to 18 & CN 1338823 A & EP 1184988 A2 & US 2002/0033738 A1 & US 2003/0112079 A1 & KR 2002013738 A & JP 3415574 B2	1-33
A	JP 2001-127632 A (Matsushita Electric Industrial Co., Ltd.), 11 May, 2001 (11.05.01), Page 2, column 2, line 48 to page 4, column 5, line 2; Figs. 7, 8 & EP 1098422 A2 & CN 1297286 A & US 6566964 B1	1-33
A	JP 5-502154 A (Motorola, Inc.), 15 April, 1993 (15.04.93), Full text; all drawings & US 5070310 A & WO 92/004766 A1 & GB 2255680 A	1-33
P,A	JP 2003-46389 A (Nippon Precision Circuits Inc.), 14 February, 2003 (14.02.03), (Family: none)	1-33
P,A	JP 2003-23351 A (NEC Corp.), 24 January, 2003 (24.01.03), (Family: none)	1-33

国際調査報告

国際出願番号　PCT／JP03／08073

A.　発明の属する分野の分類（国際特許分類（IPC））

Int. Cl⁷ H03M3／02, H03L7／183, H03L7／197

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. Cl⁷ H03M3／02, H03L7／183, H03L7／197

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926－1996年
日本国公開実用新案公報	1971－2003年
日本国登録実用新案公報	1994－2003年
日本国実用新案登録公報	1996－2003年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
A	JP 11-145828 A（トムソンーセーエスエフ） 1999.05.28, 第５ページ第７欄第１２行－第８欄第１８行, 図７ &EP 887941 A1 &FR 2765419 A1 &ZA 9805539 A &CA 2239581 A &US 6075474 A &EP 887941 B1	1-33
A	JP 2001-237709 A（松下電器産業株式会社） 2001.08.31, 全文, 全図 &EP 1111793 A1 &US 2002/0061086 A1 &JP 3364206 B2	1-33

☒ C欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日 18. 09. 03	国際調査報告の発送日 07.10.03
国際調査機関の名称及びあて先 日本国特許庁（ISA／JP） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員） 北村　智彦　印　5K　9297 電話番号　03－3581－1101　内線　3555

様式PCT／ISA／210（第2ページ）（1998年7月）

国際調査報告	国際出願番号　ＰＣＴ／ＪＰ０３／０８０７３

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
A	JP 2002-57578 A（日本電気株式会社）2002.02.22 第４ページ第６欄第２６行－第６ページ第９欄第４行，図１５－１８ &CN 1338823 A　&EP 1184988 A2　&US 2002/0033738 A1 &US 2003/0112079 A1　&KR 2002013738 A　&JP 3415574 B2	1-33
A	JP 2001-127632 A(松下電器産業株式会社) 2001.05.11 第２ページ第２欄第４８行－第４ページ第５欄第２行，図７，８ &EP 1098422 A2　&CN 1297286 A &US 6566964 B1	1-33
A	JP 5-502154 A（モトローラ・インコーポレーテッド） 1993.04.15，全文，全図 &US 5070310 A &WO 92/004766 A1　&GB 2255680 A	1-33
ＰＡ	JP 2003-46389 A（日本プレシジョン・サーキッツ株式会社） 2003.02.14（ファミリーなし）	1-33
ＰＡ	JP 2003-23351 A（日本電気株式会社） 2003.01.24（ファミリーなし）	1-33