



(45)授权公告日 2019.03.05

权利要求书2页 说明书8页 附图9页

1. 一种三维 (3D) 集成电路 (IC), 包括:
包括至少一个电感器的第一层级, 其中所述至少一个电感器包括穿基板通孔电感器;
包括耦合到所述至少一个电感器的至少一个变抗器的第二层级, 所述至少一个电感器和所述至少一个变抗器合而形成可调谐共用器。
2. 如权利要求1所述的三维集成电路, 其特征在于, 所述至少一个变抗器包括玻璃上覆硅 (SOG) 变抗器。
3. 如权利要求1所述的三维集成电路, 其特征在于, 所述至少一个穿基板通孔电感器包括穿玻璃通孔 (TGV) 电感器。
4. 如权利要求1所述的三维集成电路, 其特征在于, 所述至少一个电感器和所述至少一个变抗器形成所述可调谐共用器内的低通 (LP) 滤波器。
5. 如权利要求1所述的三维集成电路, 其特征在于, 进一步包括位于所述第二层级内的耦合到所述第一层级中的多个第二电感器的第二变抗器, 所述第二变抗器和所述多个第二电感器合而形成所述可调谐共用器的LP滤波器。
6. 如权利要求1所述的三维集成电路, 其特征在于, 所述至少一个变抗器配置成调节所述可调谐共用器内的滤波器的陷波频率。
7. 如权利要求1所述的三维集成电路, 其特征在于, 所述至少一个穿基板通孔电感器配置成控制所述可调谐共用器内的滤波器的截止频率。
8. 如权利要求1所述的三维集成电路, 其特征在于, 所述三维集成电路集成到半导体管芯中。
9. 如权利要求1所述的三维集成电路, 其特征在于, 所述三维集成电路集成到从下组中选择的设备: 机顶盒、娱乐单元、导航设备、通信设备、固定位置数据单元、移动位置数据单元、移动电话、蜂窝电话、计算机、便携式计算机、台式计算机、个人数字助理 (PDA)、监视器、计算机监视器、电视机、调谐器、无线电、卫星无线电、音乐播放器、数字音乐播放器、便携式音乐播放器、数字视频播放器、视频播放器、数字视频碟 (DVD) 播放器、和便携式数字视频播放器。
10. 一种形成可调谐共用器的方法, 包括:
在三维 (3D) 集成电路 (IC) 的第一层级中形成穿基板通孔电感器;
在所述三维集成电路的第二层级中形成变抗器; 以及
将所述变抗器电耦合到所述三维集成电路中的所述穿基板通孔电感器, 从而所述穿基板通孔电感器和所述变抗器形成所述可调谐共用器的滤波器。
11. 如权利要求10所述的方法, 其特征在于, 将所述变抗器电耦合到所述穿基板通孔电感器包括实行基板转移和使用金属到金属结合。
12. 如权利要求10所述的方法, 其特征在于, 将所述变抗器电耦合到所述穿基板通孔电感器包括使用管芯堆叠工艺将所述第二层级堆叠在所述第一层级上并且使用倒装芯片凸块。
13. 如权利要求10所述的方法, 其特征在于, 形成所述穿基板通孔电感器包括形成穿玻璃通孔 (TGV) 电感器。
14. 如权利要求10所述的方法, 其特征在于, 在所述第二层级中形成所述变抗器包括形成玻璃上覆硅 (SOG) 变抗器。

15. 一种三维 (3D) 集成电路 (IC), 包括:

包括至少一个穿基板通孔电感器的第一层级;

包括耦合到所述至少一个穿基板通孔电感器的至少一个用于提供可变电容的装置的第二层级, 所述至少一个穿基板通孔电感器和所述至少一个用于提供可变电容的装置合而形成可调谐共用器。

16. 一种可调谐共用器集成电路 (IC), 包括:

配置成收发具有第一频带的第一信号的第一频率端口;

配置成收发具有在所述第一频带之外的第二频带的第二频率信号的第二频率端口;

天线端口;

配置成在所述第一频率端口与所述天线端口之间放行在所述第一频带内的信号的第一通过滤波器;

配置成在所述第二频率端口与所述天线端口之间放行在所述第二频带内的信号的第二通过滤波器;

至少一个陷波滤波器, 其包括以下至少一者: 变抗器和可变穿基板通孔电感器, 该至少一个陷波滤波器配置成在所述第一频率端口、所述第二频率端口、和所述天线端口中的至少二者之间提供可调谐陷波频带。

17. 如权利要求16所述的可调谐共用器IC, 其特征在于, 所述变抗器包括高Q变抗器, 其中Q在2GHz处大于或等于一百。

18. 如权利要求16所述的可调谐共用器IC, 其特征在于, 所述可变穿基板通孔电感器包括高Q电感器, 其中Q在1GHz处大于或等于三十。

19. 如权利要求16所述的可调谐共用器IC, 其特征在于, 所述陷波滤波器配置成阻挡所述第一频带中的所述信号的谐波。

20. 如权利要求16所述的可调谐共用器IC, 其特征在于, 所述可变穿基板通孔电感器包括穿玻璃通孔 (TGV) 电感器。

三维 (3D) 集成电路 (IC) (3DIC) 中的可调谐共用器以及相关组件和方法

[0001] 优先权要求

[0002] 本申请要求2013年5月6日提交并题为“TUNABLE DIPLEXERS IN THREE-DIMENSIONAL (3D) INTEGRATED CIRCUITS (IC) (3DIC) AND RELATED COMPONENTS AND METHODS (三维 (3D) 集成电路 (IC) (3DIC) 中的可调谐共用器以及相关组件和方法)”美国专利申请序列号13/887,568的优先权,其通过引用被全部纳入于此。

[0003] 相关申请

[0004] 本申请涉及2013年1月11日提交并题为“DIPLEXER DESIGN USING THROUGH GLASS VIA TECHNOLOGY (使用穿玻璃通孔技术的共用器设计)”的美国临时专利申请序列号61/751,539,该美国临时专利申请通过引用全部纳入于此。

[0005] 本申请也涉及该‘539申请的发明转型,即2013年3月13日提交并题为“DIPLEXER DESIGN USING THROUGH GLASS VIA TECHNOLOGY (使用穿玻璃通孔技术的共用器设计)”的美国专利申请序列号13/798,733,该美国专利申请也通过引用全部纳入于此。

[0006] 背景

[0007] I. 公开领域

[0008] 本公开的技术一般涉及集成电路,并尤其涉及集成电路中的共用器设计。

[0009] II. 背景

[0010] 无线通信工业持续发展以为消费者提供尽可能多的带宽。为了这一目的,许多无线承运商为当代通信采纳了载波聚集策略。即,诸如AT&T®的无线承运商可以拥有对于特定地理区域中的两个频带(例如,700MHz和2GHz)的权限。为了使可用带宽最大化,无线承运商可以将这两个频率同时用于单个通信流。尽管这确实增加了能被提供到最终用户的数据量,但是也有并发问题,因为被用来传送数据的每个频率在谐波频率处产生噪声。在AT&T示例中,700MHz传输在2.1GHz处产生了谐波,该谐波可能会与正在2GHz频率处广播的数据发生干扰。在此类境况中,共用器能够帮助处理载波聚集系统中所携带的信号。在使用此类载波聚集系统的设备的芯片组中,共用器通常被插入到天线与调谐器(或者射频(RF)开关)之间来确保高性能。通常,共用器设计包括电感器和电容器。共用器能够通过使用具有高品质(Q)因数的电感器和电容器来获得高性能。高性能共用器还能通过减少各组件间的电磁耦合来获得,这可通过对各组件的几何和方向的布置来达成。可通过测量特定频率处的插入损耗和抑制(例如,以分贝(dB)来表达的量)来量化共用器性能。

[0011] 用高效率且有成本效益的方式来制造高性能共用器是存在问题的,因为达成高Q所要求的材料可能不会适从于容易的制造工艺。降低共用器中的各个组件之间的电磁耦合而同时又减小该共用器的大小并且最经济地使用资源将是有益的。

[0012] 之前所纳入的相关应用提供了数种方式来使得共用器适合于单个无线承运商。然而,无线设备制造商可能想要制作出与多个承运商一起工作的无线设备。遗憾的是,各无线承运商并不在相同频带操作,并且被优化来与一组频带联用的共用器可能不适合用于不同的一组频带。由此,需要一种方式来允许收发机与用于多个频带聚集方案的多个频带联用。

[0013] 公开概述

[0014] 本详细描述中所公开的实施例包括三维 (3D) 集成电路 (IC) (3DIC) 中的可调谐共用器。还公开了相关组件和方法。该可调谐共用器可以通过在共用器中提供变抗器或者可变电感器之一来形成。变抗器或者可变电感器的可变本质允许该共用器中的陷波被调谐从而选择一带阻以消除在期望频率处的谐波而又控制通带的截止频率。通过将该共用器的元件堆叠成三维, 空间得以节省并且各种变抗器和电感器能够被使用。在第一实施例中, 3DIC 是通过基板转移来创建的。在第二实施例中, 3DIC 是通过管芯堆叠工艺来创建的。

[0015] 就这一点来说, 在一个实施例中, 公开了一种 3DIC。该 3DIC 包括第一层级, 该第一层级包括至少一个电感器。该 3DIC 还包括第二层级, 该第二层级包括耦合到该至少一个电感器的至少一个变抗器, 该至少一个电感器和该至少一个变抗器合而形成可调谐共用器。

[0016] 在另一实施例中, 公开了一种形成可调谐共用器的方法。该方法包括在 3DIC 的第一层级中形成电感器。该方法还包括在该 3DIC 的第二层级中形成变抗器。该方法还包括将该变抗器电耦合到该 3DIC 中的该电感器, 从而该电感器和该变抗器形成了该可调谐共用器的滤波器。

[0017] 在另一实施例中, 公开了一种 3DIC。该 3DIC 包括第一层级, 该第一层级包括至少一个用于电感应的装置。该 3DIC 还包括第二层级, 该第二层级包括至少一个用于提供耦合到该至少一个用于电感应的装置的可变电容的装置, 该至少一个用于电感应的装置和该至少一个用于提供可变电容的装置合而形成可调谐共用器。

[0018] 在另一实施例中, 公开了一种可调谐共用器 IC。该可调谐共用器 IC 包括配置成收发具有第一频带的第一信号的第一频率端口。该可调谐共用器 IC 还包括配置成收发具有在该第一频带之外的第二频带的第二频率信号的第二频率端口。该可调谐共用器 IC 还包括天线端口。该可调谐共用器 IC 还包括配置成在该第一频率端口与该天线端口之间放行该第一频带内的信号的第一通过滤波器。该可调谐共用器 IC 还包括配置成在该第二频率端口与该天线端口之间放行该第二频带内的信号的第二通过滤波器。该可调谐共用器 IC 还包括至少一个陷波滤波器, 该至少一个陷波滤波器包括以下至少一者: 变抗器和可变电感器, 该至少一个陷波滤波器配置成在第一频率端口、第二频率端口和天线端口中的至少二者之间提供可调谐陷波频带。

[0019] 附图简述

[0020] 图1A是示例性常规共用器的示意图;

[0021] 图1B是图1A的共用器的典型频率响应的曲线图;

[0022] 图1C是采用共用器的示例性芯片组的示意图;

[0023] 图2A是根据本公开的示例性实施例的共用器的示意图;

[0024] 图2B是图2A的共用器的典型频率响应的曲线图;

[0025] 图3是根据本公开的替换示例性实施例的共用器的示意图;

[0026] 图4是根据本公开的实施例的在共用器的组装期间的三维 (3D) 集成电路 (IC) (3DIC) 的示例性实施例的简化侧视图;

[0027] 图5是根据本公开实施例的在组装的进一步阶段处的该 3DIC 的简化侧视图;

[0028] 图6是表示本公开实施例的示例性制造工艺的流程图;

[0029] 图7是根据本公开实施例的共用器的组装工艺的第二示例性实施例的简化侧视

图;以及

[0030] 图8是可包括图2A或图3的共用器的示例性的基于处理器的系统的框图。

[0031] 详细描述

[0032] 现在参照附图,描述了本公开的若干示例性实施例。措辞“示例性”在本文中用于“表示用作示例、实例或解说”。本文中描述为“示例性”的任何实施例不必被解释为优于或胜过其他实施例。

[0033] 本详细描述中所公开的实施例包括三维 (3D) 集成电路 (IC) (3DIC) 中的可调谐共用器。还公开了相关组件和方法。该可调谐共用器可以通过在共用器中提供变抗器或者可变电感器之一来形成。变抗器或者可变电感器的可变本质允许共用器中的陷波被调谐从而选择一带组以消除在期望频率处的谐波而又控制通带的截止频率。通过将该共用器的元件堆叠成三维,空间得以节省并且各种变抗器和电感器能够被使用。在第一实施例中,3DIC通过基板转移来创建。在第二实施例中,3DIC通过管芯堆叠工艺来创建。

[0034] 通过提供具有可变电感器或变抗器的共用器,带阻的陷波频率和通带的截止频率可以如所期望的那样被调节,从而该共用器可与多个载波聚集系统联用。由此,例如,就能使得移动终端(诸如蜂窝电话)与不同无线承运商的载波聚集系统一起操作。

[0035] 在讲到3DIC中的可调谐共用器的示例性实施例之前,参考图1A-1C提供了常规共用器的简要综述。根据本公开的示例性实施例的可调谐共用器的实施例在以下参考图2A开始。

[0036] 就这一点而言,图1A是包括第一端口12、第二端口14和天线端口16的常规共用器10的示意图。可以提供去往接地18的附加端口。在第一端口12与天线端口16之间是高通 (HP) 滤波器20。类似地,在第二端口14与天线端口16之间是低通 (LP) 滤波器22。HP滤波器20包括第一HP电容器24、第二HP电容器26、第三HP电容器28和HP电感器30。第一HP电容器24和HP电感器30一起定义了HP滤波器20的高频。类似地,第三HP电容器28和HP电感器30定义了带阻的陷波频率。第二HP电容器26帮助定义了通带的截止频率的陡度。注意,本文中所描述的电感器有时被称为用于电感应的装置。类似地,所描述的电容器有时在本文中被用于提供电容的装置,并且本文中所描述的变抗器有时在本文中被用于提供可变电容的装置。

[0037] 继续参考图1A,LP滤波器22包括第一LP电感器32、第二LP电感器34、第三LP电感器36和LP电容器38。第二LP电感器34和LP电容器38一起定义了LP滤波器22的低频。类似地,第一LP电感器32和LP电容器38定义了带阻的陷波频率。第三LP电感器36帮助定义了通带的截止频率的陡度。

[0038] 来自根据之前所纳入的应用的共用器的示例性频率响应的曲线图40在图1B中被提供。如早已注意到的,HP滤波器20具有用于带阻44的在710MHz处的陷波42。HP通带46在大约1.710GHz处开始。类似地,LP滤波器22具有用于带阻50的在2.130GHz处的陷波48。LP通带52在大约1.040GHz处结束。尽管曲线图40表示根据之前所纳入的应用中所阐述的概念做出的共用器的示例性频率响应,但此类共用器仅为一个无线承运商聚集系统工作。即,尽管共用器可以针对一个承运商工作良好,但是第二承运商可能需要处在不同频率处的陷波以阻挡不想要的谐波。由此,仍然有对于促进跨多个无线承运商的芯片组的使用并且可适配于多个无线承运商聚集系统的共用器的需要。

[0039] 为了完整性起见,应当领会,共用器(诸如共用器10)可以被放置在如图1C中所解说的用于收发机的芯片组60中。芯片组60包括功率放大器62、双工器/滤波器64、射频(RF)开关模块66、无源组合器68、接收机70、调谐器电路系统72(例如,第一调谐器电路系统72A以及第二调谐器电路系统72B)、共用器10、电容器74、电感器76、接地端子78以及天线80。功率放大器62将(诸)信号放大到特定功率水平以供发射。双工器/滤波器64根据各种不同参数(包括频率、插入损耗、抑制或其它类似参数)对输入/输出信号进行滤波。RF开关模块66可选择输入信号的特定部分以传递给芯片组60的其余部分。无源组合器68将检测到的来自第一调谐器电路系统72A和第二调谐器电路系统72B的功率组合起来。接收机70处理来自无源组合器68的信息并将该信息用于进一步操作芯片组60。调谐器电路系统72包括各种组件,诸如调谐器、便携式数据录入终端(PDET)以及内务模数转换器(HKADC)等。调谐器电路系统72可针对天线80执行阻抗调谐(例如,电压驻波比(VSWR)优化)。

[0040] 如图1C中所示,共用器10位于调谐器电路系统72的调谐器组件与电容器74、电感器76及天线80之间。共用器10可被放置在天线80与调谐器电路系统72之间以为芯片组60提供高系统性能。共用器10还对高频带频率和低频带频率两者执行频域复用。在共用器10对输入信号执行其频率复用功能之后,共用器10的输出被馈送给任选的LC(电感器/电容器)网络,该LC网络包括电容器74和电感器76。该LC网络可提供针对天线80的额外的阻抗匹配组件(在需要的情况下)。随后,具有特定频率的信号由天线80发射或接收。

[0041] 本公开通过在共用器中引入高Q可变无功元件来提供能够跨多个无线承运商聚集系统使用的共用器。通过改变共用器内各元件的电容或电感,陷波和截止频率就可以如满足特定载波运营商聚集系统的需要所需地来被变动。本公开提供了结构、方法和技术来提供合适程度的高Q元件而不牺牲芯片组中的面积,不产生非必须的功率耗用,并且不产生各元件之间的不想要的寄生效应。

[0042] 就这一点而言,共用器90的第一实施例在图2A中解说。共用器90包括第一端口92、第二端口94和天线端口96。可以提供去往接地98的附加端口。在第一端口92与天线端口96之间是可变HP滤波器100。类似地,在第二端口94和天线端口96之间是可变LP滤波器102。可变HP滤波器100包括第一HP变抗器104、第二HP变抗器106、第三HP变抗器108和HP电感器110。第一HP变抗器104和HP电感器110一起定义了可变HP滤波器100的高频。类似地,第三HP变抗器108和HP电感器110定义了带阻的陷波频率。第二HP变抗器106帮助定义了通带的截止频率的陡度。

[0043] 继续参考图2A,可变LP滤波器102包括第一LP电感器112、第二LP电感器114、第三LP电感器116和LP变抗器118。第二LP电感器114和LP变抗器118一起定义了可变LP滤波器102的低频。类似地,第一LP电感器112和LP变抗器118定义了带阻的陷波频率。第三LP电感器116帮助定义了通带的截止频率的陡度。

[0044] 继续参考图2A,电感器110、112、114和116一般可被形成成为穿玻通孔(TGV)电感器或穿基板通孔(TSV)电感器。对于TGV和TSV电感器的更多信息,感兴趣的读者可查阅之前所纳入的应用。尽管TSV电感器提供了1GHz处大约三十(30)或更高的Q,但是TGV电感器可以提供1GHz处大于六十(60)的Q,和/或提供2GHz处大于一百(100)的Q。由此,TGV电感器提供了高Q电感,其进而提供了完成与多个承运商聚集系统联用的共用器所需的陷波和通带特性。在示例性实施例中,变抗器104、106、108和118是绝缘体上覆硅(SOI)变抗器,并且在具体构

想的示例性实施例中,这些变抗器是玻璃上覆硅(SOG)变抗器。对于有关可能的变抗器的信息,感兴趣的读者可以参考由Buisman等著,载于Microwave Symposium Digest(微波研讨会文摘),2005IEEE MTT-S International,©2005,IEEE的“‘DISTORTION-FREE’ VARACTOR DIODE TOPOLOGIES FOR RF ADAPTIVITY (用于RF适配性的‘无畸变’变抗器二极管拓扑)”。Buisman等所著的论文通过引用被完整纳入于此。

[0045] 就这一点而言,图2B解说了共用器90的典型频率响应的曲线图120。特别地,陷波122和124可以取决于变抗器104、106、108和118而分别如由箭头126和128所指示的那样变动。即,通过变动变抗器104、106、108和118的电容,可以移动陷波122、124,这有效地改变带阻的频率。注意,尽管所有的电容性元件被示为变抗器104、106、108和118,但是这些电容性元件中的仅一子集包括变抗器是有可能性的。例如,变抗器104和106可以由非变动电容器代替。因为这种替代是有可能性的并且在本公开的范围内,所以仅有变抗器108、118的共用器的频率响应可能不如具有四个变抗器104、106、108和118的共用器那样最优。

[0046] 尽管变抗器104、106、108和118适合于变动陷波122、124,但是本公开并不被如此限定。替代变抗器104、106、108和118的是,可以换用可变电感器,如图3中所更好地解说的,。共用器130在图3中解说。共用器130包括第一端口132、第二端口134和天线端口136。可以提供去往接地138的附加端口。在第一端口132与天线端口136之间是可变HP滤波器140。类似地,在第二端口134与天线端口136之间是可变LP滤波器142。HP滤波器140包括第一HP电容器144、第二HP电容器146、第三HP电容器148和可变HP电感器150。第一HP电容器144和可变HP电感器150一起定义了HP滤波器140的高频。类似地,第三HP电容器148和HP电感器150定义了带阻的陷波频率。第二HP电容器146帮助定义了通带的截止频率的陡度。

[0047] 继续参考图3,可变LP滤波器142包括第一可变LP电感器152、第二可变LP电感器154、第三可变LP电感器156和LP电容器158。第二可变LP电感器154和LP电容器158一起定义了可变LP滤波器142的低频。类似地,第一可变LP电感器152和LP电容器158定义了带阻的陷波频率。第三可变LP电感器156帮助定义了通带的截止频率的陡度。应当领会,尽管能够使用可变电感器,但是它们的使用令使得共用器90在当代的用于便携式设备的芯片组中可行的许多制造效率和空间节省特性消失殆尽。进一步,应当注意,虽然未被解说,但是电感性元件和电容性元件二者在相同设备中均可以是可变的。即,变抗器和可变电感器可以在同一共用器中针对一些或所有无功元件被使用。

[0048] 有至少两种能藉以形成共用器(诸如共用器90或130)的技术。第一种技术是基板转移(在图4和图5中解说),而第二种技术是通过管芯堆叠工艺(在图7中解说)。就这一点来说,图4解说了未被组装的共用器160的简化侧视图,其为通过基板转移生产共用器90的中间阶段。该未被组装的共用器160具有第一层级162和第二层级164。第一层级162可包括玻璃基板166,该玻璃基板166具有穿过该玻璃基板166形成的导电性元件168以形成一个或多个电感器,诸如电感器110、112、114和116。导电性元件168在一示例性实施例中可以是TGV元件。若基板是硅而非玻璃基板166,则导电性元件168可以是TSV元件。

[0049] 继续参考图4,第二层级164可以包括基板170和其中具有一个或多个变抗器的有源区172。变抗器174可以是变抗器104、106、108和118。如以上所注意到的,变抗器174可以是SOI或SOG变抗器。替换地,变抗器可以形成自SOI或蓝宝石上覆硅(SOS)可切换电容器组或MEMS可切换电容器组。SOG变抗器在感兴趣频率处具有最高Q,但是其他变抗器对于不同

工程约束来说可以是恰适的。

[0050] 跨接在图4和5之间的是,第二层级164被翻转到第一层级162上,如由箭头175所证明的,并且额外的基板170被移除。通过将第二层级164内的变抗器174放置成如此靠近于第一层级162的电感器,避免了功率耗用寄生效应并且避免了额外的连接,这一般而言改善了共用器内各元件的Q。附加地,该共用器的总体面积被减小,这使得该共用器对于正在应对要持续小型化的压力的电路设计者来说更具吸引力。

[0051] 继续参考图5,在移除额外的基板170之后,可以提供触点176,诸如晶片级芯片规模封装(WLCSP)焊球,并且未被组装的共用器160现在是类似于以上讨论的共用器90的共用器90A。若期望,可提供其他触点。

[0052] 图6中阐述了形成图5的共用器90A的工艺180。最初,工艺180由在第一层级162中的基板166中创建电感器开始(框182)。同时或后续,半导体变抗器在第二层级164中被创建(框184)。第二层级164被翻转到第一层级162上并与之结合(框186)。额外的基板170被从第二层级164移除(框188)。接着该工艺180完成了后端制程(BEOL)加工并且提供WLCSP焊球(即,触点176)。

[0053] 虽然该工艺180产生了合适的共用器,但是其他工艺也可以被使用,诸如管芯堆叠。就这一点而言,图7提供了经管芯堆叠的共用器192的解说。共用器192包括具有基板196(诸如玻璃基板)的第一层级以及穿过该基板以形成电感器(诸如TGV电感器)的导电性元件198。共用器192进一步包括了其中具有可变电容元件的第二层级200,这些可变电容元件诸如是SOG变抗器、SOI或SOS可切换电容器组或MEMS可切换电容器组。第一层级194通过芯片倒装凸块202和焊球204(诸如WLCSP焊球)被结合到第二层级200,这可以被用来促进去往印刷电路板(PCB)的连接的多管芯堆叠。

[0054] 根据本文中所公开的各实施例的3DIC中的可调谐共用器以及相关组件和方法可在任何基于处理器的设备中提供或被集成到任何基于处理器的设备中。不作为限定的示例包括机顶盒、娱乐单元、导航设备、通信设备、固定位置数据单元、移动位置数据单元、移动电话、蜂窝电话、计算机、便携式计算机、台式计算机、个人数字助理(PDA)、监视器、计算机监视器、电视机、调谐器、无线电、卫星无线电、音乐播放器、数字音乐播放器、便携式音乐播放器、数字视频播放器、视频播放器、数字视频碟(DVD)播放器,以及便携式数字视频播放器。

[0055] 就这一点而言,图8解说了可采用如图2A、3和7中所解说的共用器90、90A、130、192的基于处理器的系统210的示例。共用器90、90A、130、193可以被纳入到半导体管芯或用其他方法使用在此类基于处理器的系统210中。在这一示例中,基于处理器的系统210包括一个或多个中央处理单元(CPU)212,其各自包括一个或多个处理器214。(诸)CPU 212可以是主控设备。(诸)CPU 212可具有耦合至(诸)处理器214以用于对临时存储的数据进行快速访问的高速缓存存储器216。(诸)CPU 212被耦合到系统总线218,且可交互耦合基于处理器的系统210中所包括的诸主控设备和从动设备。如众所周知的,(诸)CPU 212通过在系统总线218上交换地址、控制、和数据信息来与这些其它设备通信。例如,(诸)CPU 212可向作为从动设备的示例的存储器控制器220传达总线事务请求。尽管未在图8中解说,但可提供多个系统总线218,其中每个系统总线218构成不同的结构。

[0056] 其它主控设备和从动设备可被连接到系统总线218。如图8中所解说的,作为示例,

这些设备可包括存储器系统222、一个或多个输入设备224、一个或多个输出设备226、一个或多个网络接口设备228,以及一个或多个显示控制器230。(诸)输入设备224可包括任何类型的输入设备,包括但不限于输入键、开关、语音处理器等。(诸)输出设备226可包括任何类型的输出设备,包括但不限于音频、视频、其他视觉指示器等。(诸)网络接口设备228可以是配置成允许来往于网络232的数据交换的任何设备。网络232可以是任何类型的网络,包括但不限于:有线或无线网络、专用或公共网络、局域网(LAN)、广域网(WLAN)和因特网。(诸)网络接口设备228可被配置成支持所期望的任何类型的通信协议。存储器系统222可包括一个或多个存储器单元234(0-N)。

[0057] (诸)CPU 212还可被配置成通过系统总线218访问(诸)显示控制器230以控制发送给一个或多个显示器236的信息。(诸)显示控制器230经由一个或多个视频处理器238向(诸)显示器236发送要显示的信息,视频处理器238将要显示的信息处理成适于(诸)显示器236的格式。(诸)显示器236可包括任何类型的显示器,包括但不限于:阴极射线管(CRT)、液晶显示器(LCD)、等离子显示器等。

[0058] 本领域技术人员将进一步领会,结合本文所公开的实施例描述的各种解说性逻辑块、模块、电路和算法可被实现为电子硬件、存储在存储器中或另一计算机可读介质中并由处理器或其它处理设备执行的指令、或这两者的组合。作为示例,本文描述的仲裁器、主控设备和从动设备可用在任何电路、硬件组件、IC,或IC芯片中。本文所公开的存储器可以是任何类型和大小的存储器,且可被配置成存储所需的任何类型的信息。为清楚地说明这一可互换性,以上已经以其功能的形式一般地描述了各种解说性组件、框、模块、电路和步骤。此类功能性如何被实现取决于施加在整体系统上的具体应用、设计选择和/或设计约束。技术人员可针对每种特定应用以不同方式来实现所描述的功能性,但此类实现决策不应被解读为致使脱离本发明的范围。

[0059] 结合本文所公开的实施例描述的各种解说性逻辑块、模块、和电路可用设计成执行本文所描述的功能的处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)或其他可编程逻辑器件、分立门或晶体管逻辑、分立硬件组件,或其任何组合来实现或执行。处理器可以是微处理器,但在替代方案中,处理器可以是任何常规处理器、控制器、微控制器或状态机。处理器还可以被实现为计算设备的组合,例如DSP与微处理器的组合、多个微处理器、与DSP核心协同的一个或多个微处理器、或任何其它此类配置。

[0060] 本文所公开的各实施例可被体现为硬件和存储在硬件中的指令,并且可驻留在例如随机存取存储器(RAM)、闪存、只读存储器(ROM)、电可编程ROM(EPROM)、电可擦可编程ROM(EEPROM)、寄存器、硬盘、可移动盘、CD-ROM、或本领域中所知的任何其它形式的计算机可读介质中。替换地,存储介质可以被整合到处理器。处理器和存储介质可驻留在ASIC中。ASIC可驻留在远程站中。在替换方案中,处理器和存储介质可作为分立组件驻留在远程站、基站或服务器中。

[0061] 还注意到,本文任何示例性实施例中描述的操作步骤被描述是为了提供示例和讨论。所描述的操作可按除了所示顺序以外的各种不同顺序执行。而且,在单个操作步骤中描述的操作实际上可在多个不同步骤中执行。另外,在示例性实施例中讨论的一个或多个操作步骤可被组合。应理解,如对本领域技术人员显而易见地,在流程图中解说的操作步骤可进行各种不同的修改。本领域技术人员还将理解,可使用各种不同技术中的任何一种来表

示信息和信号。例如,贯穿上面描述始终可能被述及的数据、指令、命令、信息、信号、位(比特)、码元、和码片可由电压、电流、电磁波、磁场或磁粒子、光场或光粒子、或其任何组合来表示。

[0062] 提供对本公开的先前描述是为使得本领域任何技术人员皆能够制作或使用本公开。对本公开的各种修改对本领域技术人员来说都将是显而易见的,且本文中所定义的普适原理可被应用到其他变型而不会脱离本公开的精神或范围。由此,本公开并非旨在被限定于本文中所描述的示例和设计,而是应被授予与本文中所公开的原理和新颖特征一致的最广义的范围。

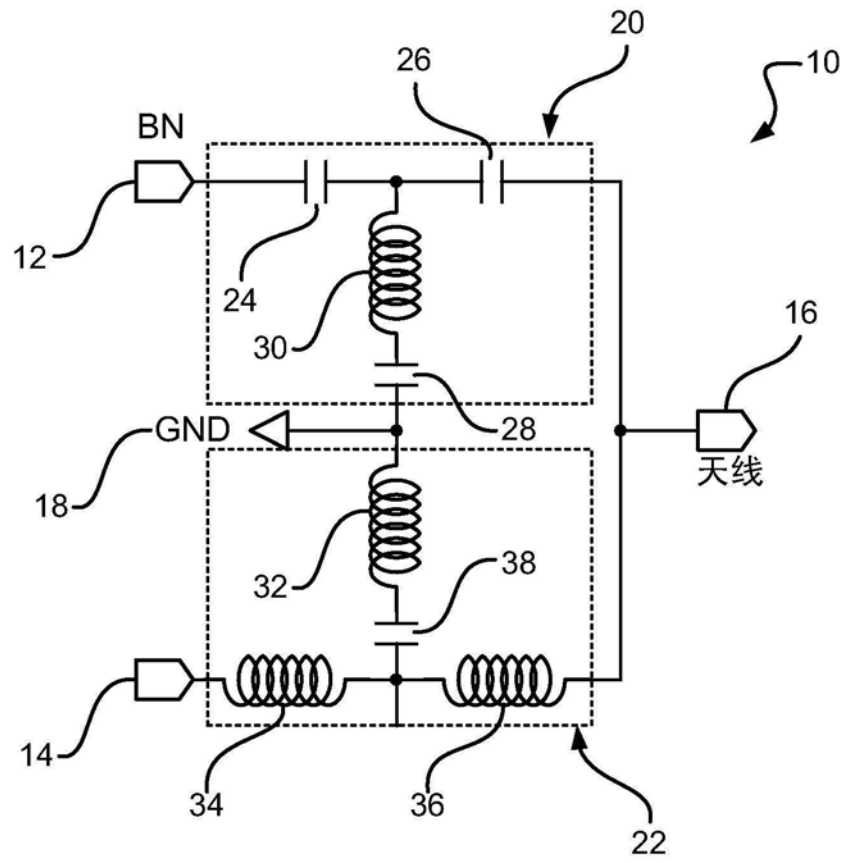


图1A
现有技术

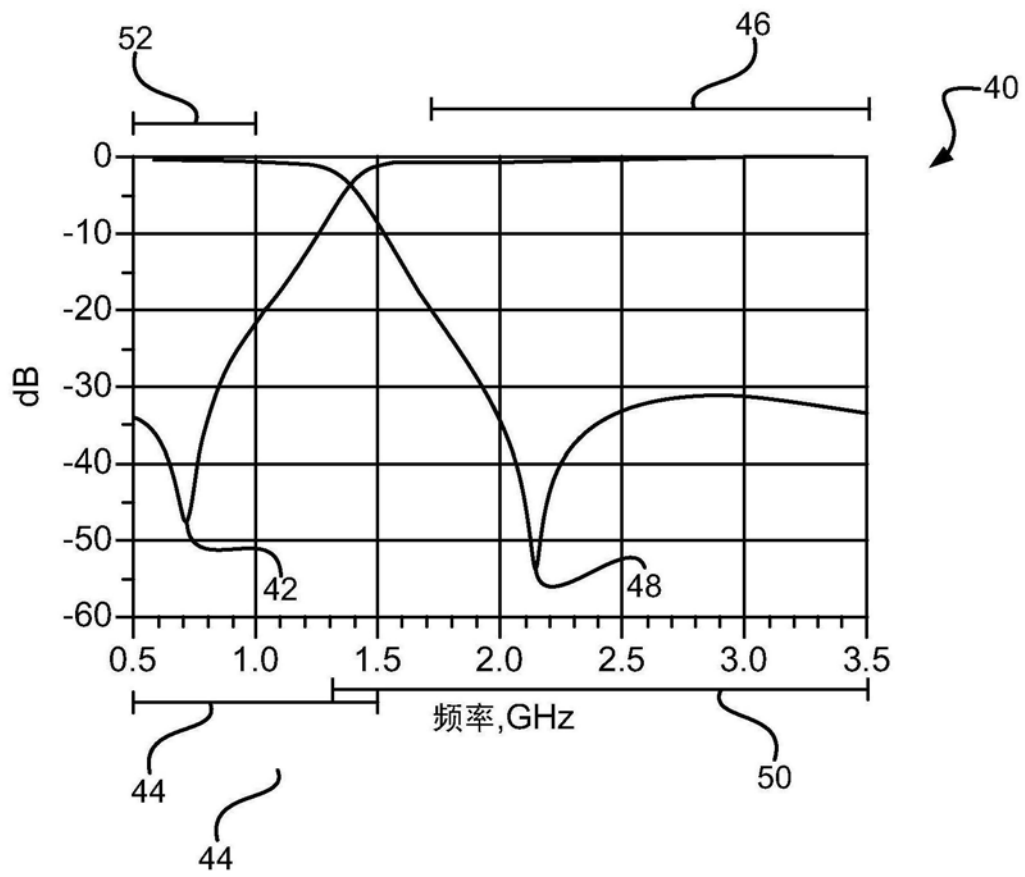


图1B

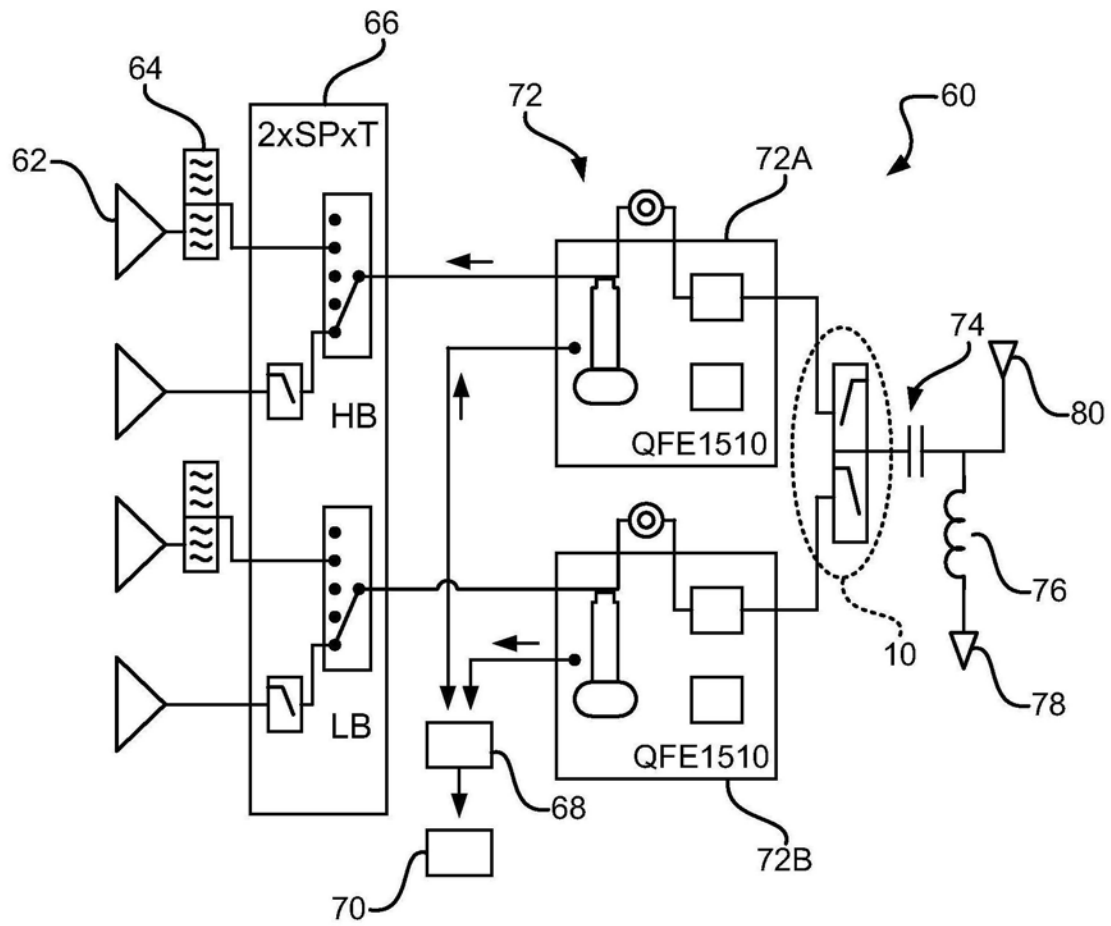


图1C

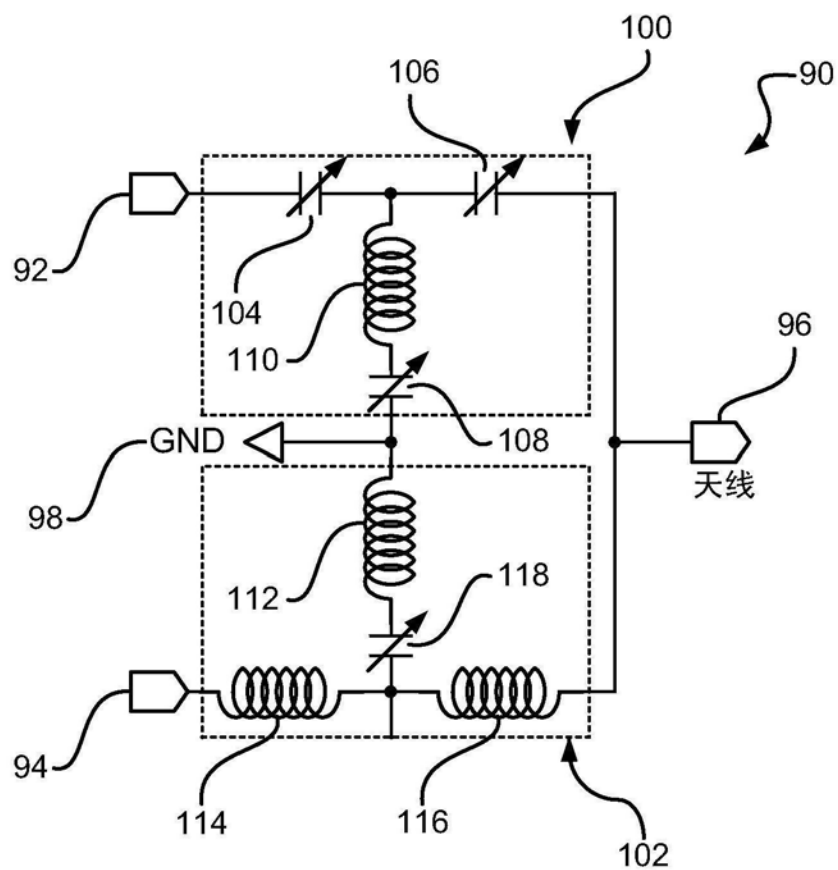


图2A

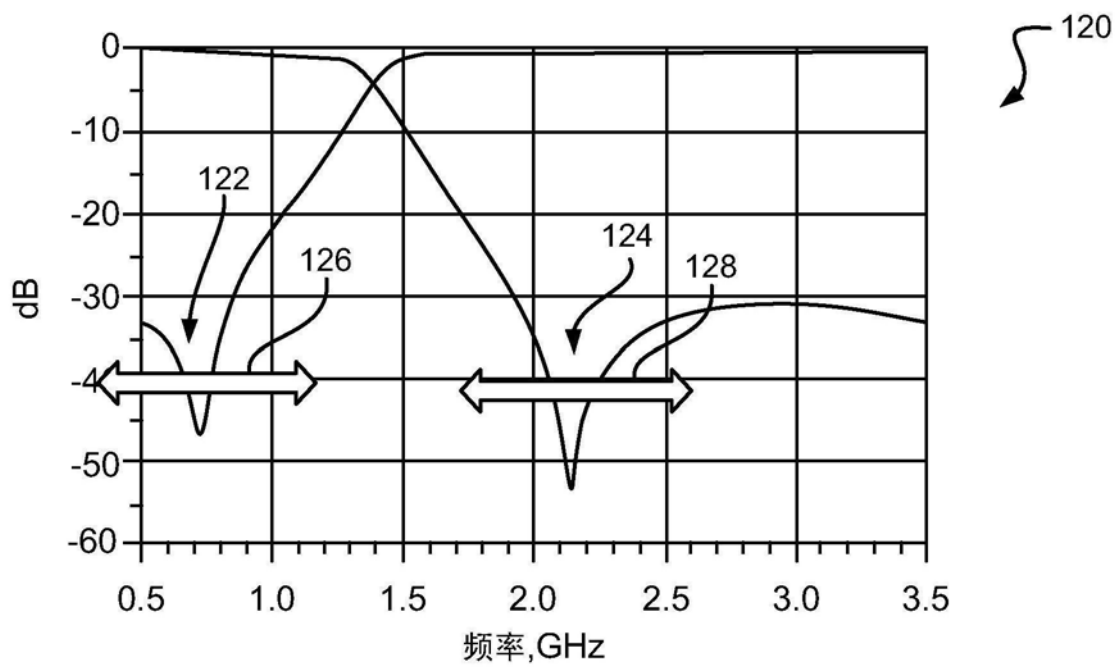


图2B

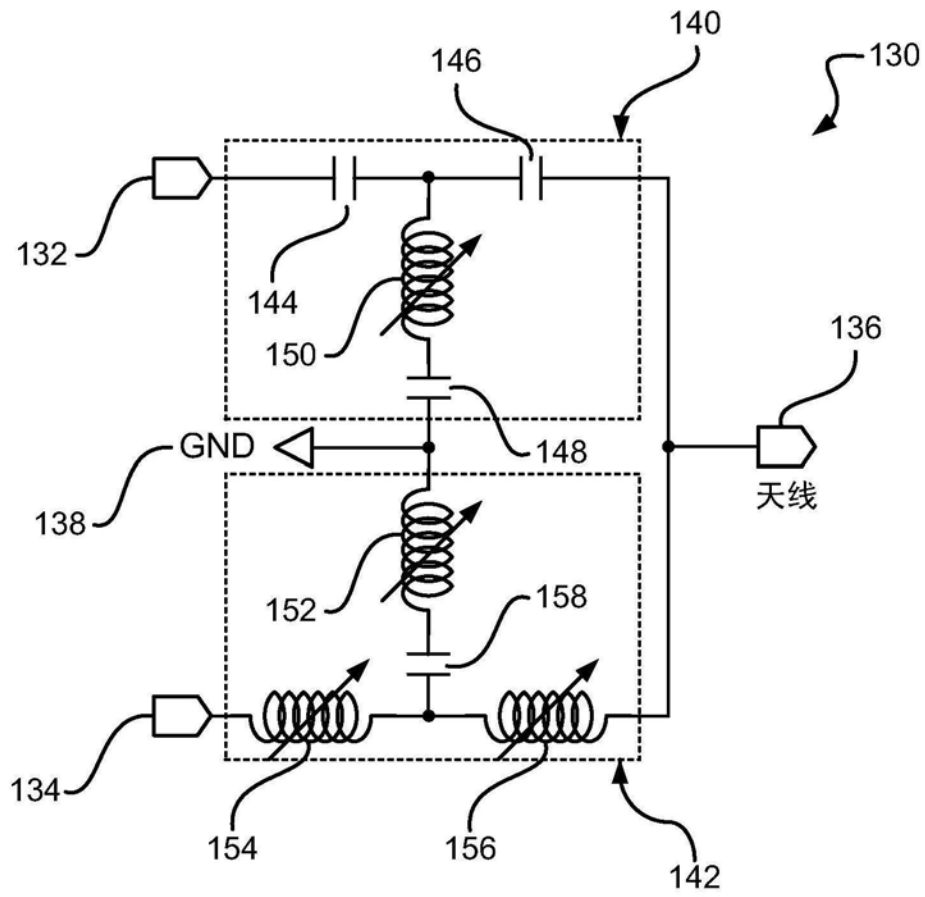


图3

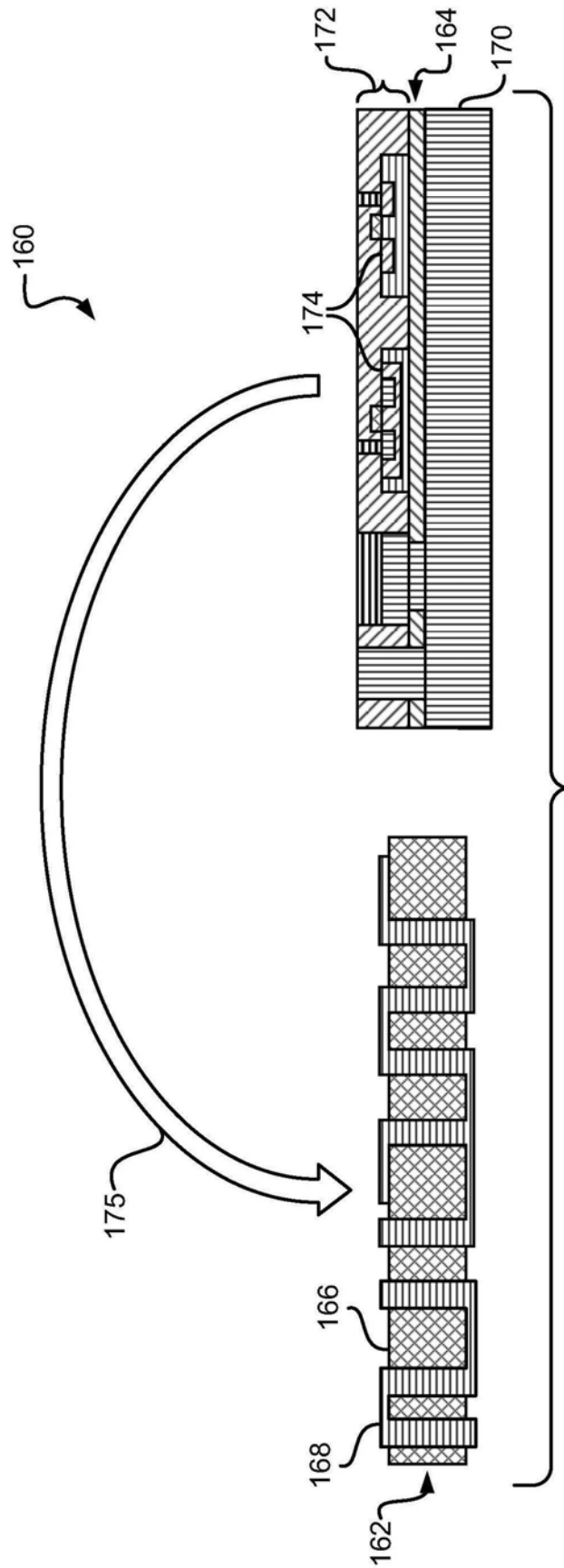


图4

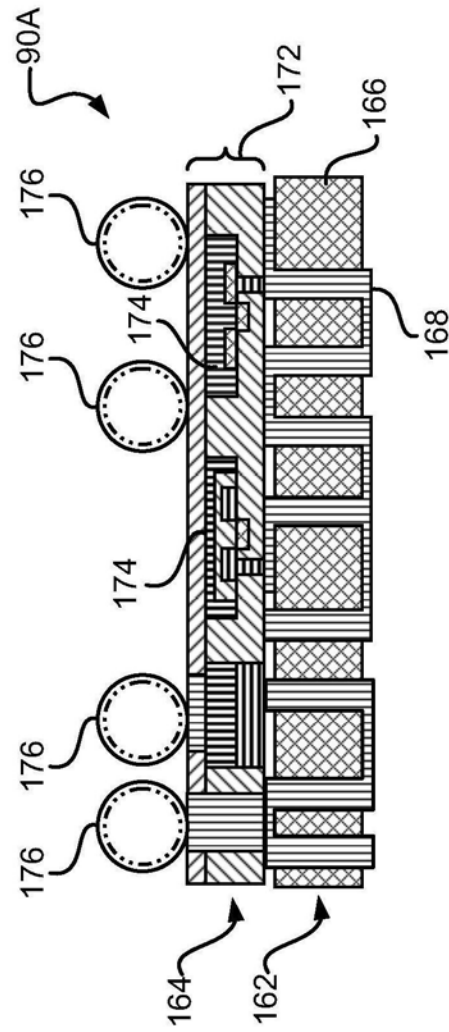


图5

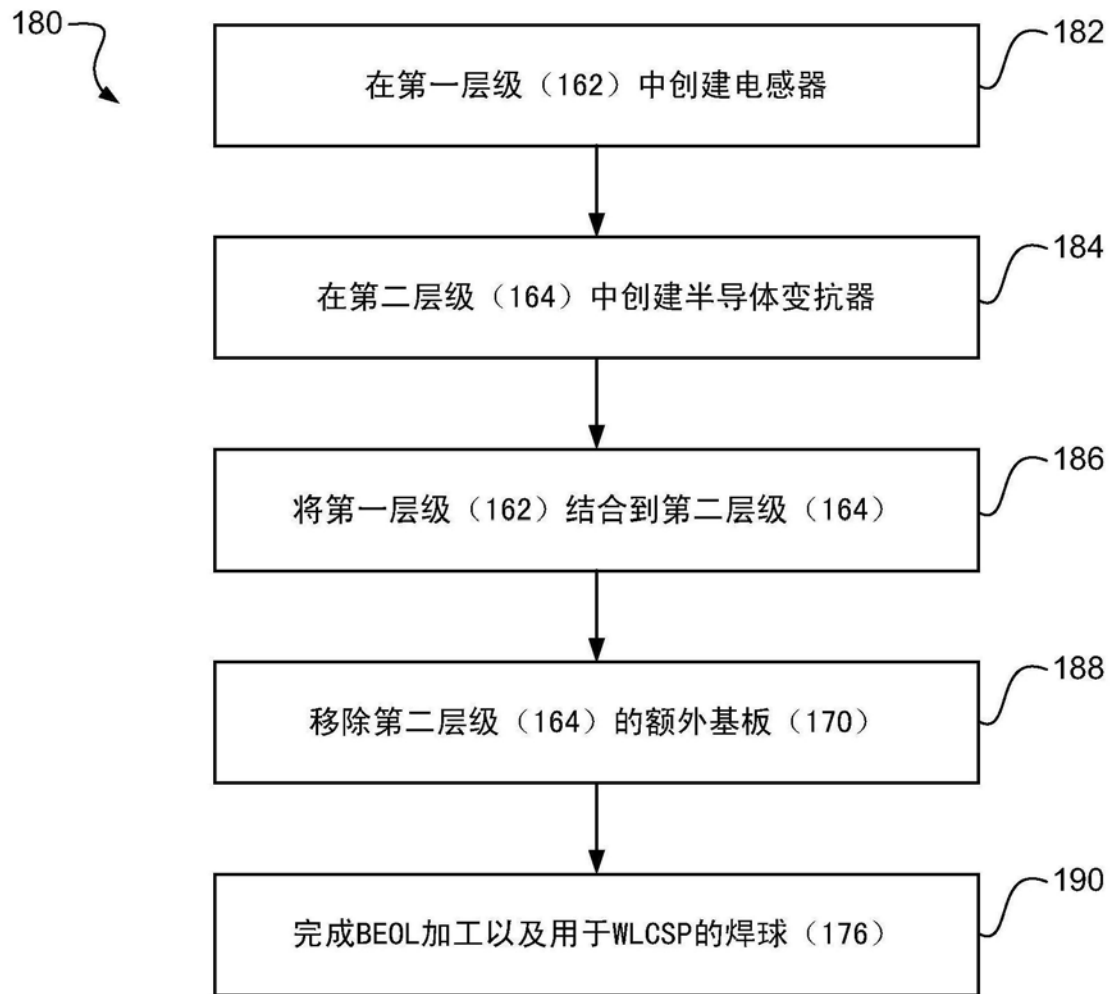


图6

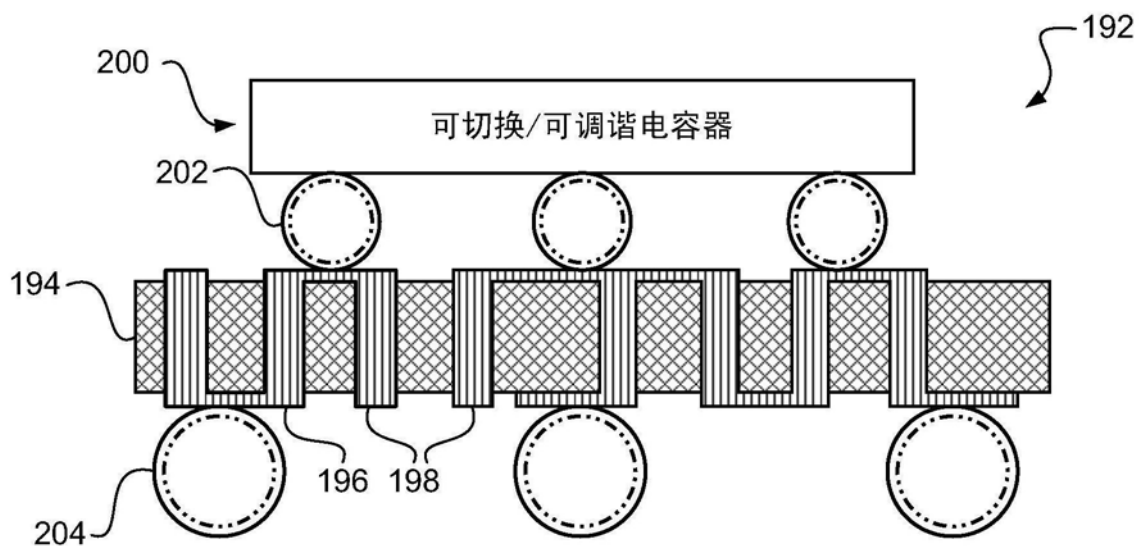


图7

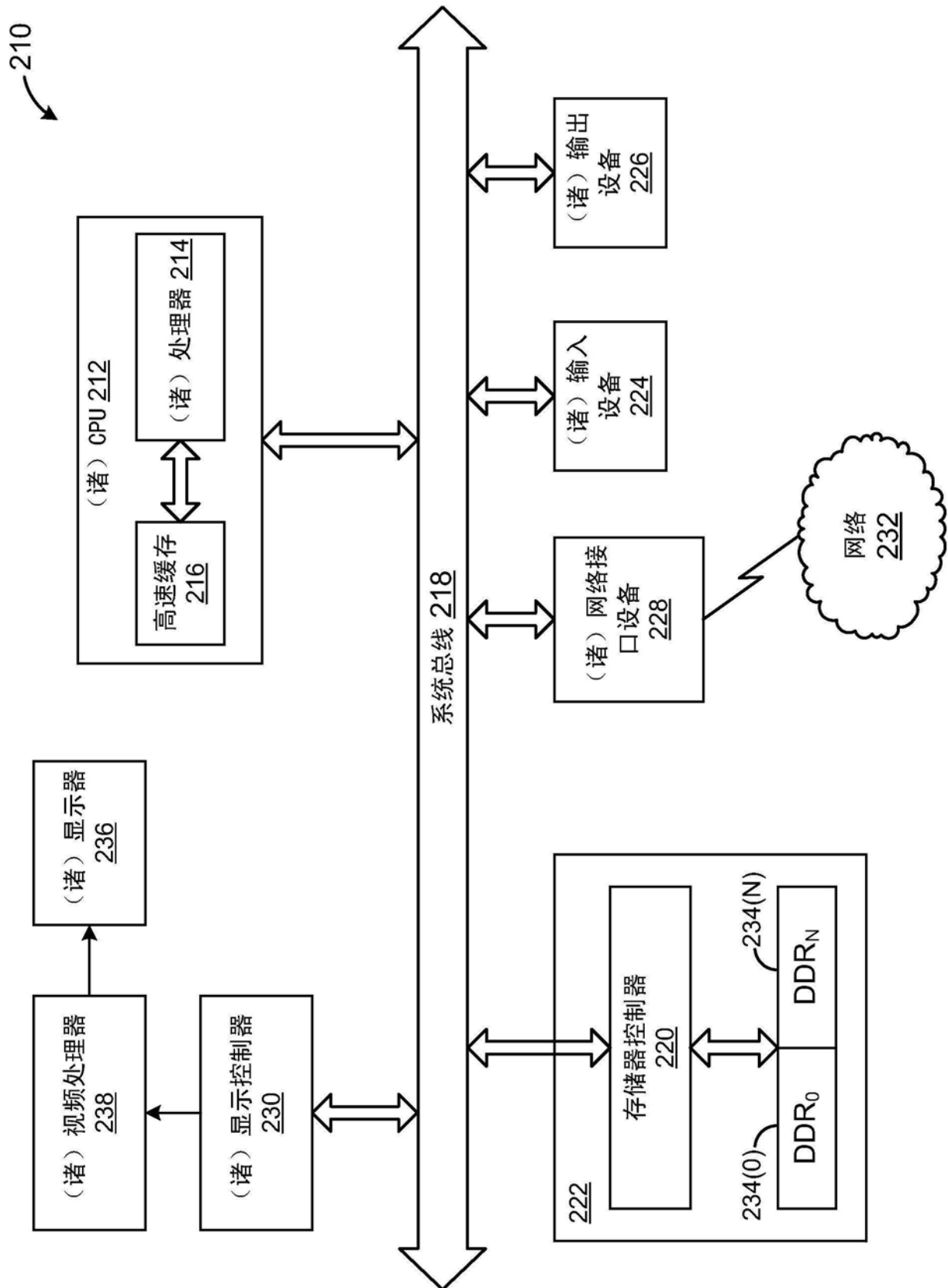


图8