

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成 28 年 11 月 10 日 (2016.11.10)

【公表番号】特表 2015-531957 (P2015-531957A)
 【公表日】平成 27 年 11 月 5 日 (2015.11.5)
 【年通号数】公開・登録公報 2015-068
 【出願番号】特願 2015-532159 (P2015-532159)
 【国際特許分類】

G 1 1 C 16/06 (2006.01)

G 1 1 C 16/04 (2006.01)

【 F I 】

G 1 1 C 17/00 6 3 4 E

G 1 1 C 17/00 6 2 1 A

【手続補正書】
 【提出日】平成 28 年 9 月 16 日 (2016.9.16)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

フローティングゲートを有するメモリセルの充電状態を判定するための方法であって、前記方法は、

ビット線に連結された全てのメモリセルがアサート停止されるときに、第 1 のトランジスタのゲートおよびドレインを前記ビット線に連結することによって前記ビット線内の第 1 の電流を感知するステップと、

前記感知された第 1 の電流から、前記第 1 のトランジスタの前記ゲートおよびソースにわたって電圧を生成することによって、前記第 1 の電流を前記電圧に変換するステップと

コンデンサにわたって前記電圧を連結することによって前記電圧を格納するステップと

、前記格納された電圧に基づいて、基準電流を提供するステップと、

前記ビット線に接続された単一のメモリセルが、その読取動作中にアサートされるときに、前記基準電流を前記ビット線内の第 2 の電流と比較するステップと、

前記第 2 の電流との前記基準電流の前記比較から、前記単一のメモリセルに格納されたビット値充電状態を判定するステップと

を含む、方法。

【請求項 2】

前記コンデンサは、第 2 のトランジスタのゲートおよび接続されたドレインソースによって形成されている、請求項 1 に記載の方法。

【請求項 3】

前記基準電流を提供するステップは、第 2 のトランジスタに格納された前記電圧に基づいて、前記第 1 のトランジスタを用いて前記基準電流を生成するステップを含む、請求項 1 に記載の方法。

【請求項 4】

前記基準電流を提供するステップは、前記コンデンサに格納された前記電圧に基づいて、前記第 1 のトランジスタを用いて前記基準電流を生成するステップを含む、請求項 1 に

記載の方法。

【請求項 5】

前記基準電流を前記第 2 の電流と比較するステップは、前記メモリセルがアサートされた後に前記メモリセルと関連付けられる前記ビット線の前記電圧を監視するステップを含む、請求項 1 ~ 4 のうちの 1 項に記載の方法。

【請求項 6】

前記単一のメモリセルに格納された前記ビット値充電状態を判定するステップは、前記アサートされたメモリセルと関連付けられる前記ビット線の論理状態の変化または論理状態の欠如を検出するステップを含む、請求項 1 ~ 5 のうちの 1 項に記載の方法。

【請求項 7】

前記第 1 のトランジスタの前記ドレインは、前記ビット線に連結され、前記第 1 のトランジスタの前記ソースは、電力供給電圧に連結され、前記第 2 のトランジスタに格納された前記電圧は、前記基準電流を提供するように前記第 1 のトランジスタにバイアスをかける、請求項 3 に記載の方法。

【請求項 8】

前記アサートされたメモリセルの読取動作中に、第 2 のトランジスタの中の前記格納された電圧は、前記ビット線に連結された前記アサートされたメモリセルの前記ビット値充電状態を感知するための前記基準電流を判定する際に使用される、請求項 1 ~ 7 のうちの 1 項に記載の方法。

【請求項 9】

前記第 1 のトランジスタおよび第 2 のトランジスタは、p 型または n 型金属酸化膜半導体 (PMOS, NMOS) トランジスタである、請求項 1 ~ 8 のうちの 1 項に記載の方法。

【請求項 10】

フローティングゲートを有するメモリセルの充電状態を判定するための装置であって、前記装置は、第 1 のトランジスタと、コンデンサとを備え、

第 1 のモード中に、前記第 1 のトランジスタは、ビット線に連結された全てのメモリセルがアサート停止されるときに、切替手段によって前記ビット線に連結されるゲートおよびドレインと、電力供給電圧に連結されるソースとを有し、前記ビット線内の第 1 の電流が感知され、

前記第 1 のトランジスタは、前記第 1 のトランジスタの前記ゲートおよびソースにわたって電圧を生成することによって前記第 1 の電流を前記電圧に変換し、

前記コンデンサは、前記第 1 のモード中に前記電圧を格納するように構成され、

第 2 のモード中に、前記切替手段は、前記コンデンサからの前記格納された電圧に基づいて基準電流を提供するように前記第 1 のトランジスタを制御し、

第 2 のモード中に、前記基準電流は、前記ビット線に接続された単一のメモリセルが、その読取動作中にアサートされるときに、前記ビット線内の第 2 の電流と比較され、

前記装置は、前記第 2 のモード中に、前記単一のメモリセルに格納されたビット値充電状態が、前記第 2 の電流との前記基準電流の前記比較から判定されることを判定するように構成されている、装置。

【請求項 11】

前記コンデンサは、第 2 のトランジスタのゲートおよび接続されたドレインソースによって形成されている、請求項 10 に記載の装置。

【請求項 12】

前記単一のメモリセルに格納された前記ビット値充電状態は、前記アサートされたメモリセルと関連付けられる前記ビット線の論理状態の変化または論理状態の欠如を検出することによって判定される、請求項 10 または 11 に記載の装置。

【請求項 13】

前記コンデンサと連結されたソースおよびドレインを有する、前記コンデンサを放電するためのリセットトランジスタをさらに備える、請求項 10、11 または 12 に記載の装

置。

【請求項 14】

ともに連結され、かつ前記第 1 のトランジスタのゲートと連結されたソースおよびドレインを有する補償トランジスタをさらに備え、前記補償トランジスタのゲートは、制御信号を受信するように構成されている、請求項 10 ~ 13 のうちの 1 項に記載の装置。

【請求項 15】

前記第 1 のトランジスタおよび第 2 のトランジスタは、p 型金属酸化膜半導体 (PMOS) トランジスタである、請求項 10 ~ 14 のうちの 1 項に記載の装置。

【請求項 16】

前記第 1 のトランジスタおよび第 2 のトランジスタは、n 型金属酸化膜半導体 (NMOS) トランジスタである、請求項 10 ~ 14 のうちの 1 項に記載の装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

さらに別の実施形態によると、フローティングゲートを有するメモリセルの充電状態を判定するための装置は、ビット線に連結される全てのメモリセルがアサート停止され得るときに、ビット線に連結されるゲートおよびドレインと、電力供給電圧に連結されるソースとを有する、第 1 のトランジスタであって、ビット線内の第 1 の電流が感知され得る、第 1 のトランジスタを備えてもよく、第 1 のトランジスタは、第 1 の電流を電圧に変換し、コンデンサは、電圧を格納し、第 1 のトランジスタは、コンデンサからの格納された電圧に基づいて、基準電流を提供し、基準電流は、ビット線に接続される単一のメモリセルが、その読取動作中にアサートされ得るときに、ビット線内の第 2 の電流と比較されてもよく、単一のメモリセルに格納されたビット値充電状態は、第 2 の電流との基準電流の比較から判定されてもよい。

本願明細書は、例えば、以下の項目も提供する。

(項目 1)

フローティングゲートを有するメモリセルの充電状態を判定するための方法であって、前記方法は、

ビット線に連結された全てのメモリセルがアサート停止されるときに、前記ビット線内の第 1 の電流を感知するステップと、

前記第 1 の電流を電圧に変換するステップと、

前記電圧を格納するステップと、

前記格納された電圧に基づいて、基準電流を提供するステップと、

前記ビット線に接続された単一のメモリセルが、その読取動作中にアサートされるときに、前記基準電流を前記ビット線内の第 2 の電流と比較するステップと、

前記第 2 の電流との前記基準電流の前記比較から、前記単一のメモリセルに格納されたビット値充電状態を判定するステップと

を含む、方法。

(項目 2)

前記第 1 の電流を感知するステップは、前記ビット線に連結された全てのメモリセルがアサート停止されるときに、第 1 のトランジスタのゲートおよびドレインを前記ビット線に連結するステップを含む、項目 1 に記載の方法。

(項目 3)

前記第 1 の電流を前記電圧に変換するステップは、前記感知された第 1 の電流から、前記第 1 のトランジスタの前記ゲートおよびソースにわたって前記電圧を生成するステップを含む、項目 2 に記載の方法。

(項目 4)

前記電圧を格納するステップは、第2のトランジスタのゲートおよびともに接続されたソース・ドレインにわたって前記電圧を連結するステップを含み、前記電圧は、前記第2のトランジスタのゲートとソース・ドレインとの間に形成された静電容量の間に格納される、項目3に記載の方法。

(項目5)

前記電圧を格納するステップは、コンデンサにわたって前記電圧を連結するステップを含む、項目3に記載の方法。

(項目6)

前記基準電流を提供するステップは、前記第2のトランジスタに格納された前記電圧に基づいて、前記第1のトランジスタを用いて前記基準電流を生成するステップを含む、項目4に記載の方法。

(項目7)

前記基準電流を提供するステップは、前記コンデンサに格納された前記電圧に基づいて、前記第1のトランジスタを用いて前記基準電流を生成するステップを含む、項目5に記載の方法。

(項目8)

前記基準電流を前記第2の電流と比較するステップは、前記メモリセルがアサートされた後に前記メモリセルと関連付けられる前記ビット線の前記電圧を監視するステップを含む、項目1に記載の方法。

(項目9)

前記単一のメモリセルに格納された前記ビット値充電状態を判定するステップは、前記アサートされたメモリセルと関連付けられる前記ビット線の論理状態の変化または論理状態の欠如を検出するステップを含む、項目1に記載の方法。

(項目10)

前記第1のトランジスタの前記ドレインは、前記ビット線に連結され、前記第1のトランジスタの前記ソースは、電力供給電圧に連結され、前記第2のトランジスタに格納された前記電圧は、前記基準電流を提供するように前記第1のトランジスタにバイアスをかける、項目6に記載の方法。

(項目11)

前記アサートされたメモリセルの読取動作中に、前記第2のトランジスタの中の前記格納された電圧は、前記ビット線に連結された前記アサートされたメモリセルの前記ビット値充電状態を感知するための前記基準電流を判定する際に使用される、項目1に記載の方法。

(項目12)

前記第1および第2のトランジスタは、p型金属酸化膜半導体(PMOS)トランジスタである、項目4に記載の方法。

(項目13)

前記第1および第2のトランジスタは、n型金属酸化膜半導体(NMOS)トランジスタである、項目4に記載の方法。

(項目14)

フローティングゲートを有するメモリセルの充電状態を判定するための装置であって、前記装置は、第1のトランジスタを備え、

前記第1のトランジスタは、ビット線に連結された全てのメモリセルがアサート停止されるときに、前記ビット線に連結されるゲートおよびドレインと、電力供給電圧に連結されるソースとを有し、前記ビット線内の第1の電流が感知され、

前記第1のトランジスタは、前記第1の電流を電圧に変換し、

第2のトランジスタは、前記電圧を格納し、

前記第1のトランジスタは、前記第2のトランジスタからの前記格納された電圧に基づいて、基準電流を提供し、

前記基準電流は、前記ビット線に接続された単一のメモリセルが、その読取動作中にア

サートされるときに、前記ビット線内の第 2 の電流と比較され、

前記単一のメモリセルに格納されたビット値充電状態は、前記第 2 の電流との前記基準電流の前記比較から判定される、装置。

(項目 1 5)

前記第 1 のトランジスタを通る前記第 1 の電流は、前記第 1 のトランジスタの前記ゲートとソースとの間に前記電圧を生成する、項目 1 4 に記載の装置。

(項目 1 6)

前記電圧は、前記第 2 のトランジスタのゲートとソース - ドレインとの間に形成された静電容量の間に格納される、項目 1 4 に記載の装置。

(項目 1 7)

前記電圧は、コンデンサ上に格納される、項目 1 4 に記載の装置。

(項目 1 8)

前記基準電流は、前記アサートされたメモリセルと関連付けられる前記ビット線を用いて、前記第 2 の電流と比較される、項目 1 4 に記載の装置。

(項目 1 9)

前記単一のメモリセルに格納された前記ビット値充電状態は、前記アサートされたメモリセルと関連付けられる前記ビット線の論理状態の変化または論理状態の欠如を検出することによって判定される、項目 1 4 に記載の装置。

(項目 2 0)

前記第 1 および第 2 のトランジスタは、p 型金属酸化膜半導体 (PMOS) トランジスタである、項目 1 4 に記載の装置。

(項目 2 1)

前記第 1 および第 2 のトランジスタは、n 型金属酸化膜半導体 (NMOS) トランジスタである、項目 1 4 に記載の装置。

(項目 2 2)

フローティングゲートを有するメモリセルの充電状態を判定するための装置であって、前記装置は、第 1 のトランジスタを備え、

前記第 1 のトランジスタは、ビット線に連結された全てのメモリセルがアサート停止されるときに、前記ビット線に連結されるゲートおよびドレインと、電力供給電圧に連結されるソースとを有し、前記ビット線内の第 1 の電流が感知され、

前記第 1 のトランジスタは、前記第 1 の電流を電圧に変換し、

コンデンサは、前記電圧を格納し、

前記第 1 のトランジスタは、前記コンデンサからの前記格納された電圧に基づいて、基準電流を提供し、

前記基準電流は、前記ビット線に接続された単一のメモリセルが、その読取動作中にアサートされるときに、前記ビット線内の第 2 の電流と比較され、

前記単一のメモリセルに格納されたビット値充電状態は、前記第 2 の電流との前記基準電流の前記比較から判定される、装置。