

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5592074号
(P5592074)

(45) 発行日 平成26年9月17日(2014.9.17)

(24) 登録日 平成26年8月8日(2014.8.8)

(51) Int.Cl.		F I		
HO 1 L 21/822	(2006.01)	HO 1 L 27/04		A
HO 1 L 27/04	(2006.01)	HO 1 L 27/04		C
HO 1 L 21/82	(2006.01)	HO 1 L 21/82		D

請求項の数 1 (全 19 頁)

(21) 出願番号	特願2009-27598 (P2009-27598)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成21年2月9日(2009.2.9)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2010-183021 (P2010-183021A)	(74) 代理人	100110928 弁理士 速水 進治
(43) 公開日	平成22年8月19日(2010.8.19)	(72) 発明者	富留宮 正之 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
審査請求日	平成24年2月7日(2012.2.7)	(72) 発明者	中柴 康隆 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
		審査官	小田 浩

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

基板と、

前記基板上に形成され、それぞれ、長軸方向と短軸方向とを有する所定パターンの膜を含み、前記基板の面内方向の同一層に分散配置された複数の分割素子と、

を含み、

各前記分割素子は、前記基板上に形成された抵抗膜を含む分割抵抗端子であって、

前記所定パターンの膜は、前記抵抗膜であって、

複数の前記分割抵抗端子は、第1の方向において隣接する前記分割抵抗端子に含まれる前記抵抗膜の長軸方向が異なるか、または、前記第1の方向において隣接する前記分割抵抗端子が、前記第1の方向と直交する第2の方向に、当該第2の方向における前記分割抵抗端子の長さよりも小さい量だけずらして配置され、

前記抵抗膜の短軸方向に配列された前記分割抵抗端子の少なくとも2つが電氣的に並列に接続されている半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。

【背景技術】

【0002】

近年、キャパシタ素子においては、従来のMOS型キャパシタに比し、寄生抵抗、寄生容量が著しく小さいMIM (Metal-Insulator-Metal) キャパシタが利用されるようになってきている。特許文献1 (特開2004-241762号公報) には、このようなMIMキャパシタとして、半導体装置において、相互に同一の設計ルールで設けられている配線層に、長手方向が同一である複数の短冊状の電極を、通常の配線と同時に形成した構成が記載されている。このような構成において、隣接する電極間に接地電位GNDと電源電位VDDとをそれぞれ供給することにより、絶縁膜を容量膜としたキャパシタが形成される。

【0003】

特許文献2 (特開2000-252428号公報) には、第1の電極と、第2の電極と、該第1および第2の電極間の誘電体により構成される容量回路であって、第1の電極として機能する第1の配線と、第2の電極として機能する第2の配線とを、同一の配線層で隣接させて交互に複数設けた構成が記載されている。ここで、上下の層で配線の方向が直交して設けられた構成が記載されている。

10

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2004-241762号公報

【特許文献2】特開2000-252428号公報

【特許文献3】特開2007-49309号公報

【発明の概要】

20

【発明が解決しようとする課題】

【0005】

特許文献1や特許文献2に記載されたMIMキャパシタは、配線が電極として機能し、層間絶縁膜が容量膜として機能する。このような構成において、MIMキャパシタの容量値は、配線や容量膜の膜厚に依存する。また、MIMキャパシタの容量値は、電極間の距離等、パターン形状にも依存する。しかし、層間絶縁膜や配線の膜厚は、成膜工程や化学機械研磨法 (CMP: Chemical Mechanical Polishing) 等の研磨工程の製造ばらつきにより、基板の面内方向においてばらつきが生じることがある。また、たとえば基板の面内方向におけるパターニングのばらつきにより、パターン形状にばらつきが生じることもある。そのため、形成される箇所によって、MIMキャパシタの容量値等、素子の特性値が設計値からずれてしまうという問題があった。

30

【課題を解決するための手段】

【0006】

本発明によれば、

基板と、

前記基板上に形成され、それぞれ、長軸方向と短軸方向とを有する所定パターンの膜を含み、前記基板の面内方向の同一層に分散配置された複数の分割素子と、
を含み、

複数の前記分割素子は、第1の方向において隣接する前記分割素子の前記膜の長軸方向が異なるか、または、前記第1の方向において隣接する前記分割素子が、前記第2の方向に、当該第2の方向における前記分割素子の長さよりも小さい量だけずらして配置された半導体装置が提供される。

40

【0007】

これにより、基板の面内方向において、膜の膜厚やパターン形状にばらつきがある場合でも、膜厚やパターン形状のばらつきを相殺することができ、MIMキャパシタの容量値等の素子の特性値の設計値からのずれを低減することができる。ここで、基板の面内方向とは、基板の積層方向に対して直角な方向のことである。

【0008】

なお、以上の構成要素の任意の組合せ、本発明の表現を方法、装置などの間で変換したものもまた、本発明の態様として有効である。

50

【発明の効果】

【0009】

本発明によれば、基板の面内方向のばらつきに関わらず、素子の特性値の設計値からのずれを低減することができる。

【図面の簡単な説明】

【0010】

【図1】本発明の実施の形態における半導体装置の特徴を模式的に説明する平面図である。

【図2】MIMキャパシタの構成を示す図である。

【図3】MIMキャパシタの構成を示す平面図である。

10

【図4】複数の分割キャパシタが分散配置された構成の一例を示す平面図である。

【図5】本発明の実施の形態における第1の分割キャパシタと第2の分割キャパシタの構成を示す回路図である。

【図6】図4に示した複数の分割キャパシタが分散配置された構成の他の例を示す平面図である。

【図7】図4に示した複数の分割キャパシタが分散配置された構成のまた他の例を示す平面図である。

【図8】図4に示した複数の分割キャパシタが分散配置された構成のまた他の例を示す平面図である。

【図9】図1に示した第1の分割素子および第2の分割素子が、抵抗である場合の構成の一例を示す図である。

20

【図10】図1に示した第1の分割素子および第2の分割素子が、抵抗である場合の構成の他の例を示す図である。

【図11】図1に示した第1の分割素子および第2の分割素子が、ゲートである場合の構成の一例を示す図である。

【図12】図1に示した第1の分割素子および第2の分割素子が、ゲートである場合の構成の他の例を示す図である。

【図13】従来の半導体装置の構成を説明するための平面図である。

【図14】第1の素子や第2の素子が、MIMキャパシタである場合の構成を示す平面図である。

30

【図15】第1の素子や第2の素子が、MIMキャパシタである場合の構成を示す断面図である。

【図16】第1の素子や第2の素子を含む回路の例を示す図である。

【図17】MIMキャパシタの構成の他の例を示す平面図である。

【図18】図3に示した構成のMIMキャパシタを図4に示したレイアウトと同様に配置した構成を部分的に示す平面図である。

【図19】図17に示した構成のMIMキャパシタを図4に示したレイアウトと同様に配置した構成を部分的に示す平面図である。

【発明を実施するための形態】

【0011】

40

以下、本発明の実施の形態について、図面を用いて説明する。尚、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。

【0012】

本発明の実施の形態における半導体装置の構成を説明するために、従来の半導体装置の構成を説明する。図13は、従来の一般的な半導体装置10の構成を説明するための平面模式図である。

【0013】

半導体装置10は、基板（不図示）と、基板上に形成された第1の素子12および第2の素子14とを含む。ここで、第1の素子12には、第1の入力線310と第1の出力線312とが接続されている。また、第2の素子14には、第2の入力線320と第2の出

50

力線 3 2 2 とが出力されている。

【 0 0 1 4 】

第 1 の素子 1 2 および第 2 の素子 1 4 は、それぞれ、基板上に形成された膜（不図示）を含み、特性値が当該膜の膜厚やパターン形状に依存する素子である。第 1 の素子 1 2（A）および第 2 の素子 1 4（B）は、それぞれ、たとえば、MIM キャパシタ等の容量、抵抗、トランジスタ等、絶縁膜や配線等を含み、特性値が絶縁膜や配線等の導電膜の膜厚やパターン形状に依存する素子とすることができる。たとえば、素子が基板上に形成された絶縁膜と、絶縁膜中の同層に形成され、間に絶縁膜を挟んで対向して形成された第 1 の電極および第 2 の電極とから構成される MIM キャパシタである場合、この MIM キャパシタの特性値である容量値は、第 1 の電極および第 2 の電極の膜厚、絶縁膜の膜厚、第 1 の電極および第 2 の電極間の距離（パターン形状）等に依存する。また、素子が基板上に形成された高抵抗膜により構成される抵抗である場合、この抵抗の特性値である抵抗値は、高抵抗膜の膜厚やパターン形状に依存する。このような場合、第 1 の素子 1 2 や第 2 の素子 1 4 が形成される箇所における絶縁膜や配線等の導電膜の膜厚やパターン形状によって、素子の特性値が変化してしまう。

10

【 0 0 1 5 】

図 1 4 は、第 1 の素子 1 2 や第 2 の素子 1 4 が、MIM キャパシタである場合の構成を示す平面図である。図 1 5 は、第 1 の素子 1 2 や第 2 の素子 1 4 が、MIM キャパシタである場合の構成を示す断面図である。図 1 5 は図 1 4 の B - B' 断面図に該当する。

MIM キャパシタは、層間絶縁膜 4 0 と、層間絶縁膜 4 0 中の同層に形成された第 1 の電極 4 2 および第 2 の電極 4 4 とにより構成される。第 1 の電極 4 2 および第 2 の電極 4 4 は、配線とすることができる。ここで層間絶縁膜 4 0、第 1 の電極 4 2、および第 2 の電極 4 4 には、基板の面内方向における膜厚差があるものとする。図では、図中右に行くほど各膜の膜厚が薄くなっている。層間絶縁膜 4 0 は、図中、左端では膜厚が d_1 であるのに対し、右端では膜厚が d_2 ($d_1 > d_2$) となっている。このような構成において、第 1 の素子 1 2 および第 2 の素子 1 4 が膜厚が厚い領域 C に形成された場合と、膜厚が薄い領域 D に形成された場合とでは、容量値が大きく異なってくる。

20

【 0 0 1 6 】

また、第 1 の素子 1 2 と第 2 の素子 1 4 とは、たとえば差動回路等の相補的な関係にある回路中に組み込まれることがある。このような回路の例を図 1 6 に示す。図 1 6 は、特許文献 3（特開 2 0 0 7 - 4 9 3 0 9 号公報）に記載されたスイッチ回路である。

30

ここで、第 1 の素子 1 2 と第 2 の素子 1 4 とは、それぞれ、図 1 6 に示した回路の容量、抵抗、トランジスタ（図中 A、B と記載）とすることができる。このような構成において、容量 A と B、抵抗 A と B、またはトランジスタ A と B とは、回路中で相補的な関係にあり、同じ特性値を示すことが必要である。このような素子を構成する膜の面内方向の膜厚のばらつきにより、各素子における膜の膜厚が異なると、それぞれの素子の特性値が異なり、正しい回路出力が得られなくなってしまう。

【 0 0 1 7 】

次に、本実施の形態における半導体装置 1 0 0 の構成を説明する。図 1 は、本実施の形態における半導体装置 1 0 0 の特徴を模式的に説明する平面図である。

40

本実施の形態において、図 1 6 に示した素子（容量、抵抗、トランジスタ）A、B を、それぞれ、基板の面内方向に分散配置された複数の分割素子により構成する。ここで、基板は、たとえばシリコン基板等の半導体基板とすることができる。

【 0 0 1 8 】

半導体装置 1 0 0 は、複数の第 1 の分割素子 3 0 2 ($A_1 \sim A_4$) と、複数の第 2 の分割素子 3 0 4 ($B_1 \sim B_4$) とを含む。複数の第 1 の分割素子 3 0 2 は、基板の面内方向に分散配置される。また、複数の第 2 の分割素子 3 0 4 も、基板の面内方向に分散配置される。また、本実施の形態において、複数の第 1 の分割素子 3 0 2 と複数の第 2 の分割素子 3 0 4 とは、互いに混在して配置され、第 1 の方向（ここでは図中横方向）において交互に配置することができる。さらに、複数の第 1 の分割素子 3 0 2 および複数の第 2 の分

50

割素子 304 は、平面視において、マトリクス状に配置することができる。ここで、マトリクス状とは、複数の分割素子がそれぞれ縦方向と横方向とに配列された構成とすることができる。また、複数の分割素子は、縦方向と横方向とに格子状に配列されたものでもよく、また千鳥格子状に配列されたものでもよい。本実施の形態において、複数の第 1 の分割素子 302 および複数の第 2 の分割素子 304 は、平面視において、同じ大きさかつ同形状に形成することができる。

【0019】

複数の第 1 の分割素子 302 は、一の第 1 の入力線 310 と一の第 1 の出力線 312 とに接続される。第 1 の入力線 310 から入力された信号は、各第 1 の分割素子 302 を介して第 1 の出力線 312 に出力される。このような構成において、第 1 の出力線 312 から、複数の第 1 の分割素子 302 の特性値の合計値が出力される。また、複数の第 2 の分割素子 304 は、一の第 2 の入力線 320 と一の第 2 の出力線 322 とに接続される。第 2 の入力線 320 から入力された信号は、各第 2 の分割素子 304 を介して第 2 の出力線 322 に出力される。第 2 の出力線 322 から、複数の第 2 の分割素子 304 の特性値の合計値が出力される。

10

【0020】

第 1 の分割素子 302 および第 2 の分割素子 304 は、第 1 の素子 12 や第 2 の素子 14 と同様、それぞれ、たとえば、MIM キャパシタ等の容量、抵抗、トランジスタ等、絶縁膜や配線等を含み、特性値が絶縁膜や配線等の膜厚やパターン形状に依存する素子とすることができる。

20

【0021】

すなわち、図 13 で示した第 1 の素子 12 「A」は、第 1 の分割素子 302 「A₁」～「A₄」に分割される。また、図 13 で示した第 2 の素子 14 「B」は、第 2 の分割素子 304 「B₁」～「B₄」に分割される。第 1 の分割素子 302 や第 2 の分割素子 304 は、それぞれ、第 1 の素子 12 や第 2 の素子 14 の約 1/4 程度の大きさに形成される。そして、このように分割された各第 1 の分割素子 302 および第 2 の分割素子 304 を、各膜の基板の面内方向における膜厚やパターン形状ばらつきの影響が相殺されるように、分散配置する。

【0022】

また、第 1 の分割素子 302 および第 2 の分割素子 304 が、図 16 に示した回路の容量 A、B、抵抗 A、B、トランジスタ A、B のように、回路中で相補的な関係にあり、同じ特性値を示すことが必要な場合、第 1 の分割素子 302 および第 2 の分割素子 304 を互いに混在して配置し、たとえば交互に配置することにより、素子を構成する各種膜の基板の面内方向の膜厚やパターン形状のばらつきに関わらず、第 1 の出力線 312 および第 2 の出力線 322 から得られる特性値を等しくすることができる。

30

【0023】

さらに、ここでは図示していないが、複数の第 1 の分割素子 302 と、複数の第 2 の分割素子 304 とは、互いに混在して配置され、第 1 の方向と、当該第 1 の方向と直交する第 2 の方向（ここでは図中縦方向）の双方それぞれにおいても交互に配置された構成とすることもできる。これにより、さらに分散度を高めることができる。

40

【0024】

ここで、第 1 の分割素子 302 および第 2 の分割素子 304 は、それぞれ、長軸方向と短軸方向とを有する所定パターンの膜を含む構成とすることができる。また、第 1 の分割素子 302 および第 2 の分割素子 304 を含む複数の分割素子は、第 1 の方向において隣接する分割素子の膜の長軸方向が異なるか、または、第 1 の方向において隣接する分割素子が、第 1 の方向と直交する第 2 の方向に、当該第 2 の方向における分割素子の長さよりも小さい量だけずらして配置された構成とすることができる。

【0025】

(第 1 の実施の形態)

本実施の形態において、図 1 に示した第 1 の分割素子 302 および第 2 の分割素子 30

50

4 が、MIMキャパシタ200である場合を例として説明する。

MIMキャパシタ200は、以下の構成を有する。

基板と、

それぞれ、前記基板上に形成された絶縁膜と、前記絶縁膜中の同層に形成され、間に前記絶縁膜を挟んで形成された第1の電極および第2の電極と、から構成され、基板の面内方向の同一層に分散配置された複数の分割MIMキャパシタと、
を含み、

各前記分割MIMキャパシタは、それぞれ、複数の前記第1の電極と複数の前記第2の電極とが交互に配置された構成を有し、

各前記分割MIMキャパシタにおいて、前記第1の電極および前記第2の電極は、同一方向に延在して形成され、

複数の前記分割MIMキャパシタは、第1の方向において隣接する前記分割MIMキャパシタの前記第1の電極および前記第2の電極の延在方向（長軸方向）が異なるか、または、前記第1の方向において隣接する前記分割MIMキャパシタが、前記第1の方向と直交する第2の方向に、当該第2の方向における前記分割MIMキャパシタの長さよりも小さい量だけずらして配置されている。

【0026】

図2および図3は、MIMキャパシタ200の構成を示す図である。

図2(a)に示すように、MIMキャパシタ200は、基板上に形成された絶縁膜（不図示）と、絶縁膜中の同層に形成され、間に絶縁膜を挟んで形成された第1の電極102および第2の電極104とから構成される。ここで、省略しているが、第1の電極102と第2の電極104とは、絶縁膜中に形成されている。第1の電極102および第2の電極104は、たとえば、配線とすることができる。

【0027】

MIMキャパシタ200は、一の層において、複数の第1の電極102と、複数の第2の電極104とを含む構成とすることができる。複数の第1の電極102と第2の電極104とは、それぞれ交互に配置される。また、第1の電極102および第2の電極104は、複数層にわたって形成することができ、上下の配線は、ビア105を介して接続されている。ここでは、4層にわたって形成されている。各MIMキャパシタ200において、第1の電極102および第2の電極104は、同一方向に延在して形成される。

【0028】

このような構成において、第1の電極102は、一端の第1の接続点102aで第1の電位を供給する第1の電位供給配線210に接続される。また、第2の電極104は、一端の第2の接続点104aで第2の電位を与える第2の電位供給配線220に接続される。第1の電位および第2の電位の一方は高電位で、他方は一方よりも低電位である。これにより、隣接する第1の電極102および第2の電極104と、それらの間の絶縁膜とによりキャパシタが形成される。

【0029】

図3は、MIMキャパシタ200の構成を示す平面図である。平面視において、第1の電位供給配線210は、第1の電極102の長軸方向と直交する方向に延在して設けられ、電位供給配線210と複数の第1の電極102とは、複数の第1の電極102をそれぞれ櫛歯とする櫛形状を有する。平面視において、第2の電位供給配線220は、第2の電極104の長軸方向と直交する方向に延在して設けられ、第2の電位供給配線220と複数の第2の電極104とは、複数の第2の電極104をそれぞれ櫛歯とする櫛形状を有する。ここで、たとえば、第1の電極102および第2の電極104は、それぞれ、1~4メタル層に形成することができる。また、各層の第1の電極102および第2の電極104は、それぞれ、第1の接続点102aまたは第2の接続点104aにおいて、1~3ビア層に形成されたビアで接続された構成とすることができる。第1の電位供給配線210と第2の電位供給配線220とは、それぞれ5メタル層に形成することができる。第1の電位供給配線210および第2の電位供給配線220は、それぞれ、第1の接続点1

10

20

30

40

50

02aまたは第2の接続点104aにおいて、第1の電極102および第2の電極104と4ピア層に形成されたピアで接続された構成とすることができる。また、他の例において、第1の電位供給配線210と第2の電位供給配線220とは、異なる層に設けることもできる。また、たとえば、第1の電位供給配線210または第2の電位供給配線220のいずれか一方を、第1の電極102および第2の電極104が形成された層と同じ層に形成することもできる。

【0030】

図2(b)は、図2(a)および図3に示したMIMキャパシタ200を模式的に示す図である。ここで、図中線で示しているのが第1の電極102および第2の電極104に対応し、線の延在方向が第1の電極102と第2の電極104との長軸方向に対応する。また、第1の接続点102aと第2の接続点104aとが設けられている側が、第1の電位供給配線210と第2の電位供給配線220とが形成された箇所に対応する。以下で説明する図面において、図2(b)に示したMIMキャパシタ200と同様の構成単位は、図2(a)および図3に示したMIMキャパシタ200に対応する。

10

【0031】

図4は、複数のMIMキャパシタ200が分散配置された構成の一例を示す平面図である。ここで、半導体装置100は、複数の第1の分割キャパシタ200a($A_1 \sim A_8$)および複数の第2の分割キャパシタ200b($B_1 \sim B_8$)を含む。第1の分割キャパシタ200aは、図1に示した第1の分割素子302に対応し、第2の分割キャパシタ200bは、図1に示した第2の分割素子304に対応する。

20

【0032】

第1の分割キャパシタ200aと第2の分割キャパシタ200bとは、同じ構成であるが、それぞれ異なる素子を構成する。ここでは、わかりやすくするために、第1の分割キャパシタ200aを実線で、第2の分割キャパシタ200bを一点破線で示す。図示していないが、第1の分割キャパシタ200aには、図1に示した第1の入力線310と第1の出力線312が接続される。第2の分割キャパシタ200bには、図1に示した第2の入力線320と第2の出力線322が接続される。

【0033】

図18は、図3に示した構成のMIMキャパシタ200を図4に示したレイアウトと同様に配置した構成を部分的に示す平面図である。

30

たとえば、図1に示した第1の入力線310および第1の出力線312の一方を高電位、他方を低電位として、それぞれ、各第1の分割キャパシタ200aの第1の電位供給配線210および第2の電位供給配線220に接続することができる。ここで、第1の入力線310および第1の出力線312は、それぞれ、第1の分割キャパシタ200a(A_1)の第1の電位供給配線210および第2の電位供給配線220に接続される。さらに、第1の分割キャパシタ200a(A_1)の第1の電位供給配線210および第2の電位供給配線220が、それぞれ、近傍の第1の分割キャパシタ200aの第1の電位供給配線210および第2の電位供給配線220に接続され、さらに同様の接続が行われる。これにより、分散配置された複数の第1の分割キャパシタ200aにより、一つのMIMキャパシタが形成される。

40

【0034】

同様に、図1に示した第1の入力線310および第1の出力線312の一方を高電位、他方を低電位として、それぞれ、各第2の分割キャパシタ200bの第1の電位供給配線210および第2の電位供給配線220に接続することができる。ここで、第2の入力線320および第2の出力線322は、それぞれ、第2の分割キャパシタ200b(B_1)の第1の電位供給配線210および第2の電位供給配線220に接続される。さらに、第2の分割キャパシタ200b(B_1)の第1の電位供給配線210および第2の電位供給配線220が、それぞれ、近傍の第2の分割キャパシタ200bの第1の電位供給配線210および第2の電位供給配線220に接続され、さらに同様の接続が行われる。これにより、分散配置された複数の第1の分割キャパシタ200aにより、一つのMIMキャパ

50

シタが形成される。

【0035】

本実施の形態において、複数の第1の分割キャパシタ200aと複数の第2の分割キャパシタ200bとは、互いに混在して配置され、第1の方向（ここでは図中横方向）において交互に配置されている。また、各第1の分割キャパシタ200aおよび第2の分割キャパシタ200bは、他の分割素子が特性値に影響を与えないようにある程度離隔して配置することができる。

【0036】

また、本実施の形態において、第3の方向（ここでは図中縦方向）において、第1の電極102および第2の電極104の長軸方向が当該第3の方向である分割キャパシタ（200aまたは200b）と、第1の電極および第2の電極の長軸方向が当該第3の方向と直交する第4の方向（ここでは図中横方向）である分割キャパシタ（200aまたは200b）とが交互に配置されている。たとえば、図中縦方向に隣接する分割キャパシタ（たとえば第1の分割キャパシタ200aである A_1 と A_3 ）の櫛歯の方向は互いに同一ではない。

【0037】

さらに、複数の分割キャパシタ（200aまたは200b）は、第1の接続点102aおよび第2の接続点104aが形成される箇所も適宜異なるようにすることができる。

【0038】

たとえば、図4に示した例では、縦方向において、上から1行目と3行目には、第1の電極102および第2の電極104が縦方向に延在する分割キャパシタが配置され、上から2行目と4行目には、第1の電極102および第2の電極104が横方向に延在する分割キャパシタが配置されている。また、上から1行目には、第1の接続点102aと第2の接続点104aとが図中下側になるように分割キャパシタが配置され、上から3行目には、第1の接続点102aと第2の接続点104aとが図中上側になるように分割キャパシタが配置されている。また、上から2行目には、第1の接続点102aと第2の接続点104aとが図中右側になるように分割キャパシタが配置され、上から4行目には、第1の接続点102aと第2の接続点104aとが図中左側になるように分割キャパシタが配置されている。さらに、横方向において、1列目と3列目には、第1の分割キャパシタ200aが配置され、2列目と4列目には、第2の分割キャパシタ200bが配置されている。

【0039】

図5は、本実施の形態における第1の分割キャパシタ200aと第2の分割キャパシタ200bの構成を示す回路図である。第1の入力線310が各第1の分割キャパシタ200aの一方の電極に接続され、第1の出力線312が各第1の分割キャパシタ200aの他方の電極に接続されている（図5(a)）。同様に、第2の入力線320が各第2の分割キャパシタ200bの一方の電極に接続され、第2の出力線322が各第2の分割キャパシタ200bの他方の電極に接続されている（図5(b)）。

【0040】

図6は、図4に示した構成の他の例を示す平面図である。

ここでは、複数の第1の分割キャパシタ200aと複数の第2の分割キャパシタ200bとは、互いに混在して配置され、第1の方向（ここでは図中横方向）だけでなく、第1の方向と直交する第2の方向（ここでは図中縦方向）においても交互に配置されている。

【0041】

図7および図8は、図4に示した構成のさらに他の例を示す平面図である。

ここで、第5の方向（ここでは図中縦方向）において隣接する分割キャパシタ（200aまたは200b）は、第5の方向と直交する第6の方向（ここでは図中横方向）に、当該第6の方向における分割キャパシタ（200aまたは200b）の長さよりも小さい量だけずらして配置される。つまり、複数の分割キャパシタが千鳥格子状に配置される。図7は図4に示した配置を千鳥格子状に配置にしたものであり、図8は図6に示した配置を

10

20

30

40

50

千鳥配置にしたものである。これにより、さらに分散度を高めることができる。

【 0 0 4 2 】

次に、本実施の形態における半導体装置 1 0 0 の効果を説明する。

本実施の形態における半導体装置 1 0 0 によれば、基板上に形成された絶縁膜中の同層に形成され、間に絶縁膜を挟んで形成された第 1 の電極および第 2 の電極とから構成される M I M キャパシタを複数の分割キャパシタに分割して、基板の面内方向に分散配置させる。そして、これらの分割キャパシタから得られる特性値をまとめて、一の素子の特性値であるとして取り扱う。基板の面内方向において、電極や絶縁膜の膜厚やパターン形状にばらつきがあった場合、各分割キャパシタにおける容量値にはばらつきが生じるが、これらが分散配置されているので、基板の面内方向における膜厚やパターン形状のばらつきの影響を相殺することができる。これにより、たとえば、特性値の設計値からのずれを小さくすることができる。

10

【 0 0 4 3 】

また、回路中で相補的な関係にあり、同じ特性値を示すことが必要な 2 つの M I M キャパシタを、複数の第 1 の分割キャパシタ 2 0 0 a、および複数の第 2 の分割キャパシタ 2 0 0 b により構成し、これらを互いに混在して配置させることにより、2 つの M I M キャパシタから出力される特性値のばらつきを防ぐこともできる。これにより、キャパシタの相対精度が向上する。

【 0 0 4 4 】

(第 2 の実施の形態)

本実施の形態において、図 1 に示した第 1 の分割素子 3 0 2 および第 2 の分割素子 3 0 4 が、抵抗である場合を例として説明する。

20

図 9 (a) は、本実施の形態における半導体装置 1 0 0 の平面図、図 9 (b) は、図 9 (a) の A - A ' 断面図である。

抵抗 4 0 0 は、基板 (不図示) 上の絶縁膜 (たとえば S T I (シャロー・トレンチ・アイソレーション)) 上に形成された、ポリシリコン膜等の抵抗膜により構成された複数の第 1 の分割抵抗端子 4 0 2 と、複数の第 2 の分割抵抗端子 4 0 4 とを含む。各抵抗端子は、たとえばシリサイド化しないポリシリコン膜等の抵抗成分を有する抵抗膜を形成し、当該抵抗膜をパターンングすることにより形成することができる。抵抗素子となる材料は、シリサイド化しないポリシリコン (シリサイドブロックポリシリコン) 膜の他、シリサイド化したポリシリコンとすることもでき、またメタルとすることもできる。

30

【 0 0 4 5 】

本実施の形態において、複数の第 1 の分割抵抗端子 4 0 2 は、基板の面内方向に分散配置される。また、複数の第 2 の分割抵抗端子 4 0 4 も、基板の面内方向に分散配置される。また、本実施の形態において、複数の第 1 の分割抵抗端子 4 0 2 と複数の第 2 の分割抵抗端子 4 0 4 とは、互いに混在して配置され、第 1 の方向 (ここでは図中横方向) において交互に配置することができる。複数の第 1 の分割抵抗端子 4 0 2 および複数の第 2 の分割抵抗端子 4 0 4 は、平面視において、同じ大きさかつ同形状に形成することができる。

【 0 0 4 6 】

複数の第 1 の分割抵抗端子 4 0 2 は、一の第 1 の入力線 3 1 0 と一の第 1 の出力線 3 1 2 第 1 の出力線とに接続される。第 1 の入力線 3 1 0 から入力された信号は、各第 1 の分割抵抗端子 4 0 2 を介して第 1 の出力線 3 1 2 に出力される。第 1 の出力線 3 1 2 から、複数の第 1 の分割抵抗端子 4 0 2 の特性値の合計値が出力される。また、複数の第 2 の分割抵抗端子 4 0 4 は、一の第 2 の入力線 3 2 0 と一の第 2 の出力線 3 2 2 とに接続される。第 2 の入力線 3 2 0 から入力された信号は、各第 2 の分割抵抗端子 4 0 4 を介して第 2 の出力線 3 2 2 に出力される。第 2 の出力線 3 2 2 から、複数の第 2 の分割抵抗端子 4 0 4 の特性値の合計値が出力される。

40

【 0 0 4 7 】

本実施の形態において、基板の面内方向における高抵抗膜の膜厚やパターン形状のばらつきにより、各第 1 の分割抵抗端子 4 0 2 と第 2 の分割抵抗端子 4 0 4 の抵抗値にはばら

50

つきが生じるが、第1の分割抵抗端子402と第2の分割抵抗端子404とが分散配置されているので、膜厚やパターン形状のばらつきの影響を相殺することができる。

【0048】

また、ここでは各第1の分割抵抗端子402および各第2の分割抵抗端子404がそれぞれ一つの抵抗膜を含む構成となっているが、各第1の分割抵抗端子402および各第2の分割抵抗端子404は、それぞれ、複数の抵抗膜を含む構成とすることもできる。この場合、複数の第1の分割抵抗端子402および複数の第2の分割抵抗端子404をマトリクス状に配置することもできる。

【0049】

たとえば、第1の分割抵抗端子402および第2の分割抵抗端子404は、図10に示したような配置とすることもできる。ここでは、各第1の分割抵抗端子402および各第2の分割抵抗端子404は、それぞれ、複数の抵抗膜により構成されている。各第1の分割抵抗端子402および各第2の分割抵抗端子404において、抵抗膜は長軸方向が同じとなるように配置されている。一方、第1の分割抵抗端子402および第2の分割抵抗端子404を含む複数の分割抵抗端子は、第1の方向において隣接する分割抵抗端子に含まれる抵抗膜の長軸方向が異なる構成となっている。

また、ここでは図示していないが、複数の分割抵抗端子は、第1の実施の形態のMIMキャパシタ200について図7および図8を参照して説明したのと同様、第1の方向において隣接する分割抵抗端子が、第1の方向と直交する第2の方向に、当該第2の方向における分割抵抗端子の長さよりも小さい量だけずらして配置された構成とすることもできる。

【0050】

(第3の実施の形態)

本実施の形態において、図1に示した第1の分割素子302および第2の分割素子304が、基板上に形成され、素子分離絶縁膜で分離された拡散層と、拡散層上に形成されたゲート絶縁膜およびゲート電極と、から構成された分割トランジスタである場合を例として説明する。

トランジスタにおいても、ゲートのゲート電極やゲート絶縁膜の膜厚やパターン形状のばらつきによって、トランジスタの閾値が変動する。

【0051】

図11および図12は、本実施の形態における半導体装置100の平面図である。

本実施の形態において、基板(不図示)上には、素子分離絶縁膜(不図示)で分離された複数の拡散層506がマトリクス状に配置されている。各拡散層506上には、それぞれゲート絶縁膜(不図示)とゲート電極504が形成されておりトランジスタが構成されている。各拡散層506は、各トランジスタのソース(S)またはドレイン(D)となる。

【0052】

図11に示した例では、図中横方向において、複数の第1の分割素子302(分割トランジスタ)が形成された列および複数の第2の分割素子304(分割トランジスタ)が形成された列が交互に配置されている。また、図中縦方向において、隣接する第1の分割素子302は、ゲート(ゲート絶縁膜およびゲート電極504)の長軸方向が異なっている。同様に、図中縦方向において、隣接する第2の分割素子304は、ゲートの長軸方向が異なっている。また、複数の第1の分割素子302のゲート電極504、ソース、ドレインは、それぞれ共通の配線に接続される。同様に、複数の第2の分割素子304のゲート電極504、ソース、ドレイン、それぞれ共通の配線に接続される。

図12に示した例では、図中縦方向および横方向の両方において、複数の第1の分割素子302が形成された列および複数の第2の分割素子304が形成された列が交互に配置されている。また、図中縦方向において、隣接する分割素子は、ゲートの長軸方向が異なっている。

また、ここでは図示していないが、複数の分割トランジスタは、第1の実施の形態のM

IMキャパシタ200について図7および図8を参照して説明したのと同様、第1の方向において隣接する分割素子が、第1の方向と直交する第2の方向に、当該第2の方向における分割素子の長さ（拡散層の長さ）よりも小さい量だけずらして配置された構成とすることもできる。

【0053】

以上、図面を参照して本発明の実施形態について述べたが、これらは本発明の例示であり、上記以外の様々な構成を採用することもできる。

【0054】

図2および図3に示した例では、第1の接続点102aと第2の接続点104aとが同じ側に設けられているが、図17に示すように、第1の接続点102aと第2の接続点104aとは、反対の側（平面視で一端と他端）に設けることもできる。図19は、図17に示した構成のMIMキャパシタ200を図4に示したレイアウトと同様に配置した構成を部分的に示す平面図である。

<付記>

<発明1>

基板と、

前記基板上に形成され、それぞれ、長軸方向と短軸方向とを有する所定パターンの膜を含み、前記基板の面内方向の同一層に分散配置された複数の分割素子と、

を含み、

複数の前記分割素子は、第1の方向において隣接する前記分割素子の前記膜の長軸方向が異なるか、または、前記第1の方向において隣接する前記分割素子が、前記第1の方向と直交する第2の方向に、当該第2の方向における前記分割素子の長さよりも小さい量だけずらして配置された半導体装置。

<発明2>

発明1に記載の半導体装置において、

各前記分割素子は、前記基板上に形成された絶縁膜と、前記絶縁膜中の同層に形成され、間に前記絶縁膜を挟んで形成された第1の電極および第2の電極と、から構成された分割MIMキャパシタであって、

前記所定パターンの膜は、前記第1の電極および前記第2の電極であって、

各前記分割MIMキャパシタは、それぞれ、複数の前記第1の電極と複数の前記第2の電極とが交互に配置された構成を有し、

各前記分割MIMキャパシタにおいて、前記第1の電極および前記第2の電極は、前記長軸方向が同一方向に延在して形成され、

複数の前記分割MIMキャパシタは、前記第1の方向において隣接する前記分割MIMキャパシタの前記第1の電極および前記第2の電極の長軸方向が異なるか、または、前記第1の方向において隣接する前記分割MIMキャパシタが、前記第1の方向と直交する第2の方向に、当該第2の方向における前記分割MIMキャパシタの長さよりも小さい量だけずらして配置された半導体装置。

<発明3>

発明2に記載の半導体装置において、

前記第1の方向において、前記第1の電極および前記第2の電極の長軸方向が当該第1の方向である前記分割MIMキャパシタと、前記第1の電極および前記第2の電極の長軸方向が前記第2の方向である前記分割MIMキャパシタとが交互に配置された半導体装置。

<発明4>

発明2または3に記載の半導体装置において、

前記複数の分割MIMキャパシタは、平面視において、マトリクス状に配置された半導体装置。

<発明5>

発明2から4いずれかに記載の半導体装置において、

10

20

30

40

50

前記複数の分割MIMキャパシタは、平面視において、同じ大きさかつ同形状に形成された半導体装置。

< 発明 6 >

発明 2 から 5 いずれかに記載の半導体装置において、

前記複数の分割MIMキャパシタは、一の入力線から入力された信号が各前記複数の分割MIMキャパシタを介して一の出力線に出力されるように構成され、当該複数の分割MIMキャパシタで一MIMキャパシタを構成する半導体装置。

< 発明 7 >

発明 2 から 6 いずれかに記載の半導体装置において、

前記複数の分割MIMキャパシタの一部は、一の第1の入力線から入力された信号が当該一部の分割MIMキャパシタを介して一の第1の出力線に出力されるように構成された第1のMIMキャパシタを構成し、

前記複数の分割MIMキャパシタの他の一部は、一の第2の入力線から入力された信号が当該他の一部の分割MIMキャパシタを介して一の第2の出力線に出力されるように構成された第2のMIMキャパシタを構成し、

前記第1のMIMキャパシタを構成する前記複数の分割MIMキャパシタの一部と、前記第2のMIMキャパシタを構成する前記複数の分割MIMキャパシタの他の一部とは、互いに混在して配置され、前記第1の方向または前記第2の方向の少なくとも一方の方向において交互に配置された半導体装置。

< 発明 8 >

発明 7 に記載の半導体装置において、

前記第1のMIMキャパシタおよび前記第2のMIMキャパシタは、回路中で、同じ特性値を示すことが必要であり、前記第1のMIMキャパシタおよび前記第2のMIMキャパシタは、それぞれ、同じ数の前記分割MIMキャパシタを含む半導体装置。

< 発明 9 >

発明 7 または 8 に記載の半導体装置において、

前記第1のMIMキャパシタを構成する前記分割MIMキャパシタと、前記第2のMIMキャパシタを構成する前記分割MIMキャパシタとは、互いに混在して配置され、前記第1の方向および前記第2の方向の両方において交互に配置された半導体装置。

< 発明 10 >

発明 1 に記載の半導体装置において、

各前記分割素子は、前記基板上に形成された抵抗膜を含む分割抵抗端子であって、

前記所定パターンの膜は、前記抵抗膜であって、

複数の前記分割抵抗端子は、第1の方向において隣接する前記分割抵抗端子に含まれる前記抵抗膜の長軸方向が異なるか、または、前記第1の方向において隣接する前記分割抵抗端子が、前記第1の方向と直交する第2の方向に、当該第2の方向における前記分割抵抗端子の長さよりも小さい量だけずらして配置された半導体装置。

< 発明 11 >

発明 1 に記載の半導体装置において、

各前記分割素子は、前記基板上に形成され、素子分離絶縁膜で分離された拡散層と、前記拡散層上に形成されたゲート絶縁膜およびゲート電極と、から構成された分割トランジスタであって、

前記所定パターンの膜は、前記ゲート絶縁膜であって、

複数の前記分割トランジスタは、第1の方向において隣接する前記分割トランジスタの前記ゲート絶縁膜および前記ゲート電極の長軸方向が異なるか、または、前記第1の方向において隣接する前記トランジスタが、前記第1の方向と直交する第2の方向に、当該第2の方向における前記拡散層の長さよりも小さい量だけずらして配置された半導体装置。

【符号の説明】

【 0 0 5 5 】

1 0 半導体装置

10

20

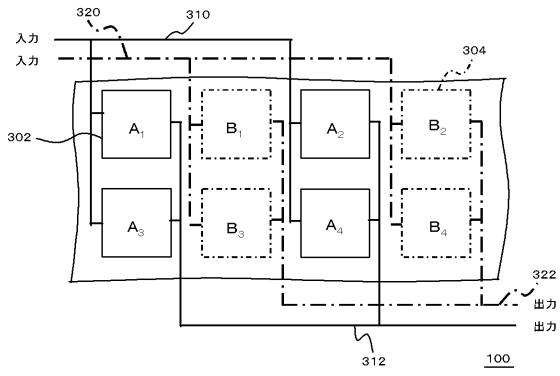
30

40

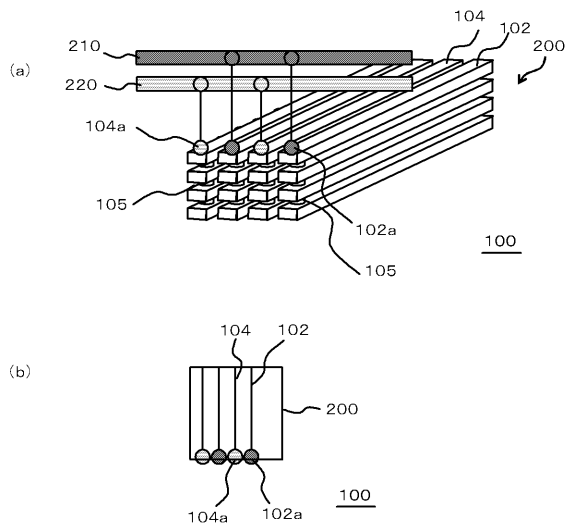
50

1 2	第 1 の素子	
1 4	第 2 の素子	
4 0	層間絶縁膜	
4 2	第 1 の電極	
4 4	第 2 の電極	
1 0 0	半導体装置	
1 0 2	第 1 の電極	
1 0 2 a	第 1 の接続点	
1 0 4	第 2 の電極	
1 0 4 a	第 2 の接続点	10
1 0 5	ビア	
2 0 0	M I M キャパシタ	
2 0 0 a	第 1 の分割キャパシタ	
2 0 0 b	第 2 の分割キャパシタ	
2 1 0	第 1 の電位供給配線	
2 2 0	第 2 の電位供給配線	
3 0 2	第 1 の分割素子	
3 0 4	第 2 の分割素子	
3 1 0	第 1 の入力線	
3 1 2	第 1 の出力線	20
3 2 0	第 2 の入力線	
3 2 2	第 2 の出力線	
4 0 0	抵抗	
4 0 2	第 1 の分割抵抗端子	
4 0 4	第 2 の分割抵抗端子	
5 0 0	トランジスタ	
5 0 4	ゲート電極	
5 0 6	拡散層	

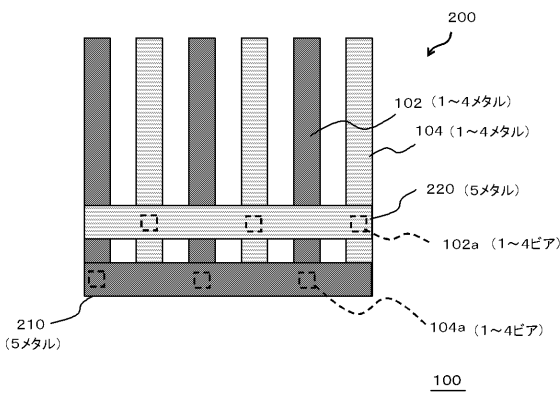
【図1】



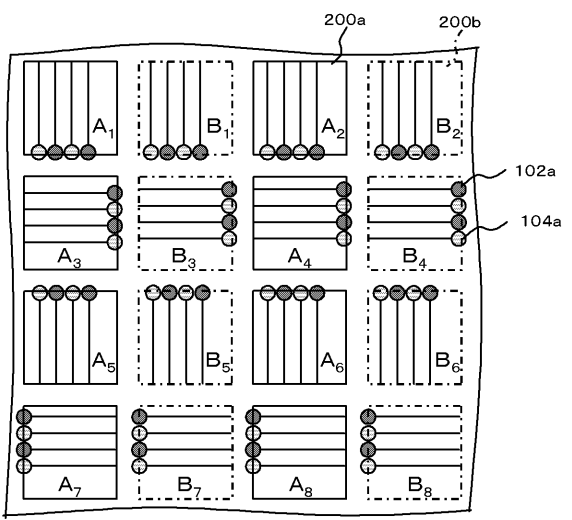
【図2】



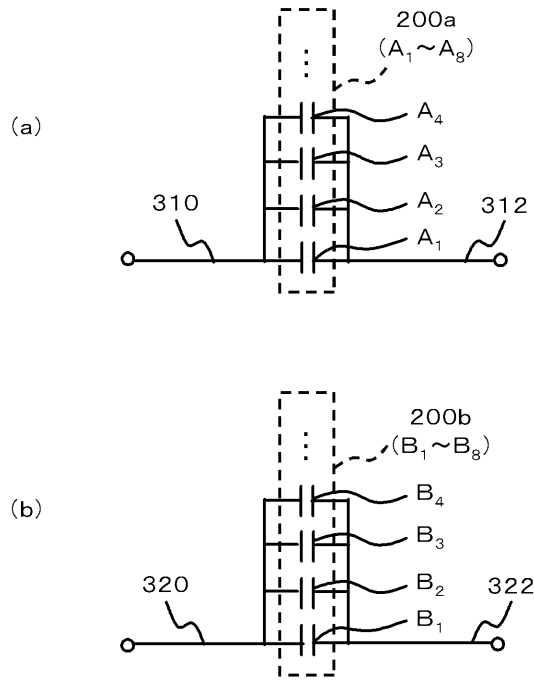
【図3】



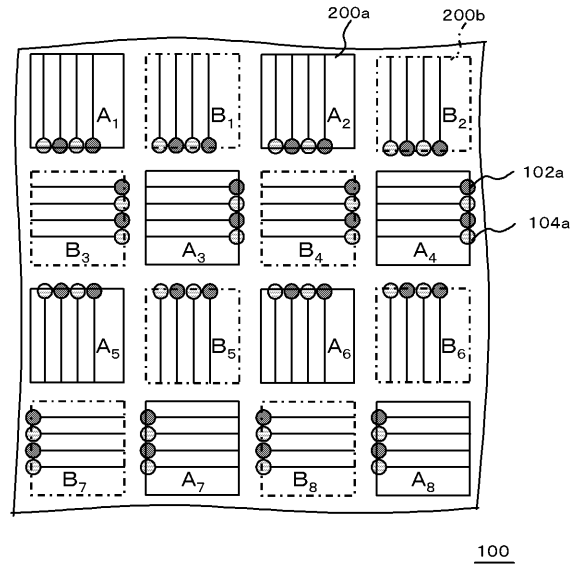
【図4】



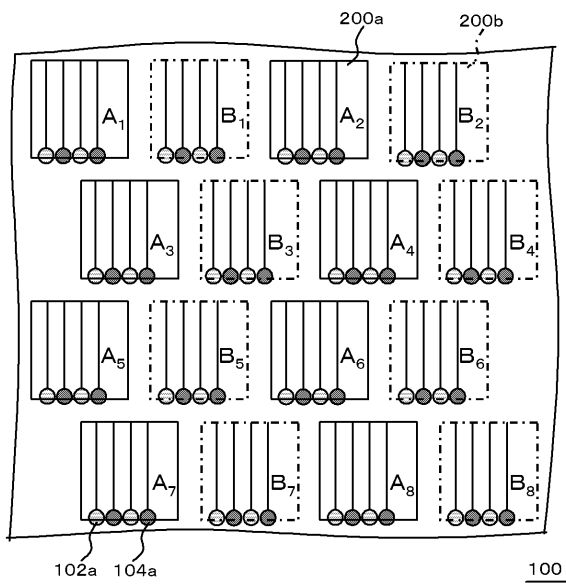
【図5】



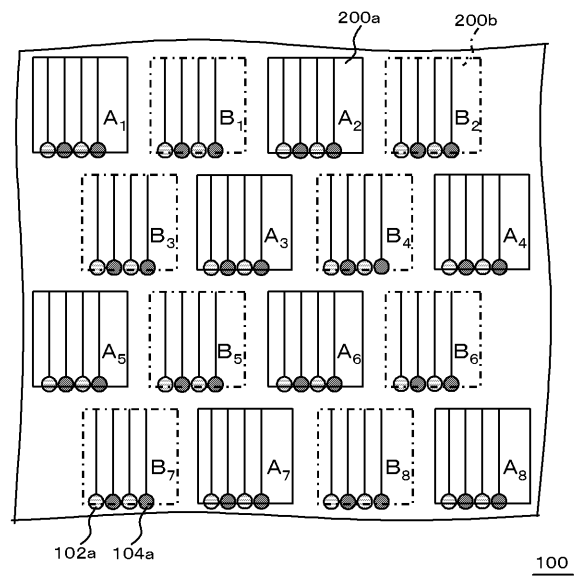
【図6】



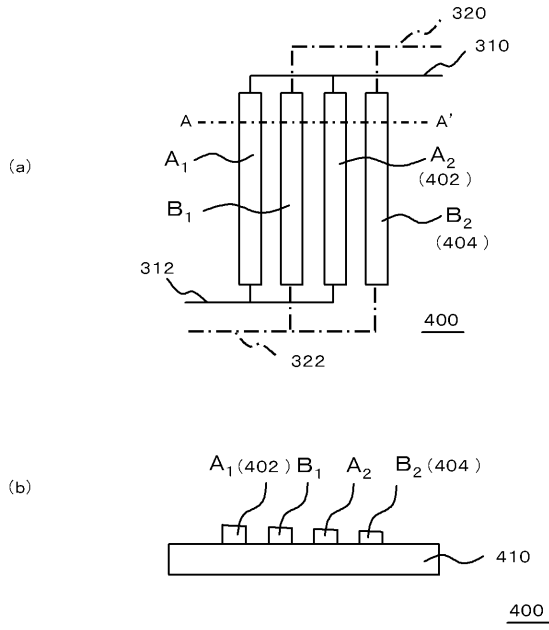
【図7】



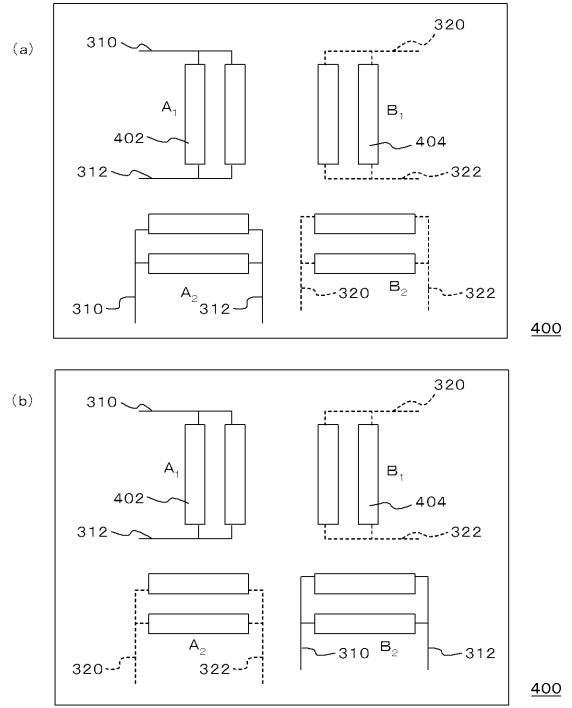
【図8】



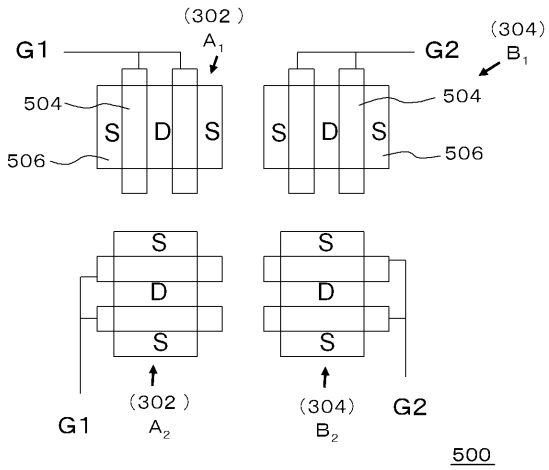
【 図 9 】



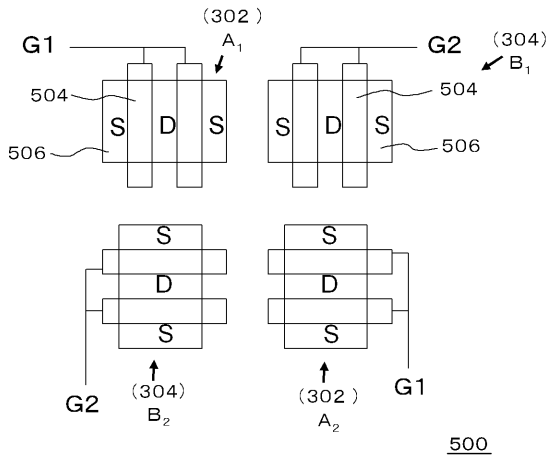
【 図 10 】



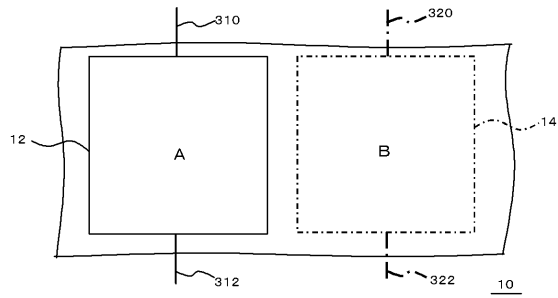
【 図 11 】



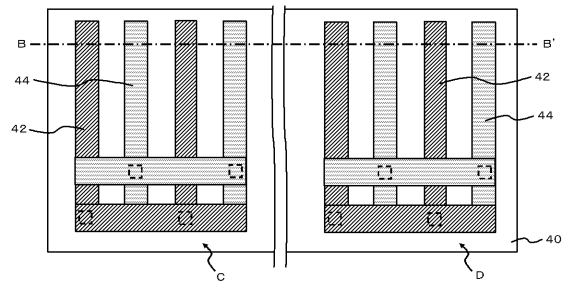
【 図 12 】



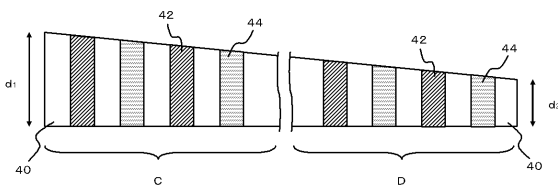
【図13】



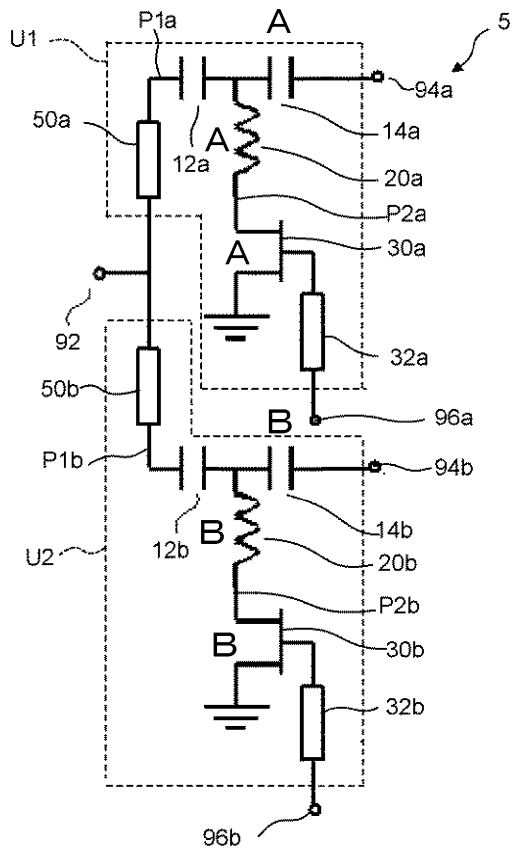
【図14】



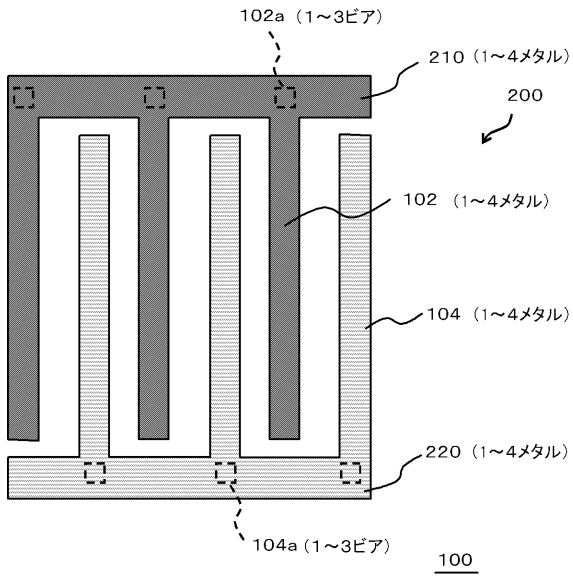
【図15】



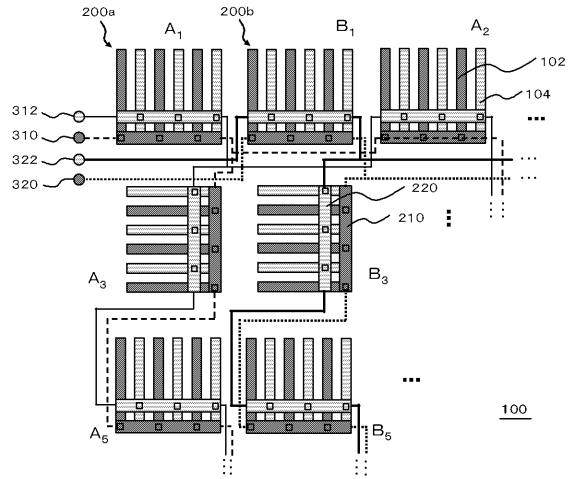
【図16】



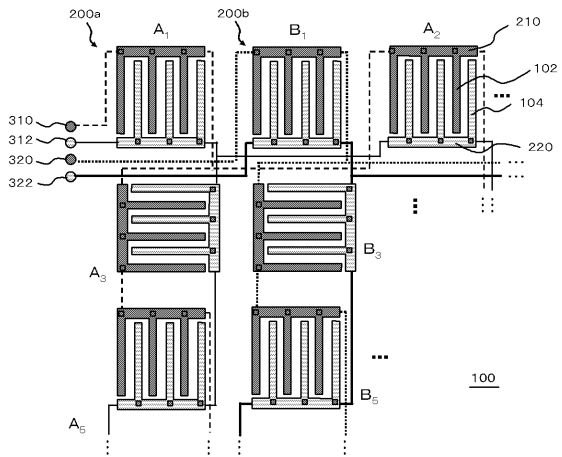
【図17】



【図18】



【図19】



フロントページの続き

(56)参考文献 特開2005-197762(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822

H01L 21/82

H01L 27/04