

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 9 月 6 日(06.09.2013)



(10) 国際公開番号
WO 2013/129288 A1

- (51) 国際特許分類:
H02M 3/28 (2006.01)
- (21) 国際出願番号: PCT/JP2013/054694
- (22) 国際出願日: 2013 年 2 月 25 日(25.02.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-046607 2012 年 3 月 2 日(02.03.2012) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 番 2 号 Osaka (JP).
- (72) 発明者: 佐々木 正人(SASAKI, Masato).
- (74) 代理人: 特許業務法人深見特許事務所(FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島二丁目 2 番 7 号 中之島セントラルタワー Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

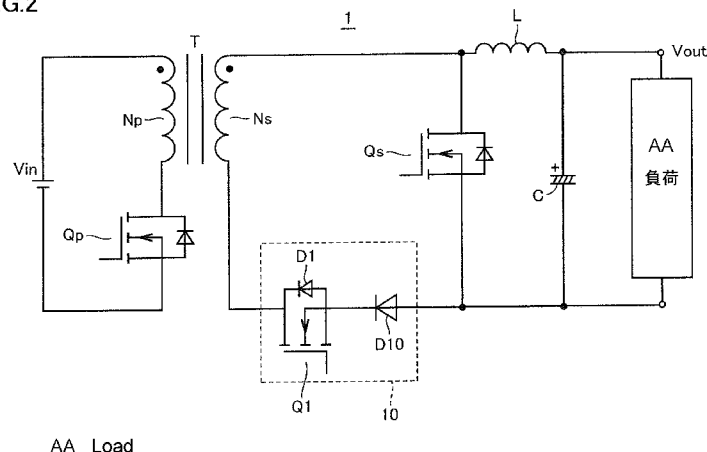
- 国際調査報告 (条約第 21 条(3))

(54) Title: SYNCHRONOUS RECTIFICATION CIRCUIT AND SWITCHING POWER SOURCE DEVICE COMPRISING SAME

(54) 発明の名称: 同期整流回路およびそれを備えたスイッチング電源装置

[図2]

FIG.2



(57) Abstract: A synchronous rectification circuit comprises a rectification switching element (Q1), a parasitic diode (D1), and a diode (D10). The parasitic diode (D1) is connected in parallel to the rectification switching element (Q1). The diode (D10) is connected in series to the parallel circuit containing the rectification switching element (Q1) and the parasitic diode (D1). The pressure resistance of the diode (D10) is less than the pressure resistance of the parasitic diode (D1).

(57) 要約: 同期整流回路は、整流スイッチング素子 (Q1) と、寄生ダイオード (D1) と、ダイオード (D10) とを備える。寄生ダイオード (D1) は、整流スイッチング素子 (Q1) に並列に接続される。ダイオード (D10) は、整流スイッチング素子 (Q1) と寄生ダイオード (D1) との並列回路に直列に接続される。ダイオード (D10) の耐圧は、寄生ダイオード (D1) の耐圧よりも低い。

WO 2013/129288 A1

明 細 書

発明の名称：

同期整流回路およびそれを備えたスイッチング電源装置

技術分野

[0001] 本発明は、同期整流回路およびそれを備えたスイッチング電源装置に関し、特に、ダイオードを含む同期整流回路およびそれを備えたスイッチング電源装置に関する。

背景技術

[0002] スwitchング電源装置では、電力変換効率を高めるために同期整流回路が多く用いられている。同期整流回路は、スイッチング動作時に生じる電力損失を低減する。

[0003] 図4は、従来の同期整流回路を備えたスイッチング電源装置の回路構成を示す回路図である（特許文献1：特開2010-161868号公報）。

[0004] 図4を参照して、スイッチング電源装置は、共振リセット形フォワードコンバータである。スイッチング電源装置は、トランスTと、主スイッチング素子 Q_p と、転流スイッチング素子 Q_s と、整流スイッチング素子Qと、チョークコイルLと、コンデンサCと、入力電源 V_{in} と、出力端子 V_{out} とを備える。整流スイッチング素子Qは、寄生ダイオードDを含む。

[0005] 整流スイッチング素子Qに印加される電圧が順方向から逆方向に反転すると、整流スイッチング素子Qを順方向に流れる電流は減少する。しかし、電流はすぐにゼロに収束するのではない。一旦逆回復電流が流れてから、電流はゼロに収束する。

[0006] 整流スイッチング素子Qを逆回復電流が流れる時間（逆回復時間）の長さ、および逆回復電流の大きさを、整流スイッチング素子Qの逆回復特性と言う。逆回復特性は、FET（Field Effect Transistor）である整流スイッチング素子Qの寄生ダイオードDにより定まる。寄生ダイオードDの逆回復特性が悪いと、逆回復時間が長くなるとともに、逆

回復電流が大きくなる。このため、スイッチング動作時に生じる電力損失が増加してしまう。したがって、電力変換効率の高いスイッチング電源装置を実現できない。

先行技術文献

特許文献

[0007] 特許文献1：特開2010-161868号公報

特許文献2：特開2004-201455号公報

発明の概要

発明が解決しようとする課題

[0008] 特許文献2（特開2004-201455号公報）に、逆回復電流による電力損失を低減する同期整流回路が開示されている。

[0009] 図5は、図4に示す共振リセット形フォワードコンバータと異なる同期整流回路を備えた共振リセット形フォワードコンバータ2の回路構成を示す回路図である。図5を参照して、共振リセット形フォワードコンバータ2は、整流スイッチング素子Qに代えて同期整流回路20を備える点において、図4に示す共振リセット形フォワードコンバータと異なる。

[0010] 共振リセット形フォワードコンバータ2は、トランスTと、主スイッチング素子Q_pと、転流スイッチング素子Q_sと、同期整流回路20と、チョークコイルLと、コンデンサCと、入力電源V_{in}と、出力端子V_{out}とを備える。

[0011] 共振リセット形フォワードコンバータ2では、トランスTによって入力電源V_{in}と出力端子V_{out}とが絶縁される。トランスTの1次側では、主スイッチング素子Q_pが1次巻線N_pと直列に接続される。トランスTの2次側では、転流スイッチング素子Q_sおよび同期整流回路20が2次巻線N_sと直列に接続される。

[0012] 転流スイッチング素子Q_sおよび同期整流回路20は、主スイッチング素子Q_pのスイッチング動作と同期して、同期整流を実現する。

- [0013] 同期整流回路20は、整流スイッチング素子Q2と、抵抗R2と、ダイオードD20とを含む。整流スイッチング素子Q2はFETである。このため、整流スイッチング素子Q2は、寄生ダイオードD2を有する。抵抗R2は、整流スイッチング素子Q2に直列に接続される。ダイオードD20は、整流スイッチング素子Q2と抵抗R2との直列回路に並列に、アノードが整流スイッチング素子Q2のソースと接続される向きに接続される。
- [0014] チョークコイルLは、転流スイッチング素子Qsおよび同期整流回路20のスイッチング動作に応じて、エネルギーを蓄積または放出する。チョークコイルLの一端は、2次巻線Nsと転流スイッチング素子Qsとの接続点に接続される。チョークコイルLの他端は、出力端子Voutの一端に接続される。出力端子Voutの他端は、転流スイッチング素子Qsと同期整流回路20との接続点に接続される。出力端子Voutは、コンデンサCによって安定化された電圧を出力して、負荷に電力を供給する。
- [0015] 以下、同期整流回路20を備えた共振リセット形フォワードコンバータ2の動作を説明する。
- [0016] 主スイッチング素子Qpが制御信号（図示しない）に基づいてターンオンすると、制御信号と同期した同期整流制御信号（図示しない）により、転流スイッチング素子Qsがターンオフするとともに、整流スイッチング素子Q2がターンオンする。
- [0017] トランスTの1次側で、入力電源Vinから1次巻線Npに電圧が印加される。これにより、トランスTの2次側では、2次巻線Nsで図中黒丸に向かって電流が流れる方向に、1次巻線Npと2次巻線Nsの比に応じた電圧（ $N_s / N_p \times V_{in}$ ）が誘起される。同期整流回路20には順方向に電圧が印加される。このため、2次巻線Ns—チョークコイルL—出力端子Vout—同期整流回路20の経路を電流が流れ、負荷に電力が供給される。このとき、チョークコイルLの端子間には電圧（ $N_s / N_p \times V_{in} - V_{out}$ ）が印加される。したがって、チョークコイルLにエネルギーが蓄積される。

- [0018] 次に、主スイッチング素子 Q_p が制御信号に基づいてターンオフすると、制御信号と同期した同期整流制御信号により、転流スイッチング素子 Q_s がターンオンするとともに、整流スイッチング素子 Q_2 がターンオフする。
- [0019] トランス T の 1 次側からの電力の供給がなくなると、トランス T の 2 次側では、チョークコイル L に蓄積されたエネルギーが放出される。このとき、チョークコイル L の出力端子 V_{out} と転流スイッチング素子 Q_s の経路を電流が流れ、負荷に電力が供給される。加えて、2 次巻線 N_s で図中黒丸の逆側に向かって電流が流れる方向に逆起電力が発生する。このため、同期整流回路 20 には逆方向に電圧が印加される。
- [0020] 同期整流回路 20 に逆方向に電圧が印加されるとき、抵抗 R_2 の抵抗値を十分大きく設定することにより、整流スイッチング素子 Q_2 と抵抗 R_2 との直列回路ではなく、ダイオード D_{20} を電流が流れる。そのため、同期整流回路 20 の逆回復特性は、寄生ダイオード D_2 に代えて、ダイオード D_{20} によって定まる。したがって、ダイオード D_{20} に寄生ダイオード D_2 よりも逆回復特性が良いダイオードを用いることで、逆回復電流による電力損失を低減できる。
- [0021] ところが、2 次巻線 N_s で発生する逆起電力は高電圧である。このため、ダイオード D_{20} には、寄生ダイオード D_2 よりも逆回復特性が良いことが要求されるだけでない。ダイオード D_{20} には、寄生ダイオード D_2 よりも高耐圧であることも要求される。
- [0022] しかしながら、ダイオードでは、耐圧と逆回復特性との間にトレードオフの関係が一般に成り立つことが知られている。このため、逆回復電流による電力損失を低減するために逆回復特性が良いダイオードを用いると、低耐圧になってしまう。
- [0023] したがって、共振リセット形フォワードコンバータ 2 では、スイッチング動作時に生じる電力損失を低減できる。その一方で、高耐圧の同期整流回路を備えたスイッチング電源装置を実現できない。
- [0024] それゆえに、本発明は、上記問題点を解決するためになされたものであり

、電力損失を低減し、かつ、高耐压の同期整流回路およびそれを備えたスイッチング電源装置を提供することを目的とする。

課題を解決するための手段

[0025] 上記目的を達成するために、本発明のある局面に従うと、同期整流回路は、整流スイッチング素子と、整流スイッチング素子に並列に接続された第1のダイオードと、整流スイッチング素子と第1のダイオードとの並列回路に直列に接続された第2のダイオードとを備える。第2のダイオードの耐压は、第1のダイオードの耐压よりも低い。

[0026] 好ましくは、第2のダイオードは、ショットキーバリアダイオードである。

好ましくは、第2のダイオードは、pn接合ダイオードまたはpin接合ダイオードである。

[0027] 好ましくは、整流スイッチング素子は、FETである。第1のダイオードは、FETの寄生ダイオードである。

[0028] 上記目的を達成するために、本発明の他の局面に従うと、同期整流回路を備えたスイッチング電源装置は、同期整流回路と、入力電源と、主スイッチング素子と、出力端子とを備える。主スイッチング素子は、入力電源に直列に接続し、制御信号に基づいてスイッチング動作する。同期整流回路とは、印加された電圧を、主スイッチング素子のスイッチング動作と同期して整流する。出力端子は、同期整流回路が整流した電圧を出力する。

[0029] 好ましくは、スイッチング電源装置は、入力電源と出力端子とを絶縁するトランスをさらに備える。

[0030] 好ましくは、スイッチング電源装置は、トランスの2次側に、転流スイッチング素子とインダクタンス素子とをさらに備える。転流スイッチング素子は、トランスの2次巻線と同期整流回路との直列回路に直列に接続される。インダクタンス素子は、2次巻線と転流スイッチング素子との接続点と、出力端子の一端との間に直列に接続される。

発明の効果

[0031] 本発明に係る同期整流回路によれば、整流スイッチング素子に並列に接続された第1のダイオードにより、耐圧が定まる。整流スイッチング素子と第1のダイオードとの並列回路に直列に接続された第2のダイオードにより、逆回復特性が定まる。低耐圧であるダイオードは逆回復特性が良い。このため、第2のダイオードに第1のダイオードよりも低耐圧のダイオードを用いることで、逆回復電流による電力損失を低減した同期整流回路およびそれを備えたスイッチング電源装置を実現できる。また、高耐圧であるダイオードは逆方向のインピーダンスが高い。このため、第1のダイオードに高耐圧のダイオードを用いることで、逆方向の高電圧は第1のダイオードに主に印加される。つまり、第2のダイオードが低耐圧であることは問題にならない。したがって、高耐圧の同期整流回路およびそれを備えたスイッチング電源装置を実現できる。

図面の簡単な説明

[0032] [図1]本発明の実施の形態に係る同期整流回路の回路構成を示す回路図である。

[図2]図1に示す同期整流回路を備えたスイッチング電源装置の回路構成を示す回路図である。

[図3]本発明の実施の形態に係る同期整流回路において、印加される電圧が順方向から逆方向に反転するとき、同期整流回路を流れる電流およびダイオードの端子間電圧の時間変化を示す波形図である。

[図4]従来の同期整流回路を備えたスイッチング電源装置の回路構成を示す回路図である。

[図5]図4に示すスイッチング電源装置と異なる同期整流回路を備えたスイッチング電源装置の回路構成を示す回路図である。

発明を実施するための形態

[0033] 以下、本発明に係る実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付して、その説明を繰り返さない。

[0034] (実施の形態)

図1は、本発明の実施の形態に係る同期整流回路の回路構成を示す回路図である。

[0035] 図1を参照して、同期整流回路10は、整流スイッチング素子Q1とダイオードD10とを含む。

[0036] 整流スイッチング素子Q1はFETである。このため、整流スイッチング素子Q1は寄生ダイオード（第1のダイオード）D1を有する。ダイオード（第2のダイオード）D10は、整流スイッチング素子Q1に直列に、カソードが整流スイッチング素子Q1のソースに接続される向きに接続される。ダイオードD10には、寄生ダイオードD1よりも低耐圧のダイオードが用いられる。

[0037] 図2は、図1に示す同期整流回路10を備えた共振リセット形フォワードコンバータ1の回路構成を示す回路図である。

[0038] 図2を参照して、共振リセット形フォワードコンバータ（スイッチング電源装置）1は、トランスTと、主スイッチング素子Qpと、転流スイッチング素子Qsと、同期整流回路10と、チョークコイルLと、コンデンサCと、入力電源Vinと、出力端子Voutとを備える。

[0039] 共振リセット形フォワードコンバータ1では、トランスTによって入力電源Vinと出力端子Voutとが絶縁される。トランスTの1次側では、主スイッチング素子Qpが1次巻線Npと直列に接続される。トランスTの2次側では、転流スイッチング素子Qsおよび同期整流回路10が2次巻線Nsと直列に接続される。

[0040] 転流スイッチング素子Qsおよび同期整流回路10は、主スイッチング素子Qpのスイッチング動作と同期して、同期整流を実現する。

[0041] チョークコイルLは、転流スイッチング素子Qsおよび同期整流回路10のスイッチング動作に応じて、エネルギーを蓄積または放出する。チョークコイルLの一端は、2次巻線Nsと転流スイッチング素子Qsとの接続点に接続される。チョークコイルLの他端は、出力端子Voutの一端に接続さ

れる。出力端子 V_{out} の他端は、転流スイッチング素子 Q_s と同期整流回路 10 との接続点に接続される。出力端子 V_{out} は、コンデンサ C によって安定化された電圧を出力して、負荷に電力を供給する。

[0042] 以下、同期整流回路 10 を備えた共振リセット形フォワードコンバータ 1 の動作を説明する。

[0043] 主スイッチング素子 Q_p が制御信号（図示しない）に基づいてターンオンすると、制御信号と同期した同期整流制御信号（図示しない）により、転流スイッチング素子 Q_s がターンオフするとともに、整流スイッチング素子 Q_1 がターンオンする。

[0044] トランス T の 1 次側で、入力電源 V_{in} から 1 次巻線 N_p に電圧が印加される。これにより、トランス T の 2 次側では、2 次巻線 N_s で図中黒丸に向かって電流が流れる方向に、1 次巻線 N_p と 2 次巻線 N_s の比に応じた電圧 ($N_s / N_p \times V_{in}$) が誘起される。同期整流回路 10 には順方向に電圧が印加される。このため、2 次巻線 N_s - チョークコイル L - 出力端子 V_{out} - 同期整流回路 10 の経路を電流が流れ、負荷に電力が供給される。このとき、チョークコイル L の端子間には電圧 ($N_s / N_p \times V_{in} - V_{out}$) が印加される。したがって、チョークコイル L にエネルギーが蓄積される。

[0045] 次に、主スイッチング素子 Q_p が制御信号に基づいてターンオフすると、制御信号と同期した同期整流制御信号により、転流スイッチング素子 Q_s がターンオンするとともに、整流スイッチング素子 Q_1 がターンオフする。

[0046] トランス T の 1 次側から電力の供給がなくなると、トランス T の 2 次側では、チョークコイル L に蓄積されたエネルギーが放出される。このとき、チョークコイル L - 出力端子 V_{out} - 転流スイッチング素子 Q_s の経路を電流が流れ、負荷に電力が供給される。加えて、2 次巻線 N_s で図中黒丸の逆側に向かって電流が流れる方向に、逆起電力が発生する。このため、同期整流回路 10 には逆方向に電圧が印加される。

[0047] 同期整流回路 10 に逆方向に電圧が印加されるとき、同期整流回路 10 の

逆回復特性は、寄生ダイオードD1およびダイオードD10のうちのいずれか逆回復特性の良い方によって定まる。寄生ダイオードD1とダイオードD10は直列に接続される。このため、寄生ダイオードD1およびダイオードD10のうちのいずれか一方が電流を遮断すれば、他方にも電流が流れないからである。ダイオードD10は、寄生ダイオードD1よりも低耐圧である。このため、ダイオードD10の逆回復特性の方が、寄生ダイオードD1の逆回復特性よりも良い。したがって、同期整流回路10の逆回復特性は、ダイオードD10の逆回復特性によって定まることになる。

[0048] 以上、整流スイッチング素子Q1に直列に接続されたダイオードD10に低耐圧のダイオードを用いることで、同期整流回路10の逆回復特性が良くなることを説明した。ここで、同期整流回路10に逆方向に高電圧が印加されても、ダイオードD10が低耐圧であることは問題にならない。このため、同期整流回路10は様々なスイッチング電源装置に適用できる。以下、その理由について図3を参照しながら説明する。

[0049] 図3は、本発明の実施の形態に係る同期整流回路10において、印加される電圧が順方向から逆方向に反転するとき、同期整流回路10を流れる電流およびダイオードの端子間電圧の時間変化を示す波形図である。図3を参照して、波形aは、同期整流回路10を流れる電流Iを示す。波形bは、ダイオードD10の端子間電圧VD10を示す。波形cは、寄生ダイオードD1の端子間電圧VD1を示す。

[0050] 主スイッチング素子QpがターンオフしてトランスTの1次側から電力の供給がなくなると、2次巻線Nsに逆起電力が発生する。このため電流Iが減少し、時刻t0でゼロになる。しかし、電流Iはすぐにゼロに収束するのではない。時刻t0から時刻t1までの期間で逆回復電流が増加する。逆回復電流は、時刻t1で最大逆回復電流値Irrm (Maximum Reverse Recovery Current) に達する。時刻t0から時刻t1までの期間の長さおよび最大逆回復電流値Irrmの大きさは、ダイオードD10の逆回復特性により定まる。

- [0051] 時刻 t_1 において、寄生ダイオード D_1 の端子間電圧 V_{D1} よりも先に、ダイオード D_{10} の端子間電圧 V_{D10} が逆方向に増加を開始する。ダイオード D_{10} の逆回復特性の方が、寄生ダイオード D_1 の逆回復特性より良いためである。電流 I は、最大逆回復電流値 I_{rrm} から減少を開始し、時刻 t_2 でゼロに戻る。
- [0052] 時刻 t_2 以降は、2次巻線 N_s で発生した逆起電力が、寄生ダイオード D_1 とダイオード D_{10} のインピーダンスの比に応じて分圧される。分圧された逆起電力が同期整流回路 10 に印加される。寄生ダイオード D_1 の方がダイオード D_{10} よりも高耐圧でありインピーダンスが大きい。このため、寄生ダイオード D_1 に印加される電圧の方が、ダイオード D_{10} に印加される電圧よりも高い。寄生ダイオード D_1 の端子間電圧 V_{D1} は逆方向に増加を開始する。それに伴って、ダイオード D_{10} の端子間電圧 V_{D10} は減少を開始する。端子間電圧 V_{D1} および端子間電圧 V_{D10} は、時刻 t_3 で、寄生ダイオード D_1 とダイオード D_{10} のインピーダンスの比に応じた電圧に収束する。
- [0053] 寄生ダイオード D_1 に高耐圧のダイオードを用いることで、ダイオード D_{10} には逆方向に高電圧が印加されない。このため、ダイオード D_{10} が破壊されることはない。したがって、本発明の実施の形態に係る同期整流回路 10 におけるダイオード D_{10} には、従来の同期整流回路 20 におけるダイオード D_{20} よりも低耐圧のダイオードを用いることができる。よって、ダイオード D_{10} では、ダイオード D_{20} と比べて、逆回復電流による電力損失を低減できる。
- [0054] 以上、寄生ダイオード D_1 に高耐圧のダイオードを用いることで、同期整流回路 10 に逆方向に電圧が印加されるとき、逆回復電流による電力損失を低減できることを説明した。しかし、逆回復電流だけでなく、順方向電圧降下によっても電力損失は生じる。
- [0055] 従来の同期整流回路 20 に順方向に電圧が印加されるとき、整流スイッチング素子 Q_2 のオン抵抗の抵抗値および抵抗 R_2 の抵抗値が調整される。こ

れにより、寄生ダイオードD 2ではなく、整流スイッチング素子Q 2を電流が流れるようにすることができる。そのため、順方向電圧降下による電力損失は、寄生ダイオードD 2では生じず、ダイオードD 2 0でのみ生じる。

[0056] 同様に、本発明の実施の形態に係る同期整流回路1 0に順方向に電圧が印加されるとき、整流スイッチング素子Q 1のオン抵抗を小さく設定しておくことで、寄生ダイオードD 1ではなく、整流スイッチング素子Q 1を電流が流れる。そのため、順方向電圧降下による電力損失は、寄生ダイオードD 1では生じない。電力損失はダイオードD 1 0のみで生じる。

[0057] ダイオードでは、耐圧と順方向電圧 V_f との間にもトレードオフの関係が一般に成り立つことが知られている。つまり、耐圧が低いほど順方向電圧 V_f を低くすることができる。ダイオードD 1 0には、ダイオードD 2 0よりも低耐圧のダイオードを用いることができる。このため、ダイオードD 1 0では、ダイオードD 2 0と比べて、順方向電圧降下による電力損失も低減できる。

[0058] 以上、本発明の実施の形態に係る同期整流回路1 0では、低耐圧で逆回復特性の良いダイオードを用いることが可能になる。このため、同期整流回路1 0は、従来の同期整流回路2 0と比べて、順方向電圧降下による電力損失および逆回復電流による電力損失の双方を低減できる。

[0059] 具体的に、低耐圧であるため逆回復特性が良いダイオードとして、ショットキーバリアダイオード（Schottky Barrier Diode）が知られている。ショットキーバリアダイオードは、整流動作の原理上、逆回復電流が非常に小さい。このため、逆回復電流による電力損失がほとんど生じない。そのため、ダイオードD 1 0には、ショットキーバリアダイオードを用いることが好ましい。また、ショットキーバリアダイオードでは、逆回復電流がゼロに収束する際の変化が緩やかである（ソフトリカバリ特性と呼ばれる）。したがって、ショットキーバリアダイオードを用いることで、スイッチング動作時に発生するノイズを低減することもできる。

[0060] ショットキーバリアダイオード以外にも、pn接合ダイオードおよびpi

n接合ダイオードも、低耐圧の場合には逆回復特性が良い。そのため、ダイオードD10にpn接合ダイオードおよびpin接合ダイオードを用いることにより、逆回復電流による電力損失を低減できる。

[0061] なお、本発明の実施の形態に係る同期整流回路10では、ダイオードD10のカソードが整流スイッチング素子Q1のソースに接続される向きにダイオードD10を接続した。しかし、ダイオードD10の接続の向きは、これに限定されるものではない。ダイオードD10のアノードが整流スイッチング素子Q1のドレインに接続される向きであっても、同様の効果を得ることができる。

[0062] また、整流スイッチング素子Q1は、寄生ダイオードD1を含むスイッチング素子に限定されるものではない。整流スイッチング素子Q1に並列に接続したダイオードも、整流スイッチング素子Q1の寄生ダイオードD1に限定されるものではない。整流スイッチング素子Q1が寄生ダイオードD1を含まない場合、寄生ダイオードD1に代えて、ダイオードD1よりも高耐圧のダイオードが整流スイッチング素子Q1に並列に接続されることで、同様の効果を得ることができる。

[0063] ただし、ダイオードは、高耐圧になると順方向電圧降下による電力損失が増加する。たとえば、pin接合ダイオードは、高耐圧の場合には、逆回復特性は比較的良い。しかし、順方向電圧 V_f が高いため、順方向電圧降下による電力損失が増加してしまう。また、600V程度の高耐圧のショットキーバリアダイオードとして、GaN（窒化ガリウム）ショットキーバリアダイオードおよびSiC（シリコンカーバイド）ショットキーバリアダイオードが知られている。これら高耐圧のショットキーバリアダイオードも、順方向電圧 V_f が高い。そのため、順方向電圧降下による電力損失が増加してしまう。したがって、同期整流回路10に用いるダイオードは、耐圧と電力損失とのバランスを考慮して決定されるべきである。

[0064] 本発明の実施の形態に係る同期整流回路として、主スイッチング素子Qpのスイッチング動作と同期する同期整流回路10を例に説明した。しかし、

本発明に係る「同期整流回路」は、これに限定されるものではない。同期整流回路 10 は、逆方向に電圧が印加されて逆回復電流が流れる同期整流回路全般で、同様の効果を得ることができる。整流スイッチング素子 Q_1 は、主スイッチング素子 Q_p のスイッチング動作と同期していなくてもよい。

[0065] また、本発明の実施の形態に係る同期整流回路 10 を備えたスイッチング電源装置として、共振リセット形フォワードコンバータ 1 を例に、トランス T で入力電源 V_{in} と出力端子 V_{out} とを絶縁する場合について説明した。しかし、本発明に係る「同期整流回路」は、これに限定されるものでもない。同期整流回路 10 は、逆方向に電圧が印加されて逆回復電流が流れる同期整流回路を備えるスイッチング電源装置全般に適用できる。スイッチング電源装置が絶縁型および非絶縁型のいずれであるかを問わず、回路方式も問わない。このため、同期整流回路 10 を備えたスイッチング電源装置は、パワーコンディショナの DC-DC コンバータ、非絶縁型 DC-DC コンバータ、またはインバータなどであってもよい。

[0066] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した説明ではなく、請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0067] T トランス、 N_p 1 次巻線、 N_s 2 次巻線、 L チョークコイル、 C コンデンサ、 Q_p 主スイッチング素子、 Q_s 転流スイッチング素子、 Q_1 , Q_2 整流スイッチング素子、 D , D_1 , D_2 寄生ダイオード、 D_{10} , D_{20} ダイオード、 R_2 抵抗、1, 2 共振リセット形フォワードコンバータ、10, 20 同期整流回路、 V_{in} 入力電源、 V_{out} 出力端子、 I 電流、 I_{rrm} 最大逆回復電流値、 V_f 順方向電圧、 V_{D1} , V_{D10} 端子間電圧、 t_0 , t_1 , t_2 , t_3 時刻。

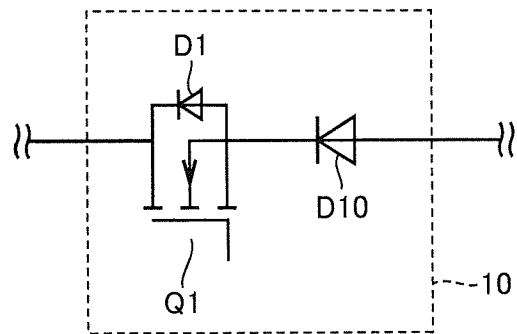
請求の範囲

- [請求項1] 整流スイッチング素子と、
前記整流スイッチング素子に並列に接続された第1のダイオードと、
、
前記整流スイッチング素子と前記第1のダイオードとの並列回路に直列に接続された第2のダイオードとを備え、
前記第2のダイオードの耐圧は、前記第1のダイオードの耐圧よりも低い、同期整流回路。
- [請求項2] 前記第2のダイオードは、ショットキーバリアダイオードである、請求項1に記載の同期整流回路。
- [請求項3] 前記第2のダイオードは、pn接合ダイオードまたはpin接合ダイオードである、請求項1に記載の同期整流回路。
- [請求項4] 前記整流スイッチング素子は、FETであって、
前記第1のダイオードは、前記FETの寄生ダイオードである、請求項1～3のいずれか一項に記載の同期整流回路。
- [請求項5] 請求項1～4のいずれか一項に記載の同期整流回路と、
入力電源と、
前記入力電源に直列に接続され、制御信号に基づいてスイッチング動作する主スイッチング素子と、
前記同期整流回路が整流した電圧を出力する出力端子とを備え、
前記同期整流回路は、印加された電圧を、前記主スイッチング素子のスイッチング動作と同期して整流する、スイッチング電源装置。
- [請求項6] 前記入力電源と前記出力端子とを絶縁するトランスをさらに備える、請求項5に記載のスイッチング電源装置。
- [請求項7] 前記スイッチング電源装置は、前記トランスの2次側に、転流スイッチング素子とインダクタンス素子とをさらに備え、
前記転流スイッチング素子は、前記トランスの2次巻線と前記同期整流回路との直列回路に直列に接続され、

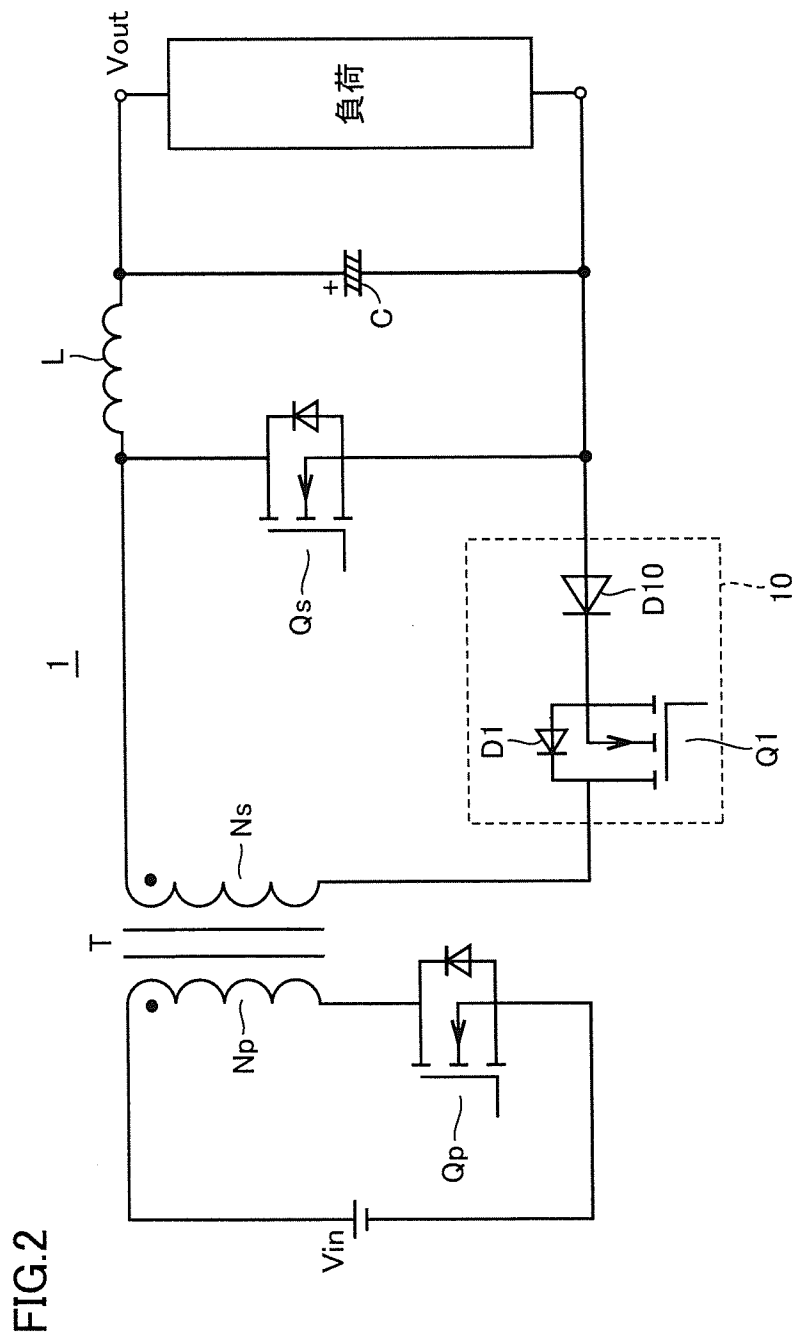
前記インダクタンス素子は、前記２次巻線と前記転流スイッチング素子との接続点と、前記出力端子の一端との間に直列に接続された、請求項６に記載のスイッチング電源装置。

[図1]

FIG.1

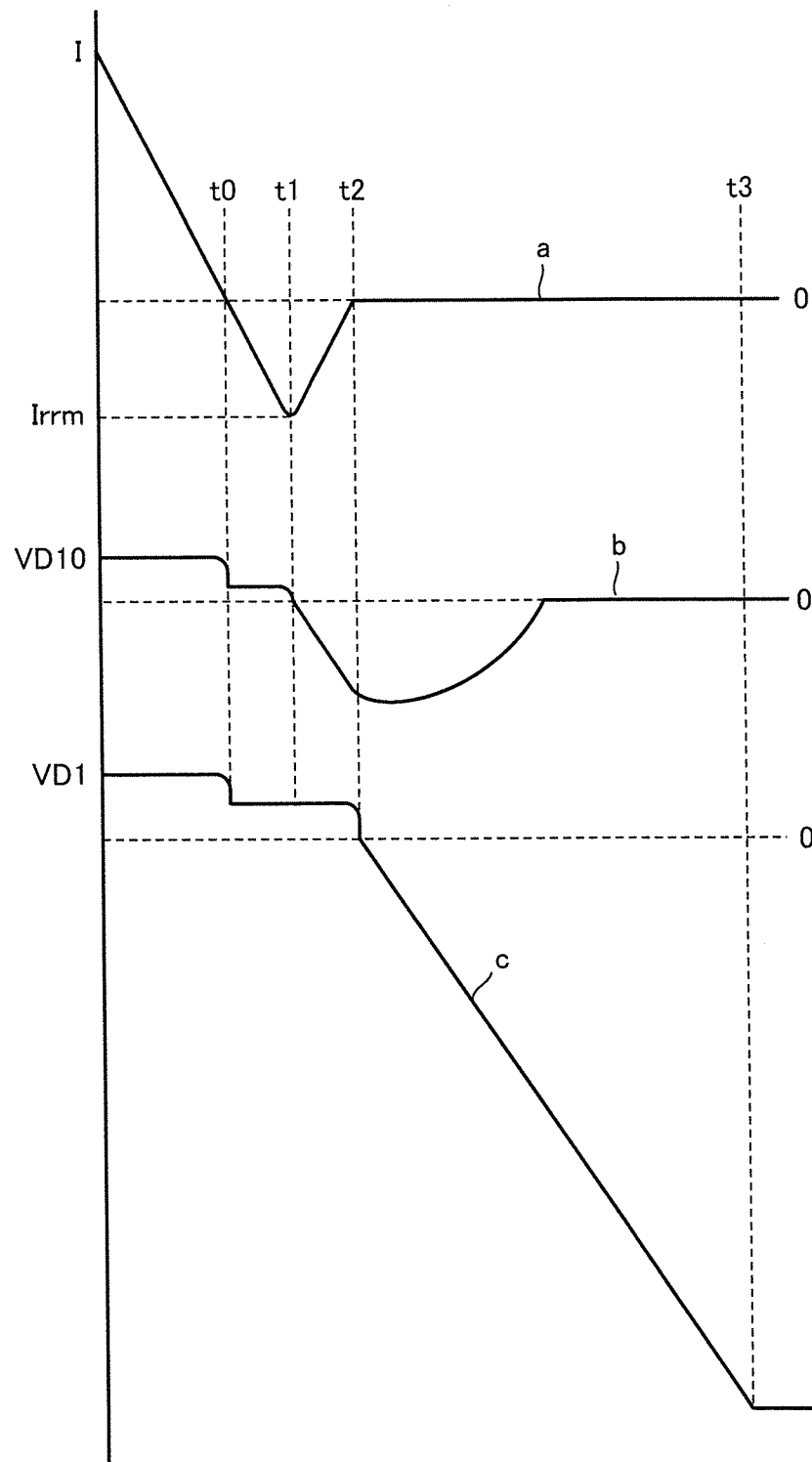


[図2]

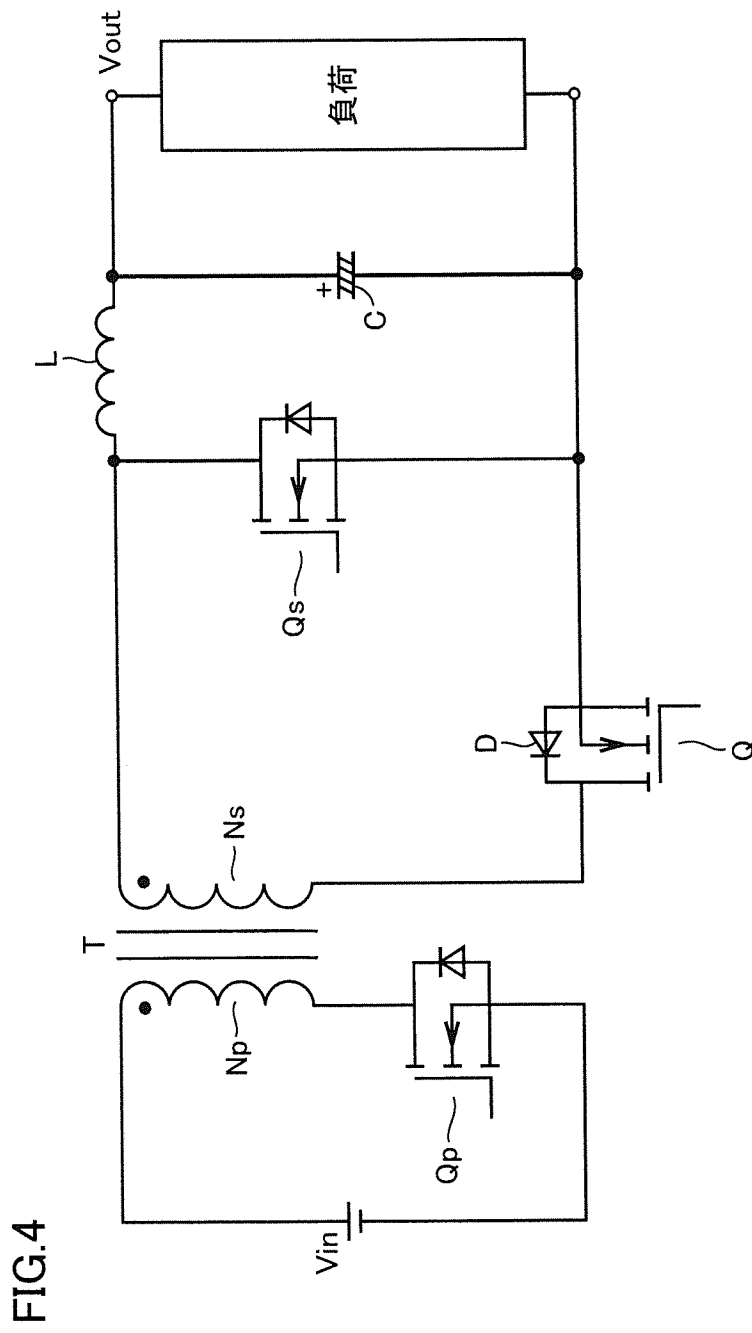


[図3]

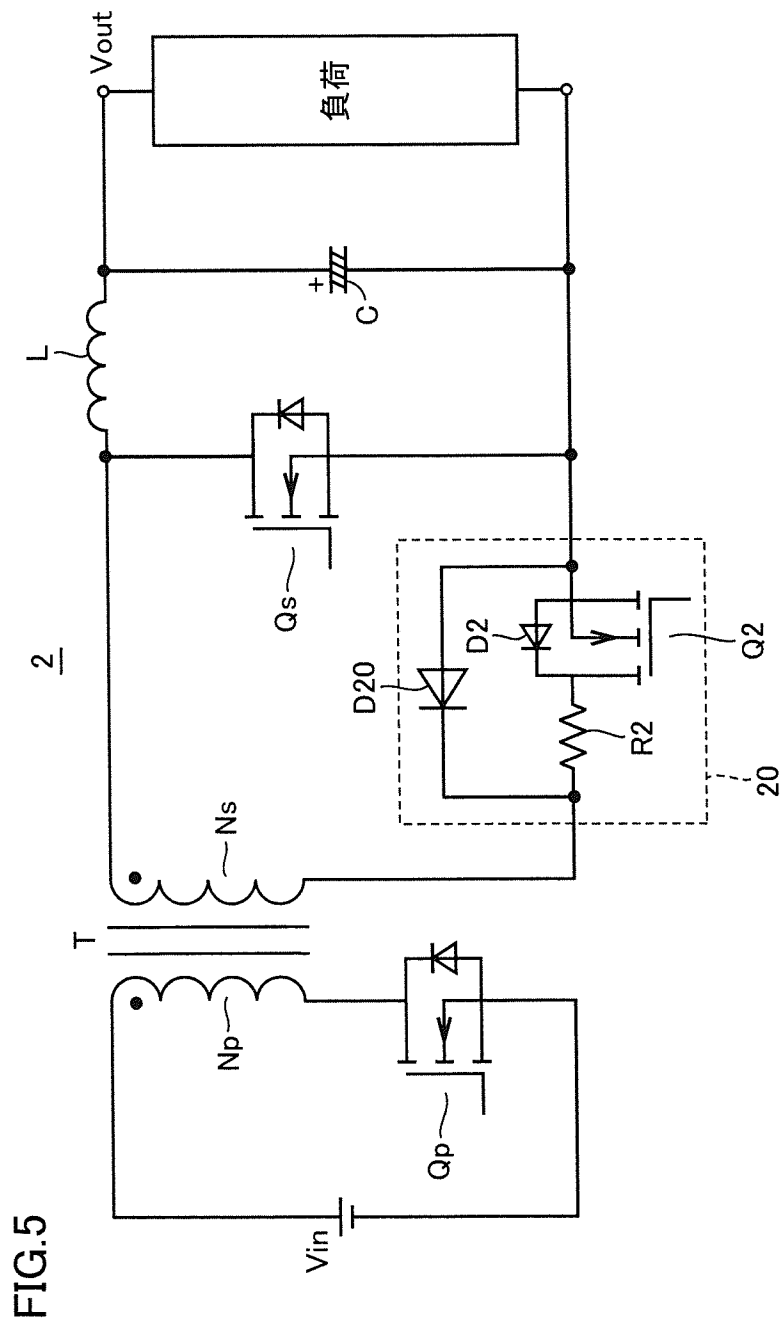
FIG.3



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/054694

A. CLASSIFICATION OF SUBJECT MATTER

H02M3/28(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013

Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 9-154276 A (Fujitsu Denso Ltd.), 10 June 1997 (10.06.1997), paragraphs [0014], [0015]; fig. 1 (Family: none)	1-7
Y	JP 9-215199 A (Fujitsu Ltd.), 15 August 1997 (15.08.1997), paragraphs [0055], [0060] to [0062] (Family: none)	1-7
Y	JP 2008-198735 A (Sanken Electric Co., Ltd.), 28 August 2008 (28.08.2008), claim 2; paragraph [0008] & US 2008/0191216 A1	3

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 April, 2013 (09.04.13)Date of mailing of the international search report
16 April, 2013 (16.04.13)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/054694

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 4-127869 A (Nippon Telegraph and Telephone Corp.), 28 April 1992 (28.04.1992), entire text (Family: none)	1-7
A	JP 61-157274 A (Fuji Electric Co., Ltd.), 16 July 1986 (16.07.1986), page 2, lower right column, line 18 to page 3, upper left column, line 4; fig. 1 (Family: none)	1-7
A	JP 5-316726 A (Hitachi Metals, Ltd.), 26 November 1993 (26.11.1993), paragraph [0006]; fig. 8 (Family: none)	1-7
A	JP 2001-238348 A (Nissan Motor Co., Ltd.), 31 August 2001 (31.08.2001), paragraphs [0024], [0026]; fig. 3 (Family: none)	1-7

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H02M3/28(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H02M3/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 9-154276 A (富士通電装株式会社) 1997.06.10, 段落【0014】, 【0015】, 図1 (ファミリーなし)	1-7
Y	JP 9-215199 A (富士通株式会社) 1997.08.15, 段落【0055】, 【0060】 - 【0062】 (ファミリーなし)	1-7
Y	JP 2008-198735 A (サンケン電気株式会社) 2008.08.28, 【請求項2】, 【0008】 & US 2008/0191216 A1	3

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 9 . 0 4 . 2 0 1 3

国際調査報告の発送日

1 6 . 0 4 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

神山 貴行

3 V

3 4 2 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 4-127869 A (日本電信電話株式会社) 1992. 04. 28, 全文 (ファミリーなし)	1-7
A	JP 61-157274 A (富士電機株式会社) 1986. 07. 16, 第 2 ページ右下欄第 18 行-第 3 ページ左上欄第 4 行, 第 1 図 (ファミリーなし)	1-7
A	JP 5-316726 A (日立金属株式会社) 1993. 11. 26, 段落【0006】, 図 8 (ファミリーなし)	1-7
A	JP 2001-238348 A (日産自動車株式会社) 2001. 08. 31, 段落【0024】, 【0026】, 図 3 (ファミリーなし)	1-7