

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2008-235875

(P2008-235875A)

(43) 公開日 平成20年10月2日 (2008.10.2)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/20 (2006.01)	H O 1 L 21/20	5 F 1 1 O
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 2 7 G	5 F 1 5 2
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 8 B	

審査請求 未請求 請求項の数 35 O L (全 44 頁)

(21) 出願番号	特願2008-33063 (P2008-33063)	(71) 出願人	000153878
(22) 出願日	平成20年2月14日 (2008.2.14)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2007-44044 (P2007-44044)		神奈川県厚木市長谷398番地
(32) 優先日	平成19年2月23日 (2007.2.23)	(72) 発明者	官入 秀和
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	加藤 翔
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内

最終頁に続く

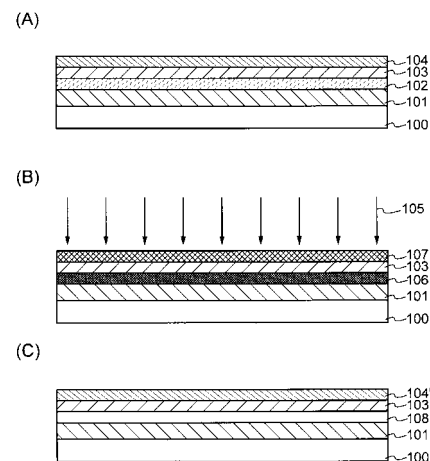
(54) 【発明の名称】 半導体装置の作製方法

(57) 【要約】

【課題】薄い半導体膜を、歩留まり良く、レーザ光の照射で結晶化する。

【解決手段】絶縁膜、半導体膜、絶縁膜、および半導体膜の順で、基板上に膜を積層する。基板の上方からレーザ光を照射下層および上層の半導体膜を溶融させて、下層の半導体膜を結晶化させる。レーザ光の照射により、上層の半導体膜が液相状態になることで、レーザ光が反射されるため、レーザ光によって下層の半導体膜に過剰に加熱されることを防ぐことができる。また、上層の半導体膜も溶融することで、下層の半導体膜の溶融時間を延ばすことができる。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

基板上に第 1 のバッファ膜を形成し、前記第 1 のバッファ膜上に第 1 の半導体膜を形成し、
前記第 1 の半導体膜上に第 2 のバッファ膜を形成し、
前記第 2 のバッファ膜上に光吸収膜を形成し、
前記光吸収膜の上方からレーザ光を照射して、前記第 1 の半導体膜及び前記光吸収膜を溶解することで、前記第 1 の半導体膜に結晶性半導体を形成することを特徴とする半導体装置の作製方法。

【請求項 2】

請求項 1 項において、
前記光吸収膜の厚さは、30 nm 以上 200 nm 以下であることを特徴とする半導体装置の作製方法。

【請求項 3】

請求項 1 または 2 において、
前記第 1 の半導体膜の厚さは、50 nm 以下であることを特徴とする半導体装置の作製方法。

【請求項 4】

請求項 1 乃至 3 のいずれか 1 項において、
シリコンまたはゲルマニウムを主成分とする半導体で、前記第 1 の半導体膜を形成することを特徴とする半導体装置の作製方法。

【請求項 5】

請求項 1 乃至 3 のいずれか 1 項において、
非晶質シリコンまたは微結晶シリコンで、前記第 1 の半導体膜を形成することを特徴とする半導体装置の作製方法。

【請求項 6】

請求項 1 乃至 3 のいずれか 1 項において、
非晶質ゲルマニウムまたは微結晶ゲルマニウムで、前記第 1 の半導体膜を形成することを特徴とする半導体装置の作製方法。

【請求項 7】

請求項 1 乃至 3 のいずれか 1 項において、
非晶質または微結晶のシリコンゲルマニウム ($\text{Si}_x\text{Ge}_{1-x}$ 、 $0 < x < 1$) で、前記第 1 の半導体膜を形成することを特徴とする半導体装置の作製方法。

【請求項 8】

請求項 1 乃至 7 のいずれか 1 項において、
前記光吸収膜は、半導体膜であることを特徴とする半導体装置の作製方法。

【請求項 9】

請求項 1 乃至 7 のいずれか 1 項において、
前記光吸収膜はシリコンまたはゲルマニウムを主成分とする半導体膜であることを特徴とする半導体装置の作製方法。

【請求項 10】

請求項 9 において、
前記シリコンまたはゲルマニウムを主成分とする半導体膜は、非晶質シリコンまたは微結晶のシリコン、非晶質または微結晶のゲルマニウム、非晶質または微結晶のシリコンゲルマニウム ($\text{Si}_x\text{Ge}_{1-x}$ 、 $0 < x < 1$) でなることを特徴とする半導体装置の作製方法。

【請求項 11】

請求項 1 乃至 10 のいずれか 1 項において、
前記第 1 のバッファ膜は絶縁膜であることを特徴とする半導体装置の作製方法。

【請求項 12】

10

20

30

40

50

請求項 1 乃至 11 のいずれか 1 項において、
前記第 2 のバッファ膜は絶縁膜であることを特徴とする半導体装置の作製方法。

【請求項 13】

請求項 1 乃至 12 のいずれか 1 項において、
前記第 2 のバッファ膜を形成する前に、前記第 1 の半導体膜に半導体の結晶化を助長する元素を導入することを特徴とする半導体装置の作製方法。

【請求項 14】

請求項 13 において、
前記結晶化を助長する元素は、ニッケル (Ni)、パラジウム (Pd)、コバルト (Co)、白金 (Pt)、鉄 (Fe)、スズ (Sn)、鉛 (Pb)、銅 (Cu)、金 (Au) から選ばれた元素であることを特徴とする半導体装置の作製方法。 10

【請求項 15】

請求項 1 乃至 14 のいずれか 1 項において、
前記レーザ光は、連続発振レーザ又は疑似連続発振レーザから射出されたレーザ光であることを特徴とする半導体装置の作製方法。

【請求項 16】

請求項 1 乃至 14 のいずれか 1 項において、
前記レーザ光は、パルス発振レーザから射出されたレーザ光であることを特徴とする半導体装置の作製方法。

【請求項 17】

請求項 1 乃至 14 のいずれか 1 項において、
前記レーザ光の代わりに、ランプを光源とするランプ光を照射することを特徴とする半導体装置の作製方法。 20

【請求項 18】

基板上に第 1 の絶縁膜を形成し、
前記第 1 の絶縁膜上に第 1 の半導体膜を形成し、
前記第 1 の半導体膜上に第 2 の絶縁膜を形成し、
前記第 2 の絶縁膜上に第 2 の半導体膜を形成し、
前記第 2 の半導体膜を通過させて、前記第 1 の半導体膜にレーザ光を照射して、前記第 1 の半導体膜及び前記第 2 の半導体膜を溶融して、前記第 1 の半導体膜に結晶性半導体を形成することを特徴とする半導体装置の作製方法。 30

【請求項 19】

基板上に第 1 の絶縁膜を形成し、
前記第 1 の絶縁膜上に第 1 の半導体膜を形成し、
前記第 1 の半導体膜上に第 2 の絶縁膜を形成し、
前記第 2 の絶縁膜上に第 2 の半導体膜を形成し、
前記第 2 の半導体膜を通過させて、前記第 1 の半導体膜にレーザ光を照射し、前記第 1 の半導体膜及び前記第 2 の半導体膜を溶融して、前記第 1 の半導体膜に結晶性半導体を形成し、
前記第 2 の半導体膜および前記第 2 の絶縁膜を除去し、前記結晶性半導体が形成された前記第 1 の半導体膜を所定の形状に加工して、結晶性半導体膜を形成し、
前記結晶性半導体膜を有する素子を形成することを特徴とする半導体装置の作製方法。 40

【請求項 20】

基板上に第 1 の絶縁膜を形成し、
前記第 1 の絶縁膜上に第 1 の半導体膜を形成し、
前記第 1 の半導体膜上に第 2 の絶縁膜を形成し、
前記第 2 の絶縁膜上に第 2 の半導体膜を形成し、
前記第 2 の半導体膜を通過させて、前記第 1 の半導体膜にレーザ光を照射し、前記第 1 の半導体膜及び前記第 2 の半導体膜を溶融して、前記第 1 の半導体膜に結晶性半導体を形成し、 50

前記第 2 の半導体膜を除去し、前記第 2 の絶縁膜を所定の形状に加工して、第 3 の絶縁膜を形成し、

前記結晶性半導体が形成された前記第 1 の半導体膜を所定の形状に加工して、結晶性半導体膜を形成し、

前記結晶性半導体膜及び前記第 3 の絶縁膜を有する素子を形成することを特徴とする半導体装置の作製方法。

【請求項 2 1】

請求項 1 8 乃至 2 0 のいずれか 1 項において、

前記第 1 の半導体膜の厚さは、50 nm 以下であることを特徴とする半導体装置の作製方法。

10

【請求項 2 2】

請求項 1 8 乃至 2 1 のいずれか 1 項において、

前記第 2 の半導体膜の厚さは、30 nm 以上 200 nm 以下であることを特徴とする半導体装置の作製方法。

【請求項 2 3】

請求項 1 8 乃至 2 2 のいずれか 1 項において、

シリコンまたはゲルマニウムを主成分とする半導体で、前記第 1 の半導体膜を形成することを特徴とする半導体装置の作製方法。

【請求項 2 4】

請求項 1 8 乃至 2 2 のいずれか 1 項において、

非晶質シリコンまたは微結晶シリコンで、前記第 1 の半導体膜を形成することを特徴とする半導体装置の作製方法。

20

【請求項 2 5】

請求項 1 8 乃至 2 2 のいずれか 1 項において、

非晶質ゲルマニウムまたは微結晶ゲルマニウムで、前記第 1 の半導体膜を形成することを特徴とする半導体装置の作製方法。

【請求項 2 6】

請求項 1 8 乃至 2 2 のいずれか 1 項において、

非晶質または微結晶のシリコンゲルマニウム ($\text{Si}_x\text{Ge}_{1-x}$ 、 $0 < x < 1$) で、前記第 1 の半導体膜を形成することを特徴とする半導体装置の作製方法。

30

【請求項 2 7】

請求項 1 8 乃至 2 6 のいずれか 1 項において、

シリコンまたはゲルマニウムを主成分とする半導体で、前記第 2 の半導体膜を形成することを特徴とする半導体装置の作製方法。

【請求項 2 8】

請求項 1 8 乃至 2 6 のいずれか 1 項において、

非晶質または微結晶のシリコン、非晶質または微結晶のゲルマニウム、もしくは非晶質または微結晶のシリコンゲルマニウム ($\text{Si}_x\text{Ge}_{1-x}$ 、 $0 < x < 1$) で、前記第 2 の半導体膜を形成することを特徴とする半導体装置の作製方法。

40

【請求項 2 9】

請求項 1 8 乃至 2 8 のいずれか 1 項において、

前記第 2 の絶縁膜を形成する前に、前記第 1 の半導体膜に半導体の結晶化を助長する元素を導入することを特徴とする半導体装置の作製方法。

【請求項 3 0】

請求項 2 9 において、前記結晶化を助長する元素は、ニッケル (Ni)、パラジウム (Pd)、コバルト (Co)、白金 (Pt)、鉄 (Fe)、スズ (Sn)、鉛 (Pb)、銅 (Cu)、金 (Au) から選ばれた元素であることを特徴とする半導体装置の作製方法。

【請求項 3 1】

請求項 1 8 乃至 3 0 のいずれか 1 項において、

前記レーザ光の波長は、100 nm 以上 800 nm 以下であることを特徴とする半導体装

50

置の作製方法。

【請求項 3 2】

請求項 1 8 乃至 3 1 のいずれか 1 項において、
複数のレーザから射出されたレーザ光のビームスポットを重ねて、前記レーザ光を照射することを特徴とする半導体装置の作製方法。

【請求項 3 3】

請求項 1 8 乃至 3 2 のいずれか 1 項において、
前記レーザ光は、連続発振レーザ又は疑似連続発振レーザから射出されたレーザ光であることを特徴とする半導体装置の作製方法。

【請求項 3 4】

請求項 1 8 乃至 3 2 のいずれか 1 項において、
前記レーザ光は、パルス発振レーザから射出されたレーザ光であることを特徴とする半導体装置の作製方法。

【請求項 3 5】

請求項 1 8 乃至 3 0 のいずれか 1 項において、
前記レーザ光の代わりに、ランプを光源とするランプ光を照射することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、レーザ光を照射して半導体を結晶化する技術に関する。また、本発明は、レーザ光を照射して結晶化された半導体膜を用いて、半導体装置を作製する方法に関する。

【背景技術】

【0002】

シリコンウエハを用いずに、薄膜トランジスタ (Thin Film Transistor, TFT) で半導体集積回路を形成するため、非晶質シリコン膜にレーザ光を照射することで結晶化する技術は、重要な技術の 1 つである。

【0003】

例えば、レーザ光を吸収して加熱される膜を非晶質シリコン膜に重ねて形成し、この膜で発生した熱を利用して大粒径の結晶性シリコンを形成する技術が知られている。例えば、特許文献 1 (特開 2003—178979 号公報) には次の記載がある、基板上にブロッキング層、所定の形状に加工された半導体膜、バリア膜、非晶質シリコンでなる保温膜の順に積層し、連続発振レーザからのレーザ光を基板側から照射して、半導体領域を溶融させて結晶化すること、保温膜によって半導体膜の熱の伝搬方向を調節することで、結晶粒の粒径を大きくできることが記載されている (特許文献 1 段落 0045、0057 等参照)。

【0004】

また、非特許文献 1 には、石英ガラス上に、SiN、SiO₂、1 層目の a-Si、SiO₂、2 層目の a-Si を積層し、波長 532 nm の固体グリーンレーザ光を照射して、1 層目は微結晶 Si、2 層目は粒径約 1 μm の多結晶 Si に結晶化させたことが報告されている。非特許文献 1 の報告によると、この結晶化では、1 層目の a-Si が熱浴として効果的に機能したと考えられている。

【0005】

また、特許文献 2 (特開 2003—168646 号公報) には、基板上に、非晶質シリコン膜、モリブデン膜の順に積層し、モリブデン膜に連続発振型の YAG レーザからのレーザ光を照射して、モリブデン膜を加熱し、モリブデン膜の熱により非晶質シリコンを溶融させて、結晶化することが記載されている。

【0006】

また、特許文献 3 (特開平 4 - 212410 号公報) には、レーザ光ではなく、ランプ光のようなインコヒレント光を照射して、非晶質シリコンを結晶化することが記載されてい

10

20

30

40

50

る。特許文献3では、基板上に、非晶質シリコン膜、絶縁膜、光吸収層の順に積層し、ランプ光を照射することで光吸収層を加熱し、光吸収層からの熱伝導により非晶質シリコン膜を結晶化することが行われている。光吸収層に、タングステン、モリブデン等の金属、多結晶シリコン、非晶質シリコンが用いられている。

【0007】

また、非特許文献2には、光吸収層にダイヤモンドライクカーボン膜を用い、波長1064nmの連続発振型のNd⁺:YAGレーザ光により非晶質シリコン膜を結晶化させたことが報告されている。

【特許文献1】特開2003—178979号公報

【特許文献2】特開2003—168646号公報

【特許文献3】特開平4-212410号公報

【非特許文献1】菅原裕太、外5名、「22a-W-8 固体グリーンレーザーアニールによる二層構造Si薄膜の結晶化」、2006年春季第53回応用物理学関係連合講演会予稿集、2006年3月、No.2、p.888

【非特許文献2】牧正人、外3名、「22a-W-9 ダイヤモンドライクカーボン光吸収層を用いたシリコン膜のレーザ結晶化2」、2006年春季第53回応用物理学関係連合講演会予稿集、2006年3月、No.2、p.888

【発明の開示】

【発明が解決しようとする課題】

【0008】

薄膜トランジスタにも、シリコンウエハに形成されたMOSトランジスタ同様、微細化の要求がある。しかし、トランジスタを微細化し、ゲート電極幅を1μm以下とすると短チャネル効果が現れ、トランジスタの電気的特性に悪影響を及ぼす。短チャネル効果を抑制する方法には、(1)チャネル形成領域となる半導体層を薄くする、(2)ゲート絶縁膜を薄くする、(3)半導体層中の不純物濃度を低減する、等の方法が挙げられる。

【0009】

本発明者らの研究において、ゲート電極幅を1μm以下で、短チャネル効果を抑制するには、薄膜トランジスタのチャネル形成領域の厚さは50nm以下、より好ましくは40nm以下することが望ましいことが分かった。しかしながら、レーザ結晶化により、50nm以下の厚さの非晶質シリコン膜を結晶化することは、次の理由で非常に困難である。

【0010】

レーザ光を照射することで形成された結晶性シリコン膜の結晶構造は、レーザ光のエネルギーに依存する。レーザ光が照射されたシリコンの結晶構造は、レーザ光のエネルギーが増加すると、微結晶、小粒径結晶、大粒径結晶と変化する。大粒径結晶を形成するには、シリコン膜を完全に溶融するエネルギーが必要であることが分かっている。レーザ光のエネルギーが大きすぎると、シリコン膜に裂け目が生じたり(スプリットする)、アブレーションして、膜の形状を維持できなくなる。

【0011】

なお、膜が完全溶融している状態とは、膜が上面から被形成面との界面まで溶融している状態、液相状態になっている状態をいう。また部分溶融とは、膜の上面から被形成面との界面までに、液相の部分と固相の部分がある状態をいう。

【0012】

シリコンの光の吸収率は、光の波長および膜厚に依存する。さらに、固相と液相でも、吸収率等が変化する。図6は、波長532nmの光に対する、固相の非晶質シリコンおよび液相シリコンの吸収率の膜厚依存性を示すグラフである。図6のグラフの横軸は非晶質シリコン膜の厚さであり、縦軸は吸収率を示す。また、図7は、固相非晶質シリコンに対する液相シリコンの波長532nmの光の吸収率の比(=液相シリコン/固相シリコン)の膜厚依存性を示すグラフである。なお、波長532nmのレーザ光としては、例えば、Nd:YVO₄レーザの第2高調波が上げられる。

【0013】

10

20

30

40

50

図6に示すように、厚さが50nm以下になると非晶質シリコンの吸収率が急激に低下する。よって、厚さが50nm以下の非晶質シリコンを完全溶融させて、結晶化するには、レーザの出力を高くする必要がある。一方、図7のグラフは、厚さが50nm以下となると、非晶質シリコン膜が固相から液相に相変化することで、急激に吸収率が変動することを示している。

【0014】

そのため、レーザ光の照射によって非晶質シリコン膜が固相から液相に相変化した直後に、吸収率の急激な変動が起こるため、シリコンへのエネルギーが供給不足または供給過剰となり、結晶粒を大きく成長させるための適切なエネルギーを供給することが困難となる。また、レーザは発振器自体の出力の変動もある。よって、シリコン膜の厚さが50nm以下では、大粒径結晶を形成できるレーザの出力の適切な範囲は非常に狭くなるという問題点がある。そのため、50nm以下の厚さのシリコン膜のレーザ結晶化は留まりが低く、また結晶性を均一にして、レーザ結晶化を行うことを非常に困難にしている。

10

【0015】

また、シリコン膜が薄くなる程、レーザ光の照射による熱応力の急峻な変化に耐えられず、結晶化された部分の一部に、ピーリング（剥がれ）や、ストリップ（裂け目）が発生しやすくなり、結晶性が均一なレーザ結晶化を困難にしている。

【0016】

本発明の課題は、以上の課題を解決するために、厚さが50nm以下の半導体膜を、歩留まり良く、レーザ光の照射で結晶化する方法を提供することを課題とする。

20

【課題を解決するための手段】

【0017】

上述の課題を解消するため、本発明は、基板上に半導体膜を形成し、半導体膜上に、レーザ光を吸収して発熱する光吸収膜を形成し、光吸収膜を通過させて半導体膜にレーザ光を照射して、半導体膜を溶融すると共に光吸収膜を溶融することで、半導体膜を結晶化し、結晶性半導体を形成するというレーザ結晶化技術である。また、本発明は、結晶性半導体を所望の形状に加工した結晶性半導体膜を有する素子を形成するという半導体装置の作製方法にある。

【0018】

下層の半導体膜と共に、上層の光吸収膜をレーザ光で溶融することで、溶融された光吸収膜から下層の半導体膜に熱が伝導され、半導体膜の溶融時間を延ばすことができる。半導体膜の結晶の成長距離を長くすることができる。

30

【0019】

また、光吸収膜を固相から液相に状態変化させることで、レーザ光に対する光吸収膜の反射率を上昇させ、光吸収膜をレーザ光が殆ど透過させないようにする。このことにより、溶融状態の半導体膜にレーザ光が吸収されないようになり、レーザ光からエネルギーが液相の半導体膜に過剰に供給されることを防ぐことができる。

【0020】

つまり、本発明では、半導体膜は、まず、レーザ光を吸収することで加熱され、完全溶融される。同時に、光吸収膜もレーザ光を吸収することで加熱され、完全溶融される。そして、光吸収膜が溶融することで、半導体膜にレーザ光が殆ど到達されなくなり、光吸収膜からの熱伝導によって半導体膜が主に加熱される。また、光吸収膜は、固相から液相に状態変化することで、半導体膜への熱の供給源となるだけではなく、半導体膜が過剰に加熱されることを防ぐ。

40

【0021】

従って、本発明に係るレーザ結晶化方法を用いることで、高い歩留まりで、厚さが50nm以下、さらに薄い40nm以下の半導体膜を完全溶融させて、結晶成長させることができる。また、使用できるレーザの出力範囲を広げることができる。なお、本発明において、50nmよりも厚い半導体膜も完全溶融させて結晶化することが可能であり、半導体膜の厚さは200nm以下とすることができる。

50

【0022】

本発明において、半導体膜はシリコンまたはゲルマニウムを主成分とする半導体で形成することが好ましい。シリコンを主成分とする半導体はシリコン、ゲルマニウムまたはシリコンゲルマニウム ($\text{Si}_x\text{Ge}_{1-x}$ 、 $0 < x < 1$) 等である。半導体膜の結晶構造は、非単結晶であればよい。その結晶構造は非晶質または微結晶がより好ましい。

【0023】

光吸収膜はレーザ光を透過し、またレーザ光を吸収して溶融される膜が選択される。例えば、光吸収膜を半導体膜で形成することができる。また、レーザ光の照射で溶融させるため、光吸収膜の厚さは30nm以上200nm以下が好ましい。

【0024】

光吸収膜に用いられる半導体には、下層の半導体膜と同様、シリコンまたはゲルマニウムを主成分とする半導体で形成することができる。シリコンまたはゲルマニウムを主成分とする半導体は、シリコン、ゲルマニウムまたはシリコンゲルマニウム ($\text{Si}_x\text{Ge}_{1-x}$ 、 $0 < x < 1$) 等である。光吸収膜を半導体で形成する場合、結晶構造は非単結晶であり、微結晶または非晶質が好ましい。また、光吸収膜としては、下層の半導体膜と同じ結晶構造の半導体膜であることが望ましい。

10

【0025】

本発明において、レーザ光の照射により光吸収膜および半導体膜を溶融するため、半導体膜の下面、半導体膜と光吸収膜の間に、それぞれ、レーザ光の照射によって溶融されないバッファ膜を形成することが望ましい。例えば、半導体膜の下面に形成されるバッファ膜は、半導体膜と基板の間に形成される。

20

【0026】

半導体膜と基板の間に形成される第1のバッファ膜は、レーザ光の照射で結晶化された結晶性半導体膜を用いて形成した素子の下地膜として機能させることができる。また、第1のバッファ膜に、素子に不純物が侵入することを防ぐバリア層の機能を持たせることもできる。また、この第1のバッファ膜は、レーザ光の照射により半導体膜が温度上昇しても、その熱が基板に伝導されにくくする熱の緩和層として機能させることができる。

【0027】

光吸収膜と半導体膜の間に形成される第2のバッファ膜は、溶融した光吸収膜と、溶融した半導体膜が混合するのを防止するための膜である。また、エッチングにより光吸収膜を除去するとき、半導体膜が除去されないようにするために、第2のバッファ膜をエッチングストッパーとして機能させることが好ましい。

30

【0028】

第1のバッファ膜および第2のバッファ膜は、単層または積層構造の絶縁膜で形成することができる。

【0029】

本発明において、レーザ光の波長は半導体膜に吸収される波長が選択される。その波長は、例えば、100nm以上800nm以下が好ましく、350nm以上750nm以下がより好ましい。なお、レーザ光には、レーザの基本波だけでなく、高調波（代表的には、第2高調波、第3高調波）も用いることができる。

40

【0030】

レーザ光として、連続発振レーザ（以下、「CWレーザ」と記す。）、疑似連続発振レーザ（以下、「疑似CWレーザ」と記す。）またはパルス発振レーザから射出されたレーザ光を用いることができる。なお、パルス発振レーザのうち、繰り返し周波数が10MHz以上のパルス発振レーザを疑似連続発振レーザという。このようなレーザは、CWレーザと同様、レーザ光が照射されている部分を完全溶融状態に保つことができる。そのため、このレーザを用いる場合も、CWレーザと同様に、レーザ光を走査することで、半導体膜中に固相液相の界面を移動させることができる。

【0031】

また、2台以上のレーザから射出されたビームのビームスポットを重ねて、レーザ光を照

50

射することもできる。この場合、レーザの種類は同じでも、異なってもよい。

【発明の効果】

【0032】

本発明により、厚さが50nm以下の半導体膜を、歩留まり良く、レーザ光の照射で結晶化することが可能になる。

【発明を実施するための最良の形態】

【0033】

以下に、図面を用いて、本発明の半導体膜の結晶化方法を説明する。ただし、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨およびその範囲から逸脱することなく、その形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は実施の形態および実施例の記載内容に限定して解釈されるものではない。

10

【0034】

(実施の形態1)

図1および図2を用いて、本実施の形態では、第1のバッファ膜、第1の半導体膜、第2のバッファ膜、および光吸収膜を基板上に形成し、光吸収膜および第2のバッファ膜を通過させて第1の半導体膜にレーザ光を照射することで、第1の半導体膜に結晶性半導体を形成する方法を説明する。

【0035】

図1(A)~(C)は、本実施の形態を説明するための断面図である。まず、基板100を用意する。基板100には、例えば、ガラス基板、石英基板、サファイヤ基板、およびプラスチック基板等の絶縁材料でなる基板、ステンレス基板等の導電性基板、ならびにシリコンウエハ等の半導体基板等を用いることができる。

20

【0036】

図1(A)に示すように、基板100上に第1のバッファ膜101を形成し、第1のバッファ膜101上に第1の半導体膜102を形成し、第1の半導体膜102上に第2のバッファ膜103を形成し、第2のバッファ膜103上に光吸収膜104を形成する。

【0037】

第1のバッファ膜101は、半導体装置において素子の下地絶縁膜として機能させることができる。下地絶縁膜を形成することで、素子に含まれる結晶性半導体膜と、その被形成面との界面準位を低くすることができる。また、基板100側から素子に不純物が侵入することを防ぐブロッキング層の機能を持たせることができる。このため、第1のバッファ膜101を形成することで、ガラス基板やプラスチック基板のような、石英基板などと比較して不純物を多く含む基板を用いることが可能になる。

30

【0038】

第1のバッファ膜101の厚さは1μm以下10nm以上とすることができ、500nm以下50nm以上がより好ましい。第1のバッファ膜101は、単層構造、積層構造の絶縁膜で形成することができる。第1のバッファ膜101を構成する絶縁膜は、酸化シリコン(SiO_x 、 $0 < x \leq 2$)、窒化シリコン(SiN_x 、 $0 < x \leq 4/3$)、酸化窒化シリコン(SiO_xN_y 、 $0 < x < 2$ 、 $0 < y < 4/3$)等シリコンを主成分とする絶縁材料で形成することができる。なお、第1のバッファ膜101と結晶化された第1の半導体膜の界面準位を低くするため、第1の半導体膜102の下面と接する膜を窒化シリコンで形成すると、結晶化された第1の半導体膜102との界面準位に電荷が蓄積され、トランジスタのしきい値電圧値の絶対値が増加してしまう。そのため、第1の半導体膜102の下面に接する膜には、酸化シリコンまたは、窒素の組成比が1%以下の酸化窒化シリコンで形成することが好ましい。しかしながら、これらの絶縁膜は、不純物に対するブロッキング性が低いため、これらの絶縁膜と基板100の間に、ブロッキング機能の高い窒化シリコンまたは窒素の組成比が40%以上の酸化窒化シリコンでなる膜を形成することが好ましい。この場合、第1のバッファ膜101は、窒化シリコンまたは窒素の組成比が40%以上の酸化窒化シリコンでなる膜と、酸化シリコンまたは、窒素の組成比が1%以下の

40

50

酸化窒化シリコンでなる膜との２層構造となる。或いは、酸化シリコンまたは、窒素の組成比が１％以下の酸化窒化シリコンの単層膜で第１のバッファ膜１０１を形成する場合は、厚さを５００ｎｍ以上と厚くして、ブロッキング性を高めることが好ましい。

【００３９】

酸化シリコンなどのシリコンを主成分とする絶縁膜は、プラズマＣＶＤ法、スパッタ法、原子層堆積法（ＡＬＤ法、Atomic Layer Deposition）等で形成することができる。なお、第１のバッファ膜１０１を積層構造とする場合、異なる成膜方法を用いてもよい。

【００４０】

第１の半導体膜１０２は、結晶化の対象となる半導体膜であり、結晶化された第１の半導体膜１０２を用いて、半導体装置を形成する。第１の半導体膜として、第１の半導体膜１０２は、シリコンまたはゲルマニウムを主成分とする半導体で形成することができる。シリコンまたはゲルマニウムを主成分とする半導体としては、例えば、シリコン（Ｓｉ）、ゲルマニウム（Ｇｅ）、シリコンゲルマニウム（ $\text{Si}_{1-x}\text{Ge}_x$ 、 $0 < x < 1$ ）、および炭化シリコン（ＳｉＣ）等の半導体である。これらの半導体材料でなる膜は、プラズマＣＶＤ法、減圧ＣＶＤ法、熱ＣＶＤ法等のＣＶＤ法、またはスパッタ法で形成することができる。

10

【００４１】

例えば、ＣＶＤ法で、シリコン膜を形成する場合は、例えば、水素で希釈したシラン（ SiH_4 ）またはジシラン（ Si_2H_6 ）を原料ガスに用いる。この原料ガスに GeH_4 を添加することで、シリコンゲルマニウム膜を形成することができる。また、スパッタ法でシリコン膜を形成する場合は、例えば、シリコン（Ｓｉ）のターゲットを用いる。また、シリコンゲルマニウム膜を形成するには、例えば、ゲルマニウム（Ｇｅ）を含むシリコン（Ｓｉ）のターゲットを用いる。

20

【００４２】

また、第１の半導体膜１０２は、Ｐ（リン）、Ａｓ（ヒ素）等の半導体にｎ型導電性を付与する不純物元素、またはＢ（ボロン）等の半導体にｐ型の導電性を付与する不純物元素を含んでいてもよい。このような不純物元素を第１の半導体膜１０２に含ませるには、例えば、上記のようにシリコン膜等を形成した後、イオンドーピング装置またはイオン注入装置により、このような不純物元素をシリコン膜に添加する。

30

【００４３】

レーザ光を照射される前の第１の半導体膜１０２の結晶構造は非単結晶であり、非晶質、又は微結晶がより好ましい。

【００４４】

第１の半導体膜１０２の厚さは１５０ｎｍ以下５ｎｍ以上とすることができる。本発明では、第１の半導体膜１０２を５０ｎｍ以下５ｎｍ以上と薄く形成することができ、さらに、その厚さを４０ｎｍ以下５ｎｍ以上とすることがより好ましい。第１の半導体膜１０２の厚さを５０ｎｍ以下とすることで、短チャネル効果が抑制された、ゲート長が１μｍ以下の薄膜トランジスタを作製することができる。

40

【００４５】

光吸収膜１０４と第１の半導体膜１０２の間に形成される第２のバッファ膜１０３は、溶融した光吸収膜１０４と第１の半導体膜１０２が混合するのを防止するための膜である。また、第１の半導体膜１０２を結晶化した後、エッチングにより光吸収膜１０４を除去するとき、結晶化された第１の半導体膜１０２が除去されないようにするために、第２のバッファ膜１０３をエッチングストッパーとして機能させることが好ましい。

【００４６】

下層の第１の半導体膜１０２にレーザ光が照射されるように、第２のバッファ膜１０３は、レーザ光を透過する膜で形成される。例えば、第２のバッファ膜１０３は、単層構造または積層構造の絶縁膜で形成することができる。第２のバッファ膜１０３を構成する膜は、酸化シリコン（ SiO_x 、 $0 < x < 2$ ）、窒化シリコン（ SiN_x 、 $0 < x < 4/3$ ）

50

、酸化窒化シリコン (SiO_xN_y 、 $0 < x < 2$ 、 $0 < y < 4/3$) 等のシリコンを主成分とする絶縁材料、並びに酸化タンタル、酸化ハフニウム、酸化ジルコニウム、及び酸化チタン等の金属酸化物等で形成することができる。これらの絶縁膜は、CVD法、スパッタ法、ALD法等で形成することができる。なお、第2のバッファ膜103を積層構造とする場合、各層を形成する方法が同じでも、異ならせることもできる。

【0047】

第2のバッファ膜103の厚さは、レーザ光の照射で溶融せず、かつ下層の第1の半導体膜102に熱を伝えることができる厚さが好ましく、その厚さは10nm以上200nm以下とすることができる。また、後述するように、素子を構成する膜として第2のバッファ膜103を用いることができる。この場合、素子の特性に合わせて、第2のバッファ膜103の厚さが決定される。

10

【0048】

光吸収膜104は、レーザ光を吸収することで温度上昇して、第1の半導体膜102と共に溶融し、かつ、下層の第1半導体膜102にレーザ光を照射するため、レーザ光を透過する材料で形成することができる。例えば、第1の半導体膜102と同様、光吸収膜104を半導体膜で形成することができる。光吸収膜104に用いられる半導体の材料は、第1の半導体膜102と同様であり、シリコン、ゲルマニウム、シリコンゲルマニウム ($\text{Si}_x\text{Ge}_{1-x}$ 、 $0 < x < 1$) 等のシリコンまたはゲルマニウムを主成分とする半導体を用いることができる。また、光吸収膜104に半導体膜を用いる場合、半導体膜の結晶構造は非単結晶であり、より好ましくは、非晶質または微結晶である。

20

【0049】

また、レーザ光の照射で溶融させるため、光吸収膜104の厚さは30nm以上200nm以下が好ましい。

【0050】

光吸収膜104に半導体膜を用い、また第1のバッファ膜101および第2のバッファ膜103に絶縁膜を用いた場合、図1(A)に示す工程は、基板100上に第1の絶縁膜101を形成し、第1の絶縁膜101上に第1の半導体膜102を形成し、第1の半導体膜102上に第2の絶縁膜103を形成し、第2の絶縁膜103上に第2の半導体膜104を形成する工程となる。

【0051】

30

次いで、図1(B)に示すように、レーザ光105を、光吸収膜104の上方から照射する。なお、第1のバッファ膜101、第1の半導体膜102、第2のバッファ膜103および光吸収膜104には、成膜方法によって、水素が含まれる場合がある。その場合は、レーザ光105を照射する前に、400 ~ 550 で1時間程度かそれ以上の時間加熱し、膜から水素出しを行う。水素出しを行うことで、レーザ光105の照射によって水素が噴出することを防ぐことができる。なお、水素出しの加熱処理は、水素を含む膜を形成される度に行ってもよい。第1のバッファ膜101、第1の半導体膜102、第2のバッファ膜103および光吸収膜104を形成した後、水素出しの加熱処理を1回行ってもよい。スパッタ法で膜を形成することで、水素を含ませないように形成することができる。

【0052】

40

レーザ光105を光吸収膜104側から照射することにより、レーザ光105は、光吸収膜104、第2のバッファ膜103を透過し、第1の半導体膜102に照射される。第1の半導体膜102はレーザ光を吸収して加熱される。その結果、レーザ光105が照射された領域は完全溶融し、液相の半導体106となる。また、レーザ光105の一部は光吸収膜104にも吸収される。光吸収膜104もレーザ光105を吸収するので、レーザ光105が照射された領域は完全溶融され、液相の光吸収膜107となる。

【0053】

レーザ光105を基板100に対して走査しながら、レーザ光105を照射する。レーザ光105の照射領域が移動することで、液相の半導体106の温度が下がり固化し、その結果、図1(C)に示すように、レーザ光105が照射された領域に結晶性半導体108

50

が形成される。また、液相の光吸収膜 107 も固化する。ここでは、溶融され固化後の光吸収膜を、レーザ光が照射される前の光吸収膜 104 と区別するため光吸収膜 104' とする。

【0054】

図 2 を用いて、レーザ光 105 を走査しながら照射する工程を説明する。図 2 は図 1 (B) および図 1 (C) の断面図に対応する斜視図である。なお、図 2 において、図面が煩雑になるのを避けるため、第 2 のバッファ膜 103 および光吸収膜 104 のハッチングは省略している。また、ここでは、レーザ光 105 に CW レーザから射出されたレーザ光を用いる場合を例に説明する。

【0055】

光学系により、被照射面において、CW レーザから射出されたレーザ光 105 のビームスポットを線状または矩形状にする。ビームスポットの形状が線形とは、理想的な線だけではなく、長円状等も含む。レーザ光 105 を照射することで、第 1 の半導体膜 102 が完全溶融される。CW レーザを用いることで、レーザ光 105 が第 1 の半導体膜 102 に常に照射されているため、レーザ光 105 が基板 100 に対して相対的に移動すると、その移動方向に、固相の第 1 の半導体膜 102 と液相の半導体 106 との界面が移動し、結晶性半導体 108 をラテラル成長させることができる。

【0056】

なお、パルスの繰り返し周波数が 10 MHz 以上の疑似 CW レーザを用いても、CW レーザと同様に、レーザ光 105 を走査しながら照射することで、第 1 の半導体膜 102 中の固相液相界面を移動させることができるので、その結果として、結晶性半導体 108 をラテラル成長させることができる。

【0057】

なお、パルスの繰り返し周波数が 10 MHz よりも低いパルス発振レーザも用いることができる。この場合、レーザ光 105 の照射領域が重なるように、レーザ光 105 を走査し、レーザ光 105 により完全溶融された部分が連結されるように、レーザ光 105 を第 1 の半導体膜 102 に照射することで、結晶性半導体 108 をラテラル成長させることができる。

【0058】

なお、レーザ光 105 を照射するための光学系に位相シフトマスク等を用いて、レーザ光 105 のビームプロファイルを調節することもできる。

【0059】

図 2 は、レーザ光 105 の照射によって、レーザ光 105 の走査方向にラテラル成長した結晶性半導体 108 が、第 1 の半導体膜 102 に形成された様子を示している。図 2 において、結晶性半導体 108 の点線が粒界を示している。

【0060】

本発明は、レーザ光 105 を照射することで、まず、第 1 の半導体膜 102 と共に光吸収膜 104 を完全溶融する。このことにより、液相の光吸収膜 107 からの熱が、第 2 のバッファ膜 103 を介して液相の半導体 106 に伝えられるため、液相の半導体 106 の溶融時間を延ばすことができる。

【0061】

また、レーザ光 105 が照射され、光吸収膜 107 が固相から液相に状態変化したことで、光吸収膜 107 のレーザ光 105 に対する反射率が急激に上昇し、液相の半導体 106 にレーザ光 105 が殆ど到達しなくなる。よって、液相の半導体 106 への熱の供給は、液相の光吸収膜 107 からの熱伝導が殆どとなる。このことにより、第 1 の半導体膜 104 が固相から液相に状態変化することで、第 1 の半導体膜 104 のレーザ光 105 の吸収率が急激に上昇しても、液相の光吸収膜 107 がレーザ光 105 を反射し、レーザ光 105 からエネルギーが液相の半導体 106 に過剰に供給されることを回避することができる。

【0062】

従って、本実施の形態のレーザ結晶化技術を用いることでレーザの使用可能な出力範囲を広げることができる。その結果として、第1の半導体膜102の厚さが50nm以下になっても、歩留まり良く、レーザ光の照射で半導体膜を結晶化することが可能になる。

【0063】

第1の半導体膜102を完全溶融するため、レーザ光105の波長は第1の半導体膜102に吸収される波長を選択する。例えば、レーザ光105の波長は100nm以上800nm以下とすることができる。より好ましい波長の範囲は350nm以上750nm以下である。なお、レーザ光105には、レーザの基本波だけでなく、高調波（代表的には、第2高調波、第3高調波）も用いることができる。

【0064】

レーザ光105の照射で、第1の半導体膜102と共に光吸収膜104を完全溶融させるため、光吸収膜104は第1の半導体膜102と同じ材料を用いることが好ましく、さらに好ましくは結晶構造も同じ材料が好ましい。例えば、第1の半導体膜102および光吸収膜104を共に非晶質シリコンまたは微結晶シリコンで形成する。

【0065】

また、レーザ光105の走査速度（基板100に対する相対的な移動速度）および、出力は、第1の半導体膜102が完全溶融されるように調節する。例えば、2台以上のレーザを使用し、各レーザから射出されたレーザ光のビームスポットを重ねることで、レーザ光のエネルギーを必要な値まで高くすることができる。複数のレーザを使用する場合、射出するレーザ光の波長が異なってもよい。また、連続発振、疑似連続発振、パルス発振等異なる発振動作のレーザを組み合わせてもよい。

【0066】

なお、レーザ光の代わりにランプを光源とするランプ光を照射することも可能である。この場合、第1の半導体膜に吸収される波長がランプから発する光に含まれていればよく、ランプから発する光が100nm以上800nm以下の波長を含んでいることが好ましく、350nm以上750nm以下の範囲に強度のピークがあることがより好ましい。

【0067】

また、第1の半導体膜102に、シリコンを主成分とする半導体膜を用いた場合、シリコンの結晶化を助長する元素を第1の半導体膜102に導入することもできる。このような作用を有する元素は、ニッケル（Ni）、パラジウム（Pd）、コバルト（Co）、白金（Pt）、鉄（Fe）、スズ（Sn）、鉛（Pb）、銅（Cu）、金（Au）等の金属元素である。

【0068】

上記の元素を第1の半導体膜102に添加する工程は、第2のバッファ膜103を形成する前に行う。その具体的な方法には、例えば以下の方法がある。

（1）非晶質シリコン膜の表面に、数nm程度の単体金属、金属化合物または合金の薄膜をスパッタ法や蒸着法で形成する方法。

（2）単体金属、金属化合物または合金と、溶媒との混合物をスピンコート法、印刷法等で非晶質シリコン膜の上面に塗布する方法。この方法では、溶媒中に金属化合物等が溶解していても、溶解せずに分散していてもよい。

【0069】

なお、（2）の方法を用いる場合、極性溶媒として水、アルコール、酸、アンモニア等の極性溶媒を用いることができる。例えば、金属元素としてニッケルを添加する場合、臭化ニッケル、酢酸ニッケルの水溶液を用いることができる。また、ベンゼン、トルエン、キシレン、四塩化炭素、クロロホルム、エーテル等の無極性媒質を用いることができる。なお、極性溶媒を用いる場合、第1の半導体膜102の濡れ性を高めるため、第1の半導体膜102の表面をオゾン、UV光等で酸化することが好ましい。

【0070】

以上の金属元素を添加することで、結晶化された第1の半導体膜102を用いて、高いソース・ドレイン耐圧を有するトランジスタを作製することができる。

10

20

30

40

50

【 0 0 7 1 】

(実施の形態 2)

本発明の結晶化方法を用いて形成された結晶性半導体膜を用いて、様々な半導体装置を作製することができる。本発明の結晶化方法では、厚さ 50 nm 以下の非単結晶半導体膜を歩留まり良く作製することが可能になる。よって、ゲート幅が 1 μm 以下に微細化しても、短チャネル効果が抑制されたトランジスタを形成することができる。本実施の形態では、図 3 ~ 図 5 を用いて、実施の形態 1 で説明したレーザ結晶化によって形成された結晶性半導体を用いた半導体装置の作製方法を説明する。

【 0 0 7 2 】

図 3 ~ 図 5 は、結晶性半導体を含む素子を有する半導体装置の作製方法を示す断面図である。まず、図 3 および図 4 を用いて、レーザ光の照射で結晶化された半導体膜、および第 2 のバッファ膜として形成された絶縁膜を有する素子を含む半導体装置の作製方法を示す。ここでは、素子として、薄膜トランジスタ (T F T) および容量素子を同一の基板上に作製する方法を示す。次に、図 5 を用いて、ゲート絶縁膜の構造が異なる複数の薄膜トランジスタを同一基板上に作製する方法を説明する。

10

【 0 0 7 3 】

実施の形態 1 のレーザ結晶化方法によって、結晶性半導体膜を形成する。まず、図 3 (A) に示すように、基板 120 上に、第 1 のバッファ膜 121、第 1 の半導体膜 122、第 2 のバッファ膜 123、光吸収膜 124 を積層して形成する。本実施の形態では、第 2 のバッファ膜 123 を単層構造又は積層構造の絶縁膜で形成し、第 2 のバッファ膜 123 に

20

【 0 0 7 4 】

次いで、光吸収膜 124 の上方からレーザ光を照射し、第 1 の半導体膜 122 および光吸収膜 124 を完全溶解させる。レーザ光を基板に対して走査しながら照射することにより、図 3 (B) に示すように、第 1 の半導体膜 122 中に結晶性半導体 128 を形成する。なお、レーザ光を照射する部分は、第 1 の半導体膜 122 の全体に照射する必要はなく、結晶性半導体により素子を形成する部分に、少なくともレーザ光が照射されればよい。

【 0 0 7 5 】

レーザ光を照射した後、素子に使用しない光吸収膜 124 をエッチングにより除去する。そして、容量素子の電極を形成するため、結晶性半導体 128 に n 型または p 型の導電性を付与する不純物元素を添加する。n 型の導電性を付与する不純物としては、リン (P)、ヒ素 (A s) 等がある。p 型の導電性を付与する不純物としては、ボロン (B) 等がある。なお、図 3 および図 4 に示す半導体装置の作製方法においては、素子の不純物領域の導電性を n 型として説明する。

30

【 0 0 7 6 】

n 型の不純物領域を形成するため、図 3 (C) に示すように、レジストでなるマスク 131 を第 2 のバッファ膜 123 上に形成する。イオン注入法またはプラズマドーピング法等の方法により、n 型の導電性を付与する不純物を結晶性半導体 128 に添加し、n 型の第 1 の不純物領域 132 を形成する。結晶性半導体 128 の第 1 の不純物領域 132 が形成された部分は、容量素子を構成する。

40

【 0 0 7 7 】

図 3 (D) に示すように、マスク 131 を除去した後、単層構造または積層構造の導電膜 133 を形成する。導電膜 133 を構成する膜の材料には、金属、合金、金属化合物、または P または A s を含んだ多結晶シリコンまたは微結晶シリコン等が挙げられる。金属としては、タングステン (W)、モリブデン (M o)、チタン (T i)、タンタル (T a)、アルミニウム (A l)、クロム (C r)、ニオブ (N b)、銅 (C u)、ニッケル (N i)、コバルト (C o) 等を用いることができる。合金および金属化合物としては、これら金属元素を主成分とする材料を用いることができる。合金としては、アルミニウム - チタン合金、アルミニウム - ネオジム合金等を用いることができる。金属化合物としては、タンタル窒化物、タングステン窒化物、モリブデン窒化物、チタン窒化物等の金属窒化物

50

、タングステン（W）、モリブデン（Mo）、チタン（Ti）、タンタル（Ta）、ニッケル（Ni）、コバルト（Co）等のシリサイド等を用いることができる。導電膜 133 は、CVD法、スパッタ法、蒸着法などで形成することができる。

【0078】

そして、フォトリソグラフィ工程およびエッチング工程を経て、導電膜 133 を所望の形状に加工し、図 4（A）に示すように、第 1 の導電膜 134、135 を形成する。第 1 の導電膜 134 は薄膜トランジスタのゲート電極を構成する。第 1 の導電膜 135 は容量素子の電極を構成する。そのため、第 1 の導電膜 135 は第 2 のバッファ膜 123 を介して第 1 の不純物領域 132 と重なるように形成される。

【0079】

次に、フォトリソグラフィ工程により、所望の形状のレジストとなるマスクを形成する。このマスクを用いて、第 2 のバッファ膜 123、および結晶性半導体 128 が形成された第 1 の半導体膜 122 をエッチングする。そして、図 4（B）に示すように、第 2 のバッファ膜 123 となる第 1 の絶縁膜 138、139、および結晶性半導体 128 となる結晶性半導体膜 140、141 を形成する。

【0080】

第 1 の絶縁膜 138 は、薄膜トランジスタのゲート絶縁膜を構成し、結晶性半導体膜 140 は薄膜トランジスタのソース領域、ドレイン領域、チャネル形成領域を少なくとも含む半導体層を構成する。第 1 の絶縁膜 139 は容量素子の誘電体層を構成する。また、結晶性半導体膜 141 は容量素子の電極を構成し、第 1 の不純物領域 132 を含むように形成

【0081】

図 4（C）に示すように、結晶性半導体膜 140、141 に n 型の不純物領域を形成する。イオン注入法またはイオンドーピング法などにより、第 1 の導電膜 134、135 をマスクにして、n 型の導電性を付与する不純物元素を結晶性半導体膜 140、141 に添加し、結晶性半導体膜 140 に n 型の第 2 の不純物領域 142、143 を形成し、結晶性半導体膜 141 に n 型の第 2 の不純物領域 144、145 を形成する。第 2 の不純物領域 142～145 を形成した後、結晶性半導体膜 140、141 に添加された導電性を付与する不純物元素を活性化するための加熱処理を行う。この加熱処理は、レーザ光またはランプ光の照射、加熱炉による処理等で行うことができる。

【0082】

結晶性半導体膜 140 に形成された第 2 の不純物領域 142、143 は、ソース領域またはドレイン領域として機能する。また、結晶性半導体膜 140 には、第 2 の不純物領域 142、143 を形成することで、第 1 の導電膜 134 と重なる部分にチャネル形成領域 146 が形成される。結晶性半導体膜 141 には、第 2 の不純物領域 144、145 を形成することで、第 1 の導電膜 135 と重なる部分に第 1 の不純物領域 132 が残る。

【0083】

次に、結晶性半導体膜 140、141 のダングリングボンドを終端するため、水素化処理を行うことが好ましい。水素化は、例えば、水素プラズマまたは水素ガスを含む雰囲気での加熱処理で行うことができる。また、第 1 の導電膜 134、135 および第 1 の絶縁膜 138、139 を介して、水素を含む窒化シリコン膜または酸化窒化シリコン膜で結晶性半導体膜 140、141 を覆う。その後、窒素雰囲気中の 400～450 の熱処理により行うことができる。この熱処理によって、窒化シリコン膜または酸化窒化シリコン膜から水素が放出されるからである。水素を含む窒化シリコン膜または酸化窒化シリコン膜は、プラズマ CVD 法で原料ガスに水素ガスを含ませることで形成することができる。

【0084】

次に、図 4（D）に示すように、第 1 の導電膜 134、135、第 1 の絶縁膜 138、139 および結晶性半導体膜 140、141 上に、単層構造または積層構造の第 2 の絶縁膜 147 を形成する。第 2 の絶縁膜 147 の所定の箇所にコンタクトホールを形成した後、導電膜を形成する。この導電膜をフォトリソグラフィ工程およびエッチング工程により、

10

20

30

40

50

所望の形状に加工し、第2の導電膜148～150を形成する。第2の導電膜148、149は、ソース電極またはドレイン電極を構成する。図4(D)では第2の導電膜150は2つの電極のように図示されているが、第2の導電膜150は1つの電極を構成し、第2の不純物領域144および第2の不純物領域145を電氣的に接続している。

【0085】

第2の絶縁膜147を構成する絶縁層は、無機材料、有機材料で形成することができる。第2の絶縁膜147は、例えば、酸化シリコン、窒化シリコン、酸化窒化シリコンなどのシリコンを主成分とする絶縁物、ポリイミド樹脂、アクリル樹脂、シロキサンポリマーを塗布し焼成して形成されたシロキサン結合を有する絶縁物などの絶縁材料で形成された単層膜または2層以上の多層膜で形成することができる。また、第2の導電膜148、149、150を構成する導電膜には、導電膜133と同じ材料を選択することができる。

10

【0086】

以上の工程で、同一の基板120上に薄膜トランジスタ152および容量素子153が形成される。なお、容量素子153は、ダイオード接続したトランジスタであり、MIS型構造のコンデンサである。

【0087】

図4(D)に示す薄膜トランジスタ152は、第2のバッファ膜123をゲート絶縁膜として含んでいる。図3の作製方法によって、レーザ光の照射により、ゲート絶縁膜とチャネル形成領域146との界面が、第1の半導体膜122が完全溶解するまで温度上昇しているため、その界面準位を下げる可以降低。その結果、S値(サブスレッショルド値)が小さい、電界効果移動度が高い等の薄膜トランジスタ152の電氣的特性を良好にすることができる。

20

【0088】

以下、図3(A)、図3(B)、及び図5を用いて、半導体装置の別の作製方法を説明する。ここでは、異なる厚さのゲート絶縁膜を有する複数の薄膜トランジスタを含む半導体装置の作製方法を説明する。

【0089】

まず、実施の形態1のレーザ結晶化方法によって、結晶性半導体膜を形成する。まず、図3(A)に示すように、基板120上に、第1のバッファ膜121、第1の半導体膜122、第2のバッファ膜123、光吸収膜124を積層して形成する。図5に示す方法では、第2のバッファ膜123を単層構造又は積層構造の絶縁膜で形成し、第2のバッファ膜123によって、薄膜トランジスタのゲート絶縁膜を形成する。

30

【0090】

次いで、光吸収膜124の上方からレーザ光を照射し、第1の半導体膜122および光吸収膜124を完全溶解させる。レーザ光を基板に対して走査しながら照射することにより、図3(B)に示すように、第1の半導体膜122中に結晶性半導体128を形成する。

【0091】

レーザ光を照射した後、図5(A)に示すように、エッチングにより、光吸収膜124を除去する。次に、フォトリソグラフィ工程により、所望の形状のレジストでなるマスクを形成する。このマスクを用いて、第2のバッファ膜123、および結晶性半導体128が形成された第1の半導体膜122をエッチングする。そして、図5(B)に示すように、第2のバッファ膜123でなる第1の絶縁膜160、および結晶性半導体128でなる結晶性半導体膜161、162を形成する。ここでは、結晶性半導体膜162の上方のみに第2のバッファ膜123を残している。

40

【0092】

図5の作製方法では、基板120上に2つの薄膜トランジスタを作製する方法を示す。第1の絶縁膜160は、一方の薄膜トランジスタのゲート絶縁膜を構成する。結晶性半導体膜161、162はそれぞれ、薄膜トランジスタのソース領域、ドレイン領域、チャネル形成領域を少なくとも含む半導体層を構成する。

【0093】

50

次に、図 5 (C) に示すように、結晶性半導体膜 1 6 1、1 6 2 を覆う、第 2 の絶縁膜 1 6 3 を形成する。第 2 の絶縁膜 1 6 3 は薄膜トランジスタのゲート絶縁膜を構成する。第 2 の絶縁膜 1 6 3 は、単層構造または積層構造の絶縁膜で形成することができる。第 2 の絶縁膜 1 6 3 を構成する膜は、酸化シリコン (SiO_x 、 $0 < x \leq 2$)、窒化シリコン (SiN_x 、 $0 < x \leq 4/3$)、酸化窒化シリコン (SiO_xN_y 、 $0 < x < 2$ 、 $0 < y < 4/3$) 等のシリコンを主成分とする絶縁材料、および酸化タンタル、酸化ハフニウム、酸化ジルコニウム、酸化チタン等の金属酸化物等で形成することができる。これらの膜は、CVD 法、スパッタ法、ALD 法等で形成することができる。

【0094】

第 2 の絶縁膜 1 6 3 上に導電膜を形成する。次に、フォトリソグラフィ工程およびエッチング工程により、この導電膜を所望の形状に加工し、図 5 (D) に示すように、第 1 の導電膜 1 6 4、1 6 5 を形成する。第 1 の導電膜 1 6 4、1 6 5 は薄膜トランジスタのゲート電極を構成する。第 1 の導電膜 1 6 4、1 6 5 は、図 3 (D) の導電膜 1 3 3 と同じ導電膜で形成することができる。

10

【0095】

次に、n 型の不純物領域を形成する。第 1 の導電膜 1 6 4、1 6 5 をマスクにして、イオン注入法またはイオンドーピング法などにより、n 型の導電性を付与する不純物元素を結晶性半導体膜 1 6 1、1 6 2 に添加する。この添加工程により、図 5 (E) に示すように、結晶性半導体膜 1 6 1 に n 型の不純物領域 1 6 6、1 6 7 が形成され、結晶性半導体膜 1 6 2 に n 型の不純物領域 1 6 8、1 6 9 が形成される。不純物領域 1 6 6 ~ 1 6 9 はソース領域またはドレイン領域として機能する。また、不純物領域 1 6 6 ~ 1 6 9 を形成することで、結晶性半導体膜 1 6 1、1 6 2 には、それぞれ、第 1 の導電膜 1 6 4、1 6 5 と重なる部分にチャネル形成領域 1 7 0、1 7 1 が形成される。

20

【0096】

不純物領域 1 6 6 ~ 1 6 9 を形成した後、結晶性半導体膜 1 6 1、1 6 2 に添加された導電性を付与する不純物元素を活性化する。次に、結晶性半導体膜 1 6 1、1 6 2 のダングリングボンドを終端するため、水素化処理を行う。活性化の処理および水素化処理の方法は、上述した方法を用いることができる。

【0097】

次に、第 1 の導電膜 1 6 4、1 6 5、第 2 の絶縁膜 1 6 3、第 1 の絶縁膜 1 6 0 および結晶性半導体膜 1 6 1、1 6 2 上に、単層構造または積層構造の第 3 の絶縁膜 1 7 3 を形成する。第 3 の絶縁膜 1 7 3 は、図 4 (D) の第 2 の絶縁膜 1 4 7 と同様に形成することができる。

30

【0098】

第 3 の絶縁膜 1 7 3 の所定の箇所にコンタクトホールを形成した後、導電膜を形成する。この導電膜をフォトリソグラフィ工程およびエッチング工程により、所望の形状に加工し、第 2 の導電膜 1 7 4 ~ 1 7 7 を形成する。第 2 の導電膜 1 7 4 ~ 1 7 7 は、ソース電極またはドレイン電極を構成する。第 2 の導電膜 1 7 4 ~ 1 7 7 を構成する導電膜には、導電膜 1 3 3 と同じ材料を選択することができる。

【0099】

以上の工程で、同一の基板 1 2 0 上に 2 種類の第 1 の薄膜トランジスタ 1 7 8 および第 2 の薄膜トランジスタ 1 7 9 を作製することができる。第 1 の薄膜トランジスタ 1 7 8 が図 4 (D) の薄膜トランジスタ 1 5 2 と区別される点は、ゲート絶縁膜がレーザ光の照射後に形成された第 2 の絶縁膜 1 6 3 となる点である。この点のため、第 1 の薄膜トランジスタ 1 7 8 のゲート絶縁膜は、第 2 のパッファ膜 1 2 3 よりも薄くする、あるいは厚くすることができる。また、そのゲート絶縁膜を構成する膜を第 2 のパッファ膜 1 2 3 と異ならせることもできる。

40

【0100】

また、第 2 の薄膜トランジスタ 1 7 9 が薄膜トランジスタ 1 5 2 と区別される点は、ゲート絶縁膜が、第 2 のパッファ膜 1 2 3 とレーザ光の照射後に形成された第 2 の絶縁膜 1 6

50

3とでなる点である。このため、第2の薄膜トランジスタ179のゲート絶縁膜は、第2のバッファ膜123よりも厚くすることができる。

【0101】

例えば、第2の絶縁膜163を40nm以下と薄く形成する場合、第1の薄膜トランジスタ178はフリップフロップ回路、論理回路など高速で動作させる回路に用い、第2の薄膜トランジスタ179は、整流回路などを構成する高耐圧型トランジスタに用いることができる。この場合、図5(E)に示すように、ゲート電極の幅(チャネル長)は、第1の薄膜トランジスタ178よりも、第2の薄膜トランジスタ179の方を長くすることが好ましい。

【0102】

本実施の形態では、半導体素子にn型の不純物領域のみを形成する例を示したが、p型の不純物領域を形成することもできる。また、同じ基板上に、p型の不純物領域を有する素子、およびn型の不純物領域を有する素子を形成することもできる。

【0103】

本実施の形態では、半導体装置に含まれる素子として、薄膜トランジスタ、容量素子を形成する方法を説明したが、素子はトランジスタ、容量素子に限定されるものではない。結晶性半導体膜を用いて、pn接合型ダイオード、ショットキーバリアダイオードなどの整流素子、抵抗素子、光電変換素子、CCDなどの電荷結合素子、フローティングゲート電極およびコントロールゲート電極などを含む半導体記憶素子等、様々な半導体素子を形成することが可能である。そして、これらの素子を組み合わせ、各種の機能を有する回路を構成することで、様々な半導体装置を作製することができる。

【実施例1】

【0104】

本実施例では、第1の半導体膜および光吸収膜に非晶質シリコンを用いて結晶性シリコンを形成する方法を説明する。図8は本実施例を説明するための断面図である。

【0105】

ガラス基板10を用意する。次いで、ガラス基板10上に、第1のバッファ膜、第1の半導体膜、第2のバッファ膜、光吸収膜(第2の半導体膜)を順次形成した。これらの膜は、全て平行平板型のプラズマCVD装置で形成した。

【0106】

まず、図8(A)に示すように、ガラス基板10上に第1のバッファ膜として、二層構造の絶縁膜を形成する。下層に、厚さ50nmの酸化窒化シリコン膜11、上層に厚さ100nmの酸化窒化シリコン膜12を形成した。酸化窒化シリコン膜11と酸化窒化シリコン膜12は、原料ガスが異なり、その結果として、酸素および窒素の濃度が異なる。

【0107】

下層の酸化窒化シリコン膜11の原料ガスには、 SiH_4 、 NH_3 、 N_2O を用いた。上層の酸化窒化シリコン膜12の原料ガスには、 SiH_4 、 N_2O を用いた。窒素濃度は酸化窒化シリコン膜11の方が高く、酸素の濃度は酸化窒化シリコン膜12の方が高い。

【0108】

酸化窒化シリコン膜12上に、第1の半導体膜として厚さ30nmの非晶質シリコン膜13を形成した。原料ガスには、 SiH_4 、 H_2 を用いた。

【0109】

次に、非晶質シリコン膜13上に、第2のバッファ膜として、厚さ110nmの酸化窒化シリコン膜14を形成した。酸化窒化シリコン膜14の原料ガスには、 SiH_4 、 N_2O を用いた。

【0110】

次いで、酸化窒化シリコン膜14上に、光吸収膜(第2の半導体膜)として、非晶質シリコン膜15を厚さ37nm形成した。原料ガスには、 SiH_4 、 H_2 を用いた。

【0111】

非晶質シリコン膜15を形成した後、ガラス基板10上に形成された積層膜を電気炉内で

10

20

30

40

50

500、1時間加熱した後、550で4時間加熱した。この加熱処理は、非晶質シリコン膜13および非晶質シリコン膜15から水素を出すための処理である。この加熱処理を行うのはレーザ光を照射した際に、非晶質シリコン膜13および非晶質シリコン膜15から水素ガスが噴出することを防ぐためである。

【0112】

この加熱処理後、フッ酸(HF)により、非晶質シリコン膜15表面に形成されている酸化膜を除去する。酸化膜を除去した後、非晶質シリコン膜15および酸化窒化シリコン膜14を介して、図8(A)に示すように、レーザ光16を照射して、非晶質シリコン膜13を結晶化した。

【0113】

レーザ光16の照射には2台のLD励起のYVO₄レーザを用い、その第2高調波(波長532nm)を照射した。一方のレーザから射出されたレーザ光を波長板によって偏向した。この偏向されたレーザ光と、もう一方のレーザから射出されたレーザ光を偏光子により合成し、合成されたレーザ光を光学系を通過させて、ビームスポットが被照射面で線状になるようにした。レーザ光を合成するのは、レーザ光の強度を高くするためである。被照射面でのレーザ光の強度は、9.3Wであり、ビームスポットの形状は、照射面において、長さ500μm、幅20μm程度の線状とした。また、本実施例では、レーザ光16を走査するため、ガラス基板10を移動し、その移動速度を350mm/秒とした。

【0114】

非晶質シリコン膜13のレーザ光16が照射された領域には、ガラス基板10の移動方向に平行に結晶成長が成長し、大粒径の結晶性シリコン23が形成された。また、非晶質シリコン膜15も結晶化され、結晶性シリコン25が形成された(図8(B)参照)。

【0115】

非晶質シリコン膜13に結晶性シリコン23が形成されたことを走査型電子顕微鏡で確認した。その確認のため、非晶質シリコン膜15および酸化窒化シリコン膜14をエッチングにより除去した後、非晶質シリコン膜13の上面を走査型電子顕微鏡で観察した。図9は、レーザ光16の照射により形成された結晶性シリコン23の走査型電子顕微鏡写真である。

【0116】

図9の写真の縦方向がレーザ光16の走査方向(ガラス基板10の移動方向)である。図9に示すように、レーザ光16の移動方向に沿った粒界を有する結晶性シリコン23が形成されていることが確認できる。また、図9から、この帯状の部分には、ストリップ等膜の形状を維持していない部分や、結晶化されていない部分がないことも確認できる。

【0117】

従って、本実施例により、非晶質シリコン膜13と共に非晶質シリコン膜15を完全溶解させることで、厚さ40nm以下の非晶質シリコン膜13を、レーザ光で結晶化できることが確認された。

【実施例2】

【0118】

本実施例では、半導体装置の一例である液晶表示装置の作製方法について、図10~図12を用いて説明する。なお、図10~図12には、端子部263、駆動回路部264および画素部265の断面構造を示す。

【0119】

図10(A)に示すように、ガラス基板180上に、2層構造の絶縁膜181を形成する。1層目は、プラズマCVD法で厚さ40nm~60nmの酸化窒化シリコン膜(SiO_xN_y、0<x<y)を形成し、2層目にはプラズマCVD法で厚さ80nm~120nmの酸化窒化シリコン膜(SiO_xN_y、0<y<x)を形成する。絶縁膜181上に、プラズマCVD法により、原料ガスにSiH₄およびH₂を用いて、厚さ5nm~50nmの非晶質シリコン膜182を形成する。非晶質シリコン膜182上に、絶縁膜183を形成する。ここでは、絶縁膜183として、プラズマCVD法により厚さ10~200nm

10

20

30

40

50

mの酸化窒化シリコン膜 (SiO_xN_y 、 $0 < y < x$) を形成する。絶縁膜 183 上に、プラズマ CVD 法により、原料ガスに SiH_4 および H_2 を用いて、厚さ 5 nm ~ 200 nm の非晶質シリコン膜 184 を形成する。

【0120】

次に、非晶質シリコン膜 182 および非晶質シリコン膜 184 から水素を出すために、電気炉内で 500 、1時間加熱した後、550 で4時間加熱する。

【0121】

次に、レーザ光 185 を走査しながら、図 10 (B) に示すように、非晶質シリコン膜 182 および非晶質シリコン膜 184 にレーザ光 185 を照射する。レーザ光 185 のビームスポットは光学系により線状に成形されている。レーザ光 185 を照射することにより、非晶質シリコン膜 182 および非晶質シリコン膜 184 が完全熔融され、それぞれ、レーザ光 185 が照射されている部分は液相のシリコン 186、187 となる。

10

【0122】

レーザ光 185 を走査することで、完全熔融したシリコンがラテラル成長して、非晶質シリコン膜 182 に、大粒径結晶でなる結晶性シリコン 188 が形成される。また、上層の非晶質シリコン膜 184 にも、結晶性シリコン 189 が形成される。

【0123】

次いで、結晶性シリコン 189 が形成された非晶質シリコン膜 184 および絶縁膜 183 をエッチングにより除去する。次に、露光および現像を行ってレジストでなるマスクを形成する。そのマスクを用いて $\text{SF}_6 : \text{O}_2$ の流量比を 4 : 15 としたドライエッチング法により、結晶性シリコン 188 が形成された非晶質シリコン膜 182 を所望の形状に加工し、図 10 (C) に示すように島状の半導体層 201 ~ 203 を形成する。半導体層 201 ~ 203 は結晶性シリコン 188 でなる膜である。

20

【0124】

次いで、図 10 (D) に示すように、半導体層 201 ~ 203 上に単層構造または積層構造の絶縁膜を形成する。この絶縁膜は薄膜トランジスタのゲート絶縁膜を構成する。ここでは、絶縁膜として厚さ 115 nm の酸化窒化シリコン膜 204 をプラズマ CVD 法により形成する。

【0125】

次に、図 10 (D) に示すように酸化窒化シリコン膜 204 を介して、半導体層 201 ~ 203 上にゲート電極 205 ~ 208 を形成する。ここでは、ゲート電極 205 ~ 208 を以下のように形成する。酸化窒化シリコン膜 204 上に、スパッタ法により、膜厚 30 nm の窒化タンタル膜および膜厚 370 nm のタングステン膜の積層膜を形成する。フォトリソグラフィ工程により形成したレジストでなるマスクを用いて、この積層膜をエッチングして、下層の窒化タンタル膜 200 a の端部が、上層のタングステン膜 200 b の端部より外側に突き出した構造のゲート電極 205 ~ 208 を形成する。

30

【0126】

次いで、図 11 (A) に示すように、ゲート電極 205 ~ 208 をマスクとして、半導体層 201 ~ 203 に n 型を付与する不純物元素または p 型を付与する不純物元素を添加して、高濃度不純物領域 209 ~ 215、低濃度不純物領域 216 ~ 223 を形成する。なお、窒化タンタル膜 200 a およびタングステン膜 200 b の積層構造のゲート電極 205 ~ 208 をマスクに用いることにより、低濃度不純物領域 216 ~ 223 は、酸化窒化シリコン膜 204 を介してまた、ゲート電極 205 ~ 208 の下層を構成する窒化タンタル膜 200 a に重なるように形成される。

40

【0127】

ここでは、半導体層 201 によって p チャネル型の薄膜トランジスタ 225 を形成するため、半導体層 201 に p 型を付与する不純物元素であるボロン (B) をドーピングし、p 型の高濃度不純物領域 209、210、および p 型の低濃度不純物領域 216、217 を形成する。また、半導体層 202、203 により n チャネル型の薄膜トランジスタ 226、227 を形成するため、半導体層 202、203 に n 型を付与する不純物元素であるリ

50

ン(P)をドーピングし、n型の高濃度不純物領域211~215、およびn型の低濃度不純物領域218~223を形成する。また、半導体層201~203に不純物元素をドーピングすることにより、自己整合的にチャネル形成領域201c~203cが形成される。

【0128】

この後、半導体層201~203に添加した不純物元素を活性化するために窒素雰囲気550、4時間の加熱を行う。

【0129】

次に、図11(B)に示すように、薄膜トランジスタ225~227上に酸化シリコン膜231、窒化シリコン膜232、および酸化シリコン膜233を積層する。

10

【0130】

次に、フォトリソグラフィ工程において、レジストでなるマスクを形成し、このマスクを用いて、酸化窒化シリコン膜204、酸化シリコン膜231、窒化シリコン膜232、および酸化シリコン膜233をエッチングし、所望の部分にコンタクトホールを形成する。

【0131】

次に、スパッタ法により、Ti膜100nm、Al膜700nm、Ti膜100nmを連続的に成膜して、酸化シリコン膜233上に積層膜を形成する。フォトリソグラフィ工程によって形成したレジストマスクを用いて、この積層膜をエッチングし、図11(C)に示すように、配線234~239、および接続端子240を形成する。これにより、薄膜トランジスタ225~227が同一のガラス基板180上に形成される。なお、配線234~239は、それぞれ、薄膜トランジスタ225~227の高濃度不純物領域に接続される。接続端子240は端子部263に形成される。

20

【0132】

nチャネル型の薄膜トランジスタ225およびpチャネル型の薄膜トランジスタ226は駆動回路部264に含まれるトランジスタである。駆動回路部264には、ソースドライバやゲートドライバ等の画素を駆動する回路が形成される。ここでは、駆動回路部264にnチャネル型およびpチャネル型両方のトランジスタを形成したが、nチャネル型トランジスタのみ、又はpチャネル型トランジスタのみで形成することもできる。

30

【0133】

nチャネル型の薄膜トランジスタ227は、画素部265のトランジスタであり、画素の電極に電圧を印加するスイッチング素子として機能する。nチャネル型の薄膜トランジスタ227は、1つの半導体層203にチャネル形成領域203cが複数形成されているマルチチャネル型のトランジスタである。

【0134】

次いで、図11(B)に示すように、配線234~239および接続端子240上に、プラズマCVD法により、膜厚100nm~150nmの酸化窒化シリコン膜241を形成する。その後、フォトリソグラフィ工程により形成したレジストマスクを用いて、この酸化窒化シリコン膜241をエッチングして、薄膜トランジスタ227の配線239、および接続端子240に達するコンタクトホールを形成する。本実施例のように、酸化窒化シリコン膜241で、駆動回路の薄膜トランジスタなどの半導体素子および配線を覆うことで、駆動回路の汚染を回避することができる。

40

【0135】

次に、図11(C)に示すように、薄膜トランジスタ227の配線239に接続する第1の画素電極242、および接続端子240と接続する導電層244を形成する。液晶表示装置が透過型液晶表示装置の場合は、透光性を有する導電膜で第1の画素電極242を形成し、液晶表示装置が反射型液晶表示装置の場合は、反射性を有する導電膜で第1の画素電極242を形成する。また、半透過型とする場合は、透光性を有する導電膜で第1の画素電極の一部を形成し、反射性を有する導電膜で残りの部分を形成する。

【0136】

50

ここでは、液晶表示装置を透過型とする。スパッタ法により膜厚 125 nm の酸化シリコンを含むITOを成膜する。フォトリソグラフィ工程により形成したレジストマスクを用いて、このITO膜をエッチングして、図11(C)に示すように、第1の画素電極242および導電層244を形成する。

【0137】

次に、図11(C)に示すように、配向膜243を形成する。なお、配向膜243は必要に応じて形成すればよい。配向膜243は、ポリイミドやポリビニルアルコール等の高分子化合物層をロールコート法、印刷法等で形成した後、ラビングすることにより形成することができる。また、ガラス基板180に対して斜めから酸化シリコンを蒸着することでも配向膜243を形成することができる。また、光反応型の高分子化合物に偏光したUV光を照射し光反応型の高分子化合物を重合させることでも、配向膜243の形成が可能である。ここでは、ポリイミドやポリビニルアルコール等の高分子化合物層を印刷し、焼成した後、ラビングすること、配向膜243を形成する。

10

【0138】

次に、対向基板となるガラス基板251を用意する。図12(A)に示すように、ガラス基板251に、透光性の導電膜でなる第2の画素電極253を形成し、第2の画素電極253上に配向膜254を形成する。また、第2の画素電極253は第1の画素電極242と同様に形成することができ、配向膜254は配向膜243と同様に形成することができる。ここでは、ガラス基板251および第2の画素電極253の間に、カラーフィルターとして機能する着色層252を形成する。RGB方式のカラー表示を行う場合は、着色層252として、赤、緑、青の各色に対応した染料や顔料が分散された着色層を画素に対応して形成する。なお、着色層252は必要に応じて設けることができる。

20

【0139】

次に、ガラス基板180とガラス基板251をシール材257で貼り合わせ、そのガラス基板180およびガラス基板251の間に液晶層255を形成する。画素部265には、複数の画素が形成される。各画素には液晶素子258が形成されており、この液晶素子258は、第1の画素電極242、第2の画素電極253、およびこれらの電極間の液晶層255で構成される。

【0140】

その液晶層255は、毛細管現象を利用した真空注入法により、ガラス基板180、ガラス基板251およびシール材257で囲まれた空間に液晶材料を注入することにより形成することができる。あるいは、ガラス基板180またはガラス基板251の一方の表面にシール材257を形成し、シール材257に囲まれる領域に液晶材料を滴下した後、減圧下においてガラス基板180とガラス基板251を圧着させ、シール材257で2枚のガラス基板180、251の隙間を封止することで、液晶層255を形成することもできる。

30

【0141】

シール材257には、熱硬化型のエポキシ樹脂、UV硬化型のアクリル樹脂、熱可塑型のナイロン樹脂およびポリエステル樹脂等を用いることができる。なお、ガラス基板180およびガラス基板251の間隔を保つために、シール材257にフィラーを含ませることが好ましい。

40

【0142】

また、ガラス基板180およびガラス基板251の間隔を保つために、配向膜243、254の間に複数のスペーサ256を設けることができる。スペーサ256は、有機樹脂を塗布し、該有機樹脂を所望の形状、代表的には柱状または円柱状にエッチングして形成することができる。この場合、配向膜243を形成する前に、酸化シリコン膜233上にスペーサ256を形成し、スペーサ256を覆って、配向膜243を形成する。あるいは、スペーサ256としてビーズスペーサを用いてもよい。ここではスペーサ256としてビーズスペーサを用いる。また、図示しないが、ガラス基板180およびガラス基板251の一方または両方に偏光板を設けることができる。

50

【 0 1 4 3 】

図 1 2 (B) に示すように、端子部 2 6 3 の接続端子 2 4 0 に、導電層 2 4 4 および異方性導電膜 2 6 1 を介して F P C (フレキシブルプリント配線) 2 6 2 を接続する。F P C 2 6 2 を経て、接続端子 2 4 0 にはビデオ信号やクロック信号が入力される。

【 0 1 4 4 】

以上の工程により液晶表示装置を作製することができる。本実施例の液晶表示装置は、半導体層の厚さが 5 0 n m 以下の薄膜トランジスタで構成することができる。半導体層の厚さが薄いため薄膜トランジスタのしきい値電圧値の絶対値が下がるため、液晶表示装置の消費電力を低減することができる。その結果、また画素数を増やし、高精細な液晶表示装置とすることができる。また、ゲート幅を 1 μ m 以下の微細な薄膜トランジスタを形成することが可能なため、ガラス基板上に、ソースドライバおよびゲートドライバ以外の機能回路、例えば、メモリ回路、C P U などを形成することができる。

10

【 実施例 3 】

【 0 1 4 5 】

図 1 3 および図 1 4 を用いて、本実施例では、半導体装置の一例である発光素子を有する発光装置の作製工程について説明する。なお、図 1 3 および図 1 4 には、端子部 3 1 1、駆動回路部 3 1 2、および画素部 3 1 3 の断面構造を示す。

【 0 1 4 6 】

まず、図 1 3 (A) に示すように、ガラス基板 1 8 0 上に薄膜トランジスタ 3 0 1 ~ 3 0 3 を形成する。薄膜トランジスタ 3 0 1 ~ 3 0 3 の作製は、実施例 2 において、図 1 0 (A) ~ 図 1 1 (C) に示した薄膜トランジスタ 2 2 5 ~ 2 2 7 の作製と同様に行うことができる。なお、図 1 3 (A) において、図 1 0 ~ 図 1 1 と同じ符号は、同じ要素を示している。

20

【 0 1 4 7 】

n チャンネル型の薄膜トランジスタ 3 0 1 および p チャンネル型の薄膜トランジスタ 3 0 2 は駆動回路部 3 1 2 に含まれるトランジスタである。駆動回路部 3 1 2 には、ソースドライバやゲートドライバ等の画素を駆動する回路が形成される。ここでは、駆動回路部 3 1 2 に n チャンネル型および p チャンネル型両方のトランジスタを形成したが、n チャンネル型トランジスタのみ、又は p チャンネル型トランジスタのみで形成することもできる。

30

【 0 1 4 8 】

p チャンネル型の薄膜トランジスタ 3 0 3 は、画素部 3 1 3 のトランジスタである。ここでは、画素に 1 つの薄膜トランジスタのみを図示しているが、1 つの画素に 2 以上の薄膜トランジスタを配置することができる。

【 0 1 4 9 】

酸化窒化シリコン膜 2 4 1 を形成した後、薄膜トランジスタ 3 0 3 の配線 2 3 9 に接続する第 1 の電極層 3 1 6、および接続端子 3 1 4 と接続する導電層 3 2 0 を形成する。第 1 の電極層 3 1 6 および導電層 3 2 0 は、スパッタ法により膜厚 1 2 5 n m の酸化シリコンを含む I T O を成膜した後、フォトリソグラフィ工程により形成したレジストマスクを用いて選択的にエッチングして形成する。

40

【 0 1 5 0 】

次に、第 1 の電極層 3 1 6 の端部を覆う有機絶縁物膜 3 1 7 を形成する。ここでは有機絶縁物膜 3 1 7 の形成は、感光性ポリイミドを塗布し、露光および現像を行って、しかる後、焼成することにより形成する。この結果、有機絶縁物膜 3 1 7 は端子部 3 1 1 および駆動回路部 3 1 2 上に重ならないように形成される。また、有機絶縁物膜 3 1 7 は画素部 3 1 3 の第 1 の電極層 3 1 6 の上面が露出されるような開口部を有する。

【 0 1 5 1 】

次に、第 1 の電極層 3 1 6 および有機絶縁物膜 3 1 7 の一部上に蒸着法により発光物質を含む層 3 1 8 を形成する。含まれる発光物質は、発光性を有する有機化合物でもよいし、無機化合物でもよい。また、発光物質を含む層 3 1 8 の発光物質を画素ごとに变えて、発光する色を変えることもできる。例えば、同一のガラス基板 1 8 0 上に、赤色で発光する

50

画素、青色で発光する画素、および緑色で発光する画素を形成することで、カラー表示を行うことができる。さらには、赤、青、緑の他に白色で発光する画素を形成することで、発光装置の消費電力を削減することが可能である。

【0152】

例えば、赤色の発光性の発光物質を含む層として、DNTPDを50nm、NPBを10nm、ビス[2,3-ビス(4-フルオロフェニル)キノキサリナト]イリジウム(アセチルアセトナート)(略称:Ir(Fdpq)₂(acac))が添加されたNPBを30nm、Alq₃を60nm、およびLiFを1nm積層して形成することができる。さらに、緑色の発光性の発光物質を含む層として、DNTPDを50nm、NPBを10nm、クマリン545T(C545T)が添加されたAlq₃を40nm、Alq₃を60nm、およびLiFを1nm積層して形成することができる。

10

【0153】

また、青色の発光性の発光物質を含む層として、DNTPDを50nm、NPBを10nm、2,5,8,11-テトラ(tert-ブチル)ペリレン(略称:TBP)が添加された、9-[4-(N-カルバゾリル)]フェニル-10-フェニルアントラセン(略称:CzPA)を30nm、Alq₃を60nmおよびLiFを1nm積層して形成することができる。

【0154】

次に、発光物質を含む層318上に第2の電極層319を形成する。ここでは、第2の電極層319の形成は、膜厚200nmのAl膜を蒸着法で堆積することで形成する。以上により、第1の電極層316、発光物質を含む層318、および第2の電極層319が積層されることで発光素子321として機能する。

20

【0155】

なお、発光物質を含む層318に、有機化合物でなる発光層を形成する場合には、この発光層の他に、正孔注入材料で形成される正孔注入層、正孔輸送性材料で形成される正孔輸送層、電子輸送性材料で形成される電子輸送層、電子注入性材料で形成される電子注入層を適宜形成することができる。

【0156】

また、発光物質を含む層318として、無機化合物を用いた発光層を形成することもできる。この場合は、発光素子321は無機EL素子として機能する。この場合、発光物質を含む層318と第1の電極層316の間、および発光物質を含む層318と第2の電極層319の間の一方または両方にバッファ層を設けてもよく、このバッファ層によって、キャリアの注入を容易にすることができる。

30

【0157】

なお、無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類され、前者は、発光材料の粒子をバインダ中に分散させた発光物質を含む層を有し、後者は、発光材料の薄膜からなる発光物質を含む層を有している点に違いはあるが、高電界で加速された電子を必要とする点では共通である。本発明では、無機EL素子の構成に特段の限定はない。

【0158】

発光素子321を形成した後、図13(B)に示すように、第2の電極層319上に保護膜322を形成する。その保護膜322は、発光素子321に水分や酸素等が侵入することを防ぐためのものである。保護膜322は、プラズマCVD法またはスパッタ法などの薄膜形成法を用い、窒化シリコン、酸化シリコン、酸化窒化シリコン、酸化窒化アルミニウム、酸化アルミニウム、ダイヤモンドライクカーボン(DLC)、窒素含有炭素(CN)、その他の絶縁性材料でなる単層膜または積層膜を用いて形成することができる。

40

【0159】

さらに、シール材323で封止基板324をガラス基板180上に形成される第2の層間絶縁膜315と貼り合わせることで、ガラス基板180、封止基板324、およびシール材323で囲まれた空間325に発光素子321が備えられた構造になっている。空

50

間 3 2 5 には、充填材が充填されており、不活性気体（窒素やアルゴン等）が充填される場合の他、シール材 3 2 3 などの樹脂材料で充填することもできる。

【 0 1 6 0 】

なお、シール材 3 2 3 にはエポキシ系樹脂を用いるのが好ましく、これらの材料はできるだけ水分や酸素を透過しない材料であることが望ましい。また、封止基板 3 2 4 に用いる材料としてガラス基板や石英基板の他、FRP（Fiber glass - Reinforced Plastics）、PVF（ポリビニルフロライド）、PET（ポリエチレンテレフタレート）、PEN（ポリエチレンナフタレート）、PES（ポリエーテルスルホン）、ポリエステル系樹脂またはアクリル系樹脂等からなる樹脂基板を用いることができる。

10

【 0 1 6 1 】

次に、図 1 4 に示すように、実施例 2 と同様に異方性導電層 3 2 6 を用いて FPC 3 2 7 を接続端子 3 1 4 に接する導電層 3 2 0 と貼りつける。以上の工程により、アクティブマトリクス型の発光装置を形成することができる。

【 0 1 6 2 】

本実施例の発光装置は、半導体層の厚さが 50 nm 以下の薄膜トランジスタで構成することができる。半導体層の厚さが薄いため薄膜トランジスタのしきい値電圧値の絶対値が下がるため、発光装置の消費電力を低減することができる。その結果、また画素数を増やし、高精細な表示を行う発光装置とすることができる。また、ゲート幅を 1 μ m 以下の微細な薄膜トランジスタを形成することが可能なため、ガラス基板上に、ソースドライバおよびゲートドライバ以外の機能回路、例えば、メモリ回路、CPUなどを形成することができる。

20

【 実施例 4 】

【 0 1 6 3 】

本実施例では、本発明の半導体装置を有する電子機器の具体例について説明する。本実施例では、実施例 2 に示される液晶表示装置および実施例 3 に示される発光装置を表示部に有する電子機器について説明する。このような電子機器として、例えば、テレビジョン装置（テレビ、又はテレビジョン受信機とも呼ぶ。）、デジタルカメラ、デジタルビデオカメラ等の撮影装置、携帯電話装置（単に携帯電話機、携帯電話ともよぶ）、PDA等の携帯情報端末、携帯型ゲーム機、コンピュータ用のモニター、コンピュータ、カーオーディオ等の音響再生装置、家庭用ゲーム機等の記録媒体を備えた画像再生装置等が挙げられる。また、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤なども挙げられる。

30

【 0 1 6 4 】

以下、図 1 5 を参照して、電子機器の具体例について説明する。図 1 5（A）～図 1 5（F）は電子機器の外観図である。

【 0 1 6 5 】

図 1 5（A）に示す携帯情報端末は、本体 3 5 1、表示部 3 5 2 等を備えている。表示部 3 5 2 に、実施例 2 および実施例 3 に示す半導体装置を適用することにより、高精細な表示が可能な携帯情報端末を安価に提供することができる。

40

【 0 1 6 6 】

図 1 5（B）に示すデジタルビデオカメラは、表示部 3 5 3、表示部 3 5 4 等を備えている。表示部 3 5 3 または 3 5 4 に、実施例 2 および実施例 3 に示す半導体装置を適用することにより、高精細な表示が可能なデジタルビデオカメラを安価に提供することができる。

【 0 1 6 7 】

図 1 5（C）に示す携帯電話は、本体 3 5 5、表示部 3 5 6 等を備えている。表示部 3 5 6 に、実施例 2 および実施例 3 に示す半導体装置を適用することにより、信頼性の高い携帯端末を安価に提供することができる。

【 0 1 6 8 】

50

図 1 5 (D) に示す携帯型のテレビジョン装置は、本体 3 5 7、表示部 3 5 8 等を備えている。表示部 3 5 8 に、実施例 2 および実施例 3 に示す半導体装置を適用することにより、高精細な表示が可能な携帯型のテレビジョン装置を安価に提供することができる。

【 0 1 6 9 】

図 1 5 (E) に示す携帯型のコンピュータは、本体 3 5 9、表示部 3 6 0 等を備えている。その表示部 3 6 0 に、実施例 2 および実施例 3 に示す半導体装置を適用することにより、高画質な表示が可能な携帯型のコンピュータを安価に提供することができる。

【 0 1 7 0 】

図 1 5 (F) に示すテレビジョン装置は、本体 3 6 1、表示部 3 6 2 等を備えている。表示部 3 6 2 に、実施例 2 および実施例 3 に示す半導体装置を適用することにより、高精細な表示が可能なテレビジョン装置を安価に提供することができる。

10

【 実施例 5 】

【 0 1 7 1 】

本実施例では、本発明を、非接触でデータの入出力が可能である半導体装置に適用した例を説明する。非接触でデータの入出力が可能である半導体装置は、利用の形態によって、RFID タグ、ID タグ、IC タグ、IC チップ、RF タグ、無線タグ、電子タグまたは無線チップとも呼ばれる。

【 0 1 7 2 】

まず、図 1 6 を参照して、非接触でデータ通信が可能な半導体装置の構成を説明する。図 1 6 は、非接触でデータ通信が可能な半導体装置の構成例を示すブロック図である。本実施例の半導体装置 4 0 0 は、大別して、アンテナ部 4 0 1、電源部 4 0 2、ロジック部 4 0 3 から構成される。

20

【 0 1 7 3 】

そのアンテナ部 4 0 1 は、外部信号の受信とデータの送信を行うためのアンテナ 4 1 1 を有する。アンテナ部 4 0 1 には半導体装置 4 0 0 の通信方式に最適なアンテナ 4 1 1 が設けられる。半導体装置 4 0 0 の信号の通信方式は、電磁結合方式、電磁誘導方式またはマイクロ波方式等を用いることができる。その通信方式は、実施者が使用用途を考慮して決定する。

【 0 1 7 4 】

電源部 4 0 2 は、整流回路 4 2 1、保持容量 4 2 2、および定電圧回路 4 2 3 からなる。整流回路 4 2 1 は、アンテナ部 4 0 1 で受信された電波から電圧を作る回路である。保持容量 4 2 2 は、整流回路 4 2 1 で生成された電圧を保持するための回路である。定電圧回路 4 2 3 は、整流回路 4 2 1 で生成された電圧を一定の大きさにするための回路である。

30

【 0 1 7 5 】

ロジック部 4 0 3 は、復調回路 4 3 1 と、クロック生成・補正回路 4 3 2 と、コード認識及び判定回路 4 3 3 と、メモリコントローラ 4 3 4 と、変調回路 4 3 5 と、符号化回路 4 3 7 と、データを保持するマスク ROM 4 3 8 とを有する。

【 0 1 7 6 】

復調回路 4 3 1 は、受信した信号を復調する回路である。クロック生成・補正回路 4 3 2 は、クロック信号を生成し、そのクロック信号を補正する回路である。

40

【 0 1 7 7 】

コード認識及び判定回路 4 3 3 は、受信した信号に含まれるコードを認識し、判定する回路である。コード認識及び判定回路 4 3 3 が認識し、判定するコードは、フレーム終了信号 (E O F : e n d o f f r a m e)、フレーム開始信号 (S O F : s t a r t o f f r a m e)、フラグ、コマンドコード、マスク長 (m a s k l e n g t h)、マスク値 (m a s k v a l u e) 等である。また、コード認識及び判定回路 4 3 3 は、送信エラーを識別する巡回冗長検査 (C R C : c y c l i c r e d u n d a n c y c h e c k) 機能を有する。変調回路 4 3 5 は変調用抵抗 4 3 6 を有する。

【 0 1 7 8 】

メモリコントローラ 4 3 4 は、マスク ROM 4 3 8 などのメモリからデータを読み出した

50

めの信号を受信信号をもとに生成する回路である。変調回路435は変調用抵抗436を有し、符号化した信号を送信信号にのせるための回路である。符号化回路437はメモリから読み出したデータ等のデータを符号化する回路である。

【0179】

また、本実施例の半導体装置400は、曲げたり、撓めたりできるフレキシブルな装置であることを特徴とする。半導体装置400に含まれる各種の回路およびアンテナは、回路を製造するときに使用した基板ではなく、他の可撓性基板に固定されている。

【0180】

以下、図17～図23を参照して、アンテナ部401、電源部402、ロジック部403を有する半導体装置400の作製方法を説明する。図17～図23は、本実施例の半導体装置の作製方法を説明するための断面図である。なお、図17～図23において、電源部402、ロジック部403として代表的に薄膜トランジスタを図示している。電源部402及びロジック部403には、薄膜トランジスタの他、ダイオード、抵抗素子、容量素子及び記憶素子などの各種の素子が、回路の機能に応じて形成される。

【0181】

薄膜トランジスタなどを作製する基板にガラス基板500を用いる。図17(A)に示すように、ガラス基板500上に3つの層501a～501cでなる剥離膜501を形成する。第1層501aは、平行平板型プラズマCVD装置により、原料ガスに SiH_4 、 N_2O を用いて、酸化窒化シリコン膜(SiO_xN_y 、 $x > y$)を厚さ100nm形成する。第2層501bとして、厚さ30nmのタングステン膜をスパッタリング装置で成膜する。第3層501cとして、厚さ200nmの酸化シリコン膜をスパッタリング装置で成膜する。

【0182】

第3層501c(酸化シリコン)を成膜することで、第2層501b(タングステン)の表面が酸化され、界面にタングステン酸化物が形成される。タングステン酸化物が形成されることで、後の半導体素子が形成された回路を他の基板に転載する工程で、回路からガラス基板500を分離しやすくなる。第1層501aは、素子形成層を作製している間、第2層501bの密着性を維持するための層である。

【0183】

なお、第2層501bは、タングステン(W)の他、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)、ニオブ(Nb)、ニッケル(Ni)、コバルト(Co)、ジルコニウム(Zr)、亜鉛(Zn)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)などの金属元素や、これらの金属元素の化合物で形成することができる。また、第2層501bの厚さは20nm以上40nm以下とすることができる。

【0184】

図17(A)に示すように、剥離膜501上に、2層構造の絶縁膜502を形成する。第1層502aとして、プラズマCVD装置により原料ガスに SiH_4 、 N_2O 、 NH_3 、 H_2 を用いて酸化窒化シリコン膜(SiO_xN_y 、 $x < y$)を厚さ50nm形成する。第1層502aの窒素の組成比が40%以上となるようにしてバリア性を高めた。第2層502bは、平行平板型プラズマCVD装置により SiH_4 、 N_2O を原料ガスに用いて、酸化窒化シリコン(SiO_xN_y 、 $x > y$)を厚さ100nm成膜する。第2層502bの窒素の組成比は0.5%以下とする。

【0185】

図17(B)に示すように、絶縁膜502上に、非晶質シリコン膜503を形成する。非晶質シリコン膜503は、平行平板型のプラズマCVD装置において、原料ガスに SiH_4 および H_2 を用いて形成する。その厚さは5nm以上50nm以下とする。非晶質シリコン膜503上に単層構造の絶縁膜504を形成する。ここでは、絶縁膜504として、平行平板型プラズマCVD装置において、平行平板型プラズマCVD装置により SiH_4 、 N_2O を原料ガスに用いて、厚さ10nm以上200nm以下の酸化窒化シリコン膜(

SiO_xN_y 、 $0 < y < x$) を形成する。絶縁膜 504 上に、平行平板型プラズマ CVD 法により、原料ガスに SiH_4 および H_2 を用いて、厚さ 30 nm 以上 200 nm 以下の非晶質シリコン膜 505 を形成する。

【0186】

次に、非晶質シリコン膜 503 および非晶質シリコン膜 505 から水素を出すために、電気炉内において 500 で 1 時間加熱した後、550 で 4 時間加熱する。

【0187】

次に、非晶質シリコン膜 503 および非晶質シリコン膜 505 にレーザ光を照射する。レーザ光のビームスポットは光学系により線状に成形されている。レーザ光を照射することにより、非晶質シリコン膜 503 および非晶質シリコン膜 505 が完全熔融される。走査しながらレーザ光を照射することで、非晶質シリコン膜 503 中の完全熔融したシリコンがラテラル成長して、大粒径結晶でなる結晶性シリコン 508 が形成される。また、上層の非晶質シリコン膜 505 にも、結晶性シリコン 509 が形成される (図 17 (C) 参照)。

10

【0188】

エッチングにより、結晶性シリコン 509 が形成された非晶質シリコン膜 505 を除去する。次に、結晶性シリコン 509 を素子ごとに分割し、図 18 (A) に示すように、半導体層 511 ~ 514 を形成し、また、半導体層 514 の上面のみに絶縁膜 504 を残す。この絶縁膜 504 は薄膜トランジスタのゲート絶縁膜を構成する。半導体層 511 ~ 513 には、それぞれ、薄膜トランジスタのチャネル形成領域、ソース領域およびドレイン領域が形成される。半導体層 514 は MIS 型コンデンサの電極を構成する。

20

【0189】

絶縁膜 504 および結晶性シリコン 508 を加工する方法の一例を示す。まず、フォトリソグラフィ工程により所定の形状のレジストを絶縁膜 504 上に形成する。このレジストをマスクにして、絶縁膜 504 および結晶性シリコン 508 をエッチングし、半導体層 511 ~ 514 および絶縁膜 504 の積層膜を形成する。別のレジストでなるマスクを用いて、半導体層 511 ~ 513 上の絶縁膜 504 を除去する。

【0190】

次に、図 18 (B) に示すように、ガラス基板 500 全体に絶縁膜 515 を形成する。絶縁膜 515 は薄膜トランジスタのゲート絶縁膜およびコンデンサの誘電体となる。ここでは、絶縁膜 515 として、プラズマ CVD 装置により、原料ガス SiH_4 、 N_2O を用いて酸化窒化シリコン膜 (SiO_xN_y 、 $x > y$) を厚さ 20 nm 以上 40 nm 以下形成する。

30

【0191】

図 18 (C) に示すように、フォトリソグラフィ工程によりレジスト R1 を形成し、コンデンサの半導体層 514 全体に n 型不純物元素を添加して、n 型不純物領域 516 を形成する。この n 型不純物領域 516 は、コンデンサの一方の電極として機能する。n 型の不純物元素の添加は、ドーピングガスに水素で希釈したホスフィン (PH_3) を用いて、イオンドーピング装置で行う。なお、本実施例では、n 型の不純物元素の添加はこの方法を用いることとする。

40

【0192】

次に、絶縁膜 515 上に導電膜を形成する。導電膜は、薄膜トランジスタのゲート電極などを構成する。ここでは、導電膜を 2 層の多層構造とする。1 層目は厚さ 30 nm のタンタル窒化物、2 層目は厚さ 370 nm のタングステンとする。タンタル窒化物、タングステンはそれぞれスパッタリング装置で成膜する。この導電膜上にフォトリソグラフィ工程によりレジストを形成し、エッチング装置により導電膜をエッチングする。エッチングには、エッチング装置に ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング装置を用いる。エッチングガスとして、はじめにタングステンをエッチングするため Cl_2 、 SF_6 、 O_2 の混合ガスを用い、次に、処理室に導入するエッチングガスを Cl_2 ガスのみに変更し、タンタル窒化物をエッチングする。

50

このようにエッチングすることにより、図 19 (A) に示すように、絶縁膜 515 を介して、半導体層 511 ~ 514 と重なる第 1 導電膜 521 ~ 524 を形成する。

【0193】

第 1 導電膜 521 ~ 523 は薄膜トランジスタのゲート電極またはゲート配線となる。高耐压型の n チャネル型薄膜トランジスタでは、他の薄膜トランジスタよりもゲート幅 (チャネル長) が広くなるように、導電膜 523 を形成している。第 1 導電膜 524 はコンデンサの一方の電極を構成する。

【0194】

次に、図 19 (A) に示すように、フォトリソグラフィ工程によりレジスト R2 を形成する。n チャネル型薄膜トランジスタの半導体層 512 および半導体層 513 に n 型不純物元素を添加する。第 1 導電膜 522 がマスクとなり半導体層 512 に n 型の低濃度不純物領域 525、526 が自己整合的に形成される。また、第 1 導電膜 523 がマスクとなり半導体層 513 に n 型低濃度不純物領域 527、528 が自己整合的に形成される。この n 型不純物元素を添加する工程は、n チャネル型薄膜トランジスタに LDD 領域を形成するための工程である。n 型低濃度不純物領域 525 ~ 528 に、n 型不純物元素が、 $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下の範囲で含まれるようにするのが好ましい。

【0195】

レジスト R2 を除去し、図 19 (B) に示すように、フォトリソグラフィ工程によりレジスト R3 を形成する。p チャネル型薄膜トランジスタの半導体層 511 に p 型不純物元素を添加する。p 型不純物元素の添加は、ドーピングガスに水素で希釈したジボラン (B_2H_6) を用いて、イオンドーピング装置により半導体層 512 にボロンをドーピングする。本実施例では、p 型不純物元素の添加はこの方法で行うこととする。ドーピングが終了したらレジスト R3 を除去する。

【0196】

第 1 導電膜 521 がマスクとなり、半導体層 511 に p 型高濃度不純物領域 529、530 が自己整合的に形成される。また、半導体層 511 の第 1 導電膜 521 と重なる領域がチャネル形成領域 511c として自己整合的に形成される。

【0197】

図 19 (C) に示すように、第 1 導電膜 521 ~ 524 の周囲に絶縁層 531 ~ 534 を形成する。絶縁層 531 ~ 534 はサイドウォール、側壁と呼ばれるものである。絶縁層 531 ~ 534 は 2 層構造の絶縁膜でなる。その形成には、まず、原料ガスに SiH_4 、 N_2O を用いて、プラズマ CVD 装置により酸化窒化シリコン膜 (SiO_xN_y 、 $x > y$) を 100 nm の厚さに形成する。次に、原料ガスに SiH_4 、 N_2O を用いて、LPCVD 装置により酸化シリコン膜を 200 nm の厚さに形成する。酸化窒化シリコン膜と酸化シリコン膜をドライエッチングにより異方性にエッチングすることで、絶縁層 531 ~ 534 が形成される。この一連の工程で、酸化窒化シリコンでなる絶縁膜 515 および絶縁膜 504 もエッチングされ、絶縁膜 515 は第 1 導電膜 521 ~ 524 と絶縁層 531 ~ 534 と重なる部分が残る。絶縁膜 504 は第 1 導電膜 523 と絶縁層 533 と重なる部分が残る。

【0198】

図 20 (A) に示すように、フォトリソグラフィ工程によりレジスト R4 を形成する。n チャネル型薄膜トランジスタの半導体層 512、513 とコンデンサの半導体層 514 に n 型不純物元素を添加し、n 型高濃度不純物領域 536 ~ 541 を形成する。半導体層 512 は、第 1 導電膜 522、絶縁層 532 がマスクとなり、n 型低濃度不純物領域 525、526 (図 19 (A) 参照) にさらに n 型不純物元素が添加され、n 型高濃度不純物領域 536、537 が自己整合的に形成される。半導体層 512 の第 1 導電膜 522 と重なる領域がチャネル形成領域 512c として自己整合的に確定する。また、n 型低濃度不純物領域 525、526 において絶縁層 532 と重なる領域は、n 型低濃度不純物領域 542、543 として確定する。

10

20

30

40

50

【0199】

半導体層513も半導体層512と同様、n型高濃度不純物領域538、539、チャネル形成領域513c、n型低濃度不純物領域544、545が形成される。

【0200】

半導体層514においては、第1導電膜524および絶縁層534がマスクとなり、n型不純物領域516にさらにn型不純物元素が添加され、n型高濃度不純物領域540、541が自己整合的に形成される。半導体層514の第1導電膜524および絶縁層534と重なる領域がn型不純物領域546として確定する。

【0201】

このn型不純物元素の添加は、nチャネル型薄膜トランジスタのn型高濃度不純物領域536~539のリンの濃度が $1 \times 10^{20} \text{ atoms/cm}^3$ 以上 $2 \times 10^{21} \text{ atoms/cm}^3$ 以下の範囲になるように、リンをドーピングするのが好ましい。

10

【0202】

レジストR4を除去し、図20(B)に示すように、キャップ絶縁膜550を形成する。ここでは、キャップ絶縁膜550として、平行平板型プラズマCVD装置により、酸化窒化シリコン膜(SiO_xN_y 、 $x > y$)を50nmの厚さに形成する。酸化窒化シリコン膜の原料ガスには、 SiH_4 、 N_2O を用いる。キャップ絶縁膜550を成膜した後、窒素雰囲気中で550の加熱処理を行い、半導体層511~514に添加したn型不純物元素およびp型不純物元素を活性化する。

【0203】

20

次いで、2層構造の第1層間絶縁膜551を形成する。1層目には、平行平板型プラズマCVD装置により原料ガスに SiH_4 、 N_2O を用いて、酸化窒化シリコン(SiO_xN_y 、 $x < y$)を100nmの厚さに形成する。2層目には、平行平板型プラズマCVD装置により原料ガスに SiH_4 、 N_2O 、 NH_3 、 H_2 を用いて、酸化窒化シリコン(SiO_xN_y 、 $x > y$)を600nmの厚さに形成する。

【0204】

フォトリソグラフィ工程とドライエッチング工程により、第1層間絶縁膜551およびキャップ絶縁膜550の所望の部分除去し、コンタクトホールを形成する。第1層間絶縁膜551上に導電膜を形成する。ここでは、導電膜を4層構造とする。下から、厚さ60nmのTi、40nmの窒化チタン、500nmの純アルミニウム、100nmのTiの順に積層する。それぞれの層はスパッタリング装置で成膜する。フォトリソグラフィ工程とドライエッチング工程により導電膜を所定の形状に加工し、第2導電膜552~563を形成する。

30

【0205】

なお、第2導電膜と第1導電膜が接続されることを説明するため、図面では、第2導電膜と第1導電膜が半導体層上で接続するように示しているが、実際には、第2導電膜と第1導電膜とのコンタクト部分は半導体層と重ならないように形成されている。

【0206】

第2導電膜561によりn型高濃度不純物領域540とn型高濃度不純物領域541が接続されている。この接続構造により、n型不純物領域546、絶縁膜515、第1導電膜524でなる積層構造のMIS型コンデンサが形成される。第2導電膜563は端子であり、アンテナ411が接続される。

40

【0207】

図21に示すように、第2層間絶縁膜565を形成する。第2層間絶縁膜565には、第2導電膜563に達するコンタクトホールが形成される。第2層間絶縁膜565を感光性ポリイミドで形成する例を示す。スピナーを用いて $1.5 \mu\text{m}$ の厚さで液相のポリイミドを塗布する。フォトリソグラフィ工程を用いて、ポリイミドを露光し、現像することでコンタクトホールが形成されたポリイミドが形成される。現像後、ポリイミドを焼成する。

【0208】

次いで、第2層間絶縁膜565上に導電膜を形成する。フォトリソグラフィ工程とエッチ

50

ング工程により、この導電膜を所定の形状に加工し、第3導電膜566を形成する。第3導電膜566はアンテナ411を第2導電膜563に接続するためのパンプである。ここでは、第3導電膜566を厚さ100nmのTiで形成する。

【0209】

次いで、第3層間絶縁膜567を形成する。ここでは、第2層間絶縁膜565と同様の方法で、第3層間絶縁膜567を感光性ポリイミドで形成する。第3層間絶縁膜567には、アンテナ411を形成する領域に開口が形成されている。

【0210】

次に、アンテナ411として機能する第4導電膜568を形成する。蒸着装置により、メタルマスクを用いてアルミニウムを蒸着し、所定の形状の第4導電膜568を形成する。

10

【0211】

図17～図21に示す工程を経て、ガラス基板500上に、第4導電膜568を含むアンテナ部401、nチャネル型の高耐圧型薄膜トランジスタ441およびコンデンサ442を含む電源部402、nチャネル型薄膜トランジスタ443、pチャネル型薄膜トランジスタ444を含むロジック部403が形成される。本実施例では、高耐圧型薄膜トランジスタ441のゲート絶縁膜を、非晶質シリコン膜503の結晶化に用いた絶縁膜504と、絶縁膜515の積層構造としているため、ゲート絶縁膜の耐圧を向上させることができる。

【0212】

次に、アンテナ部401、電源部402およびロジック部403をガラス基板500から分離し、可撓性基板に転置する工程を説明する。以下の説明では、剥離膜501上に積層された構造物を素子形成層570ということとする。

20

【0213】

まず、図22(A)に示すように、素子形成層570の上面を保護するために、厚さ1μm以上20μm以下、好ましくは5μm以上10μm以下の絶縁膜571を形成する。ここでは、絶縁膜571を、エポキシ樹脂を用いて形成する。その際には、液相のエポキシ樹脂をスピンコート法により塗布し、160℃で30分加熱して、エポキシ樹脂を硬化させる。

【0214】

次に、絶縁膜571の上面に支持基材572を取り付ける。支持基材572は、ガラス基板500から分離された素子形成層570を支持するための基材であり、後に素子形成層570から分離される。そのため、支持基材572は剥がすことが容易なものを用いることが好ましい。例えば、支持基材572として、通常の状態ではその接着力が強く、熱を加える、または光を照射することによりその接着力が弱くなる性質を有するものを用いるとよい。例えば、加熱することにより接着力が弱くなる熱剥離テープや、紫外光を照射することにより接着力が弱くなるUV剥離テープ等を用いるとよい。また、支持基材572には、通常の状態では接着力が弱い弱粘性テープ等を用いることもできる。

30

【0215】

次に、後の剥離工程を容易に行うために、レーザ光により、支持基材572、絶縁膜571、および素子形成層570を貫通する溝を形成する。溝は、半導体装置400を構成する素子およびアンテナを避けて形成される。溝を形成することで、剥離膜501の第2層501bと第3層501cとの界面に剥離が生ずる。そのため、素子形成層570またはガラス基板500に、力学的な力を加えて、剥離膜501の剥離を進行させ、図22(B)に示すように、素子形成層570をガラス基板500から分離する。素子形成層570をガラス基板500から分離する方法として、代表的には、人間の手や把持具で素子形成層570を剥す方法、ローラーを有する剥離装置を用いる方法などがある。

40

【0216】

なお、本実施例では、素子形成層570とガラス基板500を分離するために、剥離膜501を形成する方法を用いたが、剥離膜501を形成しない方法を用いることもできる。例えば、図21の工程の後、ガラス基板500を機械的に研削及び研磨し除去する方法や

50

、ガラス基板 5 0 0 を H F 等の溶液を用いて溶解する方法を用いることができる。

【 0 2 1 7 】

次に、図 2 3 (A) に示すように、素子形成層 5 7 0 の下面に、可撓性基板 5 7 3 を貼り付け、その後、支持基材 5 7 2 を素子形成層 5 7 0 から剥がす。ここでは、可撓性基板 5 7 3 として、キャスト法によりポリアニリンで形成されたフィルムを用いる。

【 0 2 1 8 】

次いで、レーザカット法により、図 2 3 (B) に示すように素子形成層 5 7 0 を 1 つずつの半導体装置 4 0 0 に分割する。なお、ここでは、素子形成層 5 7 0 の分割にレーザカット法を用いたが、ダイシング法、スクライビング法等を用いることができる。以上の工程により、図 2 3 (B) に示すように、非接触でデータの通信が可能な半導体装置 4 0 0 を作製することができる。

10

【 0 2 1 9 】

本実施例では、電源部 4 0 2 およびロジック部 4 0 3 と共にアンテナ 4 1 1 をガラス基板 5 0 0 上に形成する例について説明したが、アンテナ 4 1 1 を形成することを省略することもできる。この場合は、可撓性基板にアンテナを形成し、素子形成層 5 7 0 のパンプに電氣的に接続するように、貼り合わせればよい。

【 0 2 2 0 】

本実施例の半導体装置 4 0 0 は、無線チップとして機能し、小型、薄型、軽量であると共に、フレキシブルである。よって半導体装置 4 0 0 を物品に取り付けても、外観、美観、品質を損なわないようにすることができる。

20

【 0 2 2 1 】

図 2 3 (B) に示す半導体装置 4 0 0 は、プリント基板に実装する、物品の表面に貼り付ける、埋め込むことにより、物品に固定される。また、図 2 3 (B) に示す半導体装置 4 0 0 を紙にすき込み、この紙を用いて、紙幣、有価証券類、無記名債券類、証書を作製することで、これらの紙片に認証機能を付与することができるため、偽造を防止することができる。

【 0 2 2 2 】

なお、図 2 3 (B) の半導体装置 4 0 0 は、この状態で、紙にすき込む、あるいは 2 枚のプラスチック基板の間に挟んで I C カードを作製することも可能である。例えば、絶縁膜 5 7 1 の上面に他の可撓性基板を接着して、半導体装置 4 0 0 を機械的強度および耐水性を高めるようにすることもできる。

30

【 0 2 2 3 】

図 2 4 を用いて、半導体装置 4 0 0 の使用方法を説明する。無線チップの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類（運転免許証や住民票等、図 2 4 (A) 参照）、包装用容器類（包装紙やボトル等、図 2 4 (C) 参照）、記録媒体（DVD ソフトやビデオテープ等、図 2 4 (B) 参照）、乗り物類（自転車等、図 2 4 (D) 参照）、身の回り品（鞆や眼鏡等）、食品類、植物類、動物類、人体、衣類、生活用品類、電子機器等の商品や荷物の荷札（図 2 4 (E)、図 2 4 (F) 参照）等の物品に設けて使用することができる。

【 図面の簡単な説明 】

40

【 0 2 2 4 】

【 図 1 】 (A) ~ (C) レーザ光の照射により半導体膜を結晶化する方法を説明する断面図。

【 図 2 】 図 1 (B) および図 1 (C) に対応する斜視図。

【 図 3 】 (A) ~ (D) 結晶性半導体膜および第 2 のバッファ膜を含む半導体素子を有する半導体装置の作製方法を示す断面図。

【 図 4 】 (A) ~ (D) 図 3 (C) 以降の工程を説明するための断面図。

【 図 5 】 (A) ~ (E) 結晶性半導体膜および第 2 のバッファ膜を含む半導体素子を有する半導体装置の作製方法を示す断面図。

【 図 6 】 波長 5 3 2 n m の光に対する固相の非晶質シリコンおよび液相シリコンの吸収率

50

の膜厚依存性を示すグラフ。

【図 7】波長 532 nm の光に対する吸収率について、非晶質シリコンの吸収率に対する液相シリコンの吸収率の比を示すグラフ。

【図 8】(A)、(B) レーザ光の照射により半導体膜の結晶化方法を説明する断面図であり、第 1 の半導体膜および光吸収膜に非晶質シリコンを用いた実施例を示す断面図。

【図 9】レーザ光の照射により形成された結晶性シリコンの走査型電子顕微鏡写真。

【図 10】(A) ~ (D) 本発明の半導体装置の作製方法を説明するための断面図であり、アクティブマトリクス型液晶表示装置の作製方法を説明する断面図。

【図 11】(A) ~ (C) 図 10 (D) に続く工程を説明するための断面図。

【図 12】(A)、(B) 図 11 (C) に続く工程を説明するための断面図。

【図 13】(A)、(B) 本発明の半導体装置の作製方法を説明するための断面図であり、アクティブマトリクス型発光装置の作製方法を説明する断面図。

【図 14】図 13 (B) に続く工程を説明するための断面図。

【図 15】本発明の半導体装置を表示部に有する電子機器の外観図。(A) 携帯情報端末、(B) デジタルビデオカメラ、(C) 携帯電話、(D) 携帯型のテレビジョン装置、(E) 携帯型のコンピュータ、(F) テレビジョン装置。

【図 16】非接触でデータ通信が可能な半導体装置の構成例を示すブロック図。

【図 17】(A) ~ (C) 本発明の半導体装置の作製方法を説明するための断面図であり、非接触でデータ通信が可能な半導体装置の作製方法を説明する断面図。

【図 18】(A) ~ (C) 図 17 (C) に続く工程を説明するための断面図。

【図 19】(A) ~ (C) 図 18 (C) に続く工程を説明するための断面図。

【図 20】(A)、(B) 図 19 (C) に続く工程を説明するための断面図。

【図 21】図 20 (B) に続く工程を説明するための断面図。

【図 22】(A)、(B) 図 21 に続く工程を説明するための断面図。

【図 23】(A)、(B) 図 22 (B) に続く工程を説明するための断面図。

【図 24】(A) ~ (F) 非接触でデータ通信が可能な半導体装置を有する物品の外観図。

【符号の説明】

【0225】

- 10 ガラス基板
- 11 酸化窒化シリコン膜
- 12 酸化窒化シリコン膜
- 13 非晶質シリコン膜
- 14 酸化窒化シリコン膜
- 15 非晶質シリコン膜
- 16 レーザ光
- 23 結晶性シリコン
- 25 結晶性シリコン
- 100 基板
- 101 第 1 のバッファ膜 (第 1 の絶縁膜)
- 102 第 1 の半導体膜
- 103 第 2 のバッファ膜 (第 2 の絶縁膜)
- 104、104' 光吸収膜 (第 2 の半導体膜)
- 105 レーザ光
- 106 液相の半導体
- 107 液相の光吸収膜
- 105 レーザ光
- 108 結晶性半導体
- 120 基板
- 121 第 1 のバッファ膜

10

20

30

40

50

1 2 2	第 1 の半 導 体 膜	
1 2 3	第 2 のバッファ膜	
1 2 4	光吸収膜	
1 2 8	結晶性半 導 体	
1 3 1	マスク	
1 3 2	第 1 の不純物領域	
1 3 3	導電膜	
1 3 4、1 3 5	第 1 の導電膜	
1 3 8、1 3 9	第 1 の絶縁膜	
1 4 0、1 4 1	結晶性半 導 体 膜	10
1 4 2 ~ 1 4 5	第 2 の不純物領域	
1 4 6	チャネル形成領域	
1 4 7	第 2 の絶縁膜	
1 4 8 ~ 1 5 0	第 2 の導電膜	
1 5 2	薄膜トランジスタ	
1 5 3	容量素子	
1 6 0	第 1 の絶縁膜	
1 6 1、1 6 2	結晶性半 導 体 膜	
1 6 3	第 2 の絶縁膜	
1 6 4、1 6 5	第 1 の導電膜	20
1 6 6 ~ 1 6 9	不純物領域	
1 7 0、1 7 1	チャネル形成領域	
1 7 3	第 3 の絶縁膜	
1 7 4 ~ 1 7 7	第 2 の導電膜	
1 7 8	第 1 の薄膜トランジスタ	
1 7 9	第 2 の薄膜トランジスタ	
1 8 0	ガラス基板	
1 8 1	絶縁膜	
1 8 2	非晶質シリコン膜	
1 8 3	絶縁膜	30
1 8 4	非晶質シリコン膜	
1 8 5	レーザ光	
1 8 6、1 8 7	液相のシリコン	
1 8 8	結晶性シリコン	
1 8 9	結晶性シリコン	
2 0 0 a	窒化タンタル膜	
2 0 0 b	タングステン膜	
2 0 1 ~ 2 0 3	半 導 体 層	
2 0 1 c ~ 2 0 3 c	チャネル形成領域	
2 0 4	酸化窒化シリコン膜	40
2 0 5 ~ 2 0 8	ゲート電極	
2 0 9 ~ 2 1 5	高濃度不純物領域	
2 1 6 ~ 2 2 3	低濃度不純物領域	
2 2 5	nチャネル型薄膜トランジスタ	
2 2 6	pチャネル型薄膜トランジスタ	
2 2 7	nチャネル型薄膜トランジスタ	
2 3 1	酸化シリコン膜	
2 3 2	窒化シリコン膜	
2 3 3	酸化シリコン膜	
2 3 4 ~ 2 3 9	配線	50

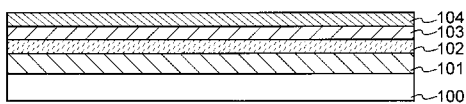
2 4 0	接続端子	
2 4 1	酸化窒化シリコン膜	
2 4 2	第 1 の画素電極	
2 4 3	配向膜	
2 4 4	導電層	
2 5 1	ガラス基板	
2 5 2	着色層	
2 5 3	第 2 の画素電極	
2 5 4	配向膜	
2 5 5	液晶層	10
2 5 6	スペーサ	
2 5 7	シール材	
2 5 8	液晶素子	
2 6 1	異方性導電膜	
2 6 2	F P C	
2 6 3	端子部	
2 6 4	駆動回路部	
2 6 5	画素部	
3 0 0	層間絶縁膜	
3 0 1	n チャネル型薄膜トランジスタ	20
3 0 2	p チャネル型薄膜トランジスタ	
3 0 3	p チャネル型薄膜トランジスタ	
3 1 1	端子部	
3 1 2	駆動回路部	
3 1 3	画素部	
3 1 4	接続端子	
3 1 5	層間絶縁膜	
3 1 6	第 1 の電極層	
3 1 7	有機絶縁物膜	
3 1 8	発光物質を含む層	30
3 1 9	第 2 の電極層	
3 2 0	導電層	
3 2 1	発光素子	
3 2 2	保護膜	
3 2 3	シール材	
3 2 4	封止基板	
3 2 5	空間	
3 2 6	異方性導電層	
3 2 7	F P C	
3 5 1	本体	40
3 5 2 ~ 3 5 4	表示部	
3 5 5	本体	
3 5 6	表示部	
3 5 7	本体	
3 5 8	表示部	
3 5 9	本体	
3 6 0	表示部	
3 6 1	本体	
3 6 2	表示部	
4 0 0	半導体装置	50

4 0 1	アンテナ部	
4 0 2	電源部	
4 0 3	ロジック部	
4 1 1	アンテナ	
4 2 1	整流回路	
4 2 2	保持容量	
4 2 3	定電圧回路	
4 3 1	復調回路	
4 3 2	クロック生成・補正回路	
4 3 3	判定回路	10
4 3 4	メモリコントローラ	
4 3 5	変調回路	
4 3 6	変調用抵抗	
4 3 7	符号化回路	
4 3 8	マスクROM	
4 4 1	高耐圧型薄膜トランジスタ	
4 4 2	コンデンサ	
4 4 3	nチャネル型薄膜トランジスタ	
4 4 4	pチャネル型薄膜トランジスタ	
R 1 ~ R 4	レジスト	20
5 0 0	ガラス基板	
5 0 1	剥離膜	
5 0 1 a	第1層	
5 0 1 b	第2層	
5 0 1 c	第3層	
5 0 2	絶縁膜	
5 0 2 a	第1層	
5 0 2 b	第2層	
5 0 3	非晶質シリコン膜	
5 0 4	絶縁膜	30
5 0 5	非晶質シリコン膜	
5 0 7	結晶性シリコン	
5 0 8	結晶性シリコン	
5 0 9	結晶性シリコン	
5 1 1 ~ 5 1 3	半導体層	
5 1 1 c ~ 5 1 3 c	チャネル形成領域	
5 1 5	絶縁膜	
5 1 6	n型不純物領域	
5 2 1 ~ 5 2 4	第1導電膜	
5 2 5 ~ 5 2 8	n型低濃度不純物領域	40
5 2 9、5 3 0	p型高濃度不純物領域	
5 3 1 ~ 5 3 4	絶縁層	
5 3 6 ~ 5 4 1	n型高濃度不純物領域	
5 4 2 ~ 5 4 5	n型低濃度不純物領域	
5 4 6	n型不純物領域	
5 5 0	キャップ絶縁膜	
5 5 1	第1層間絶縁膜	
5 5 2 ~ 5 6 3	第2導電膜	
5 6 5	第2層間絶縁膜	
5 6 6	第3導電膜	50

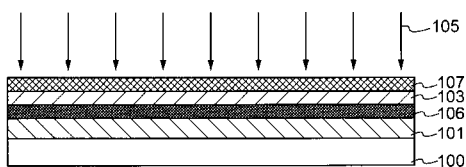
5 6 7	第 3 層間絶縁膜
5 6 8	第 4 導電膜
5 7 0	素子形成層
5 7 1	絶縁膜
5 7 2	支持基材
5 7 3	可撓性基板

【 図 1 】

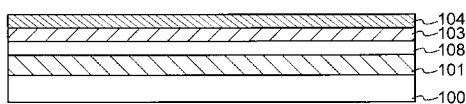
(A)



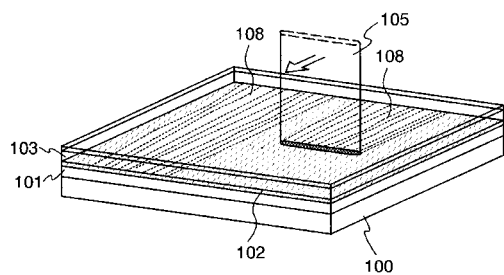
(B)



(C)



【 図 2 】

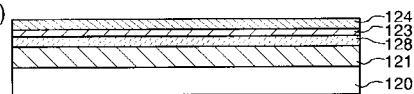


【 図 3 】

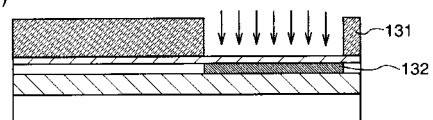
(A)



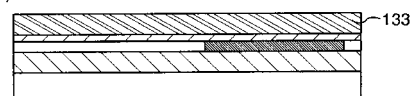
(B)



(C)

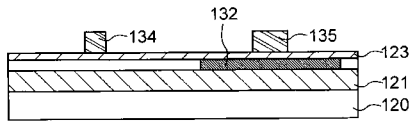


(D)

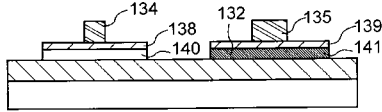


【図 4】

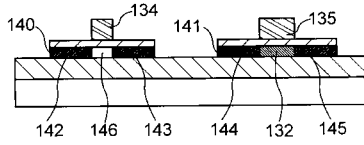
(A)



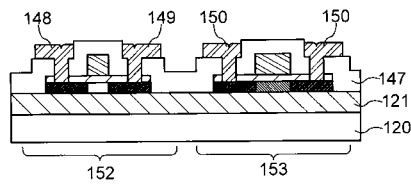
(B)



(C)

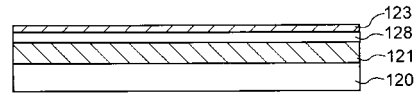


(D)

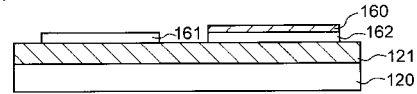


【図 5】

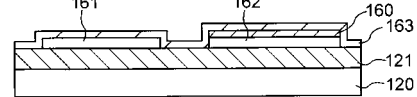
(A)



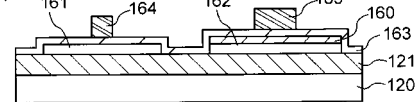
(B)



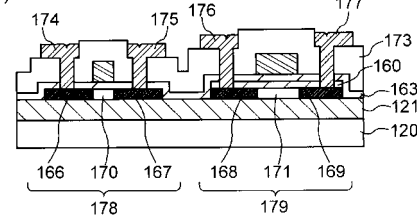
(C)



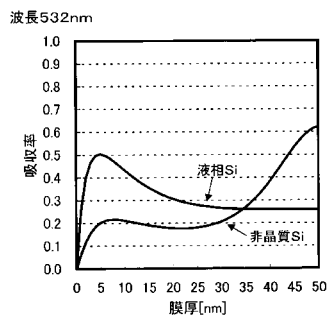
(D)



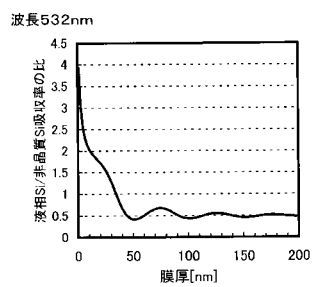
(E)



【図 6】

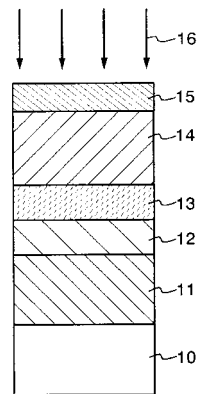


【図 7】

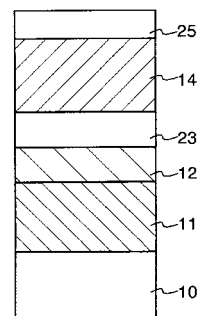


【図 8】

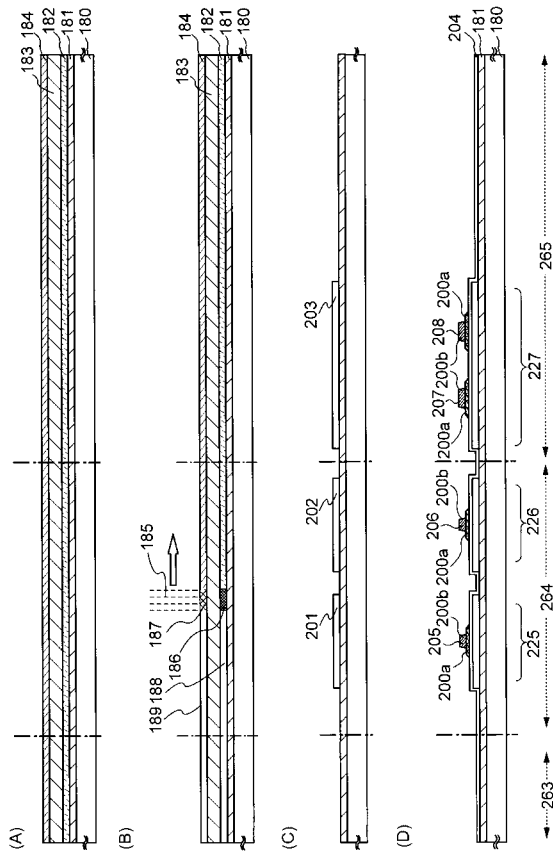
(A)



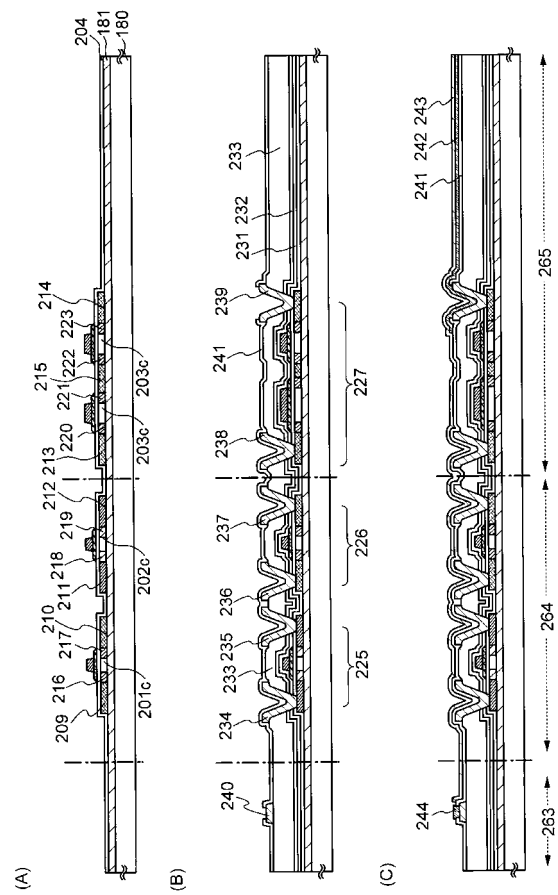
(B)



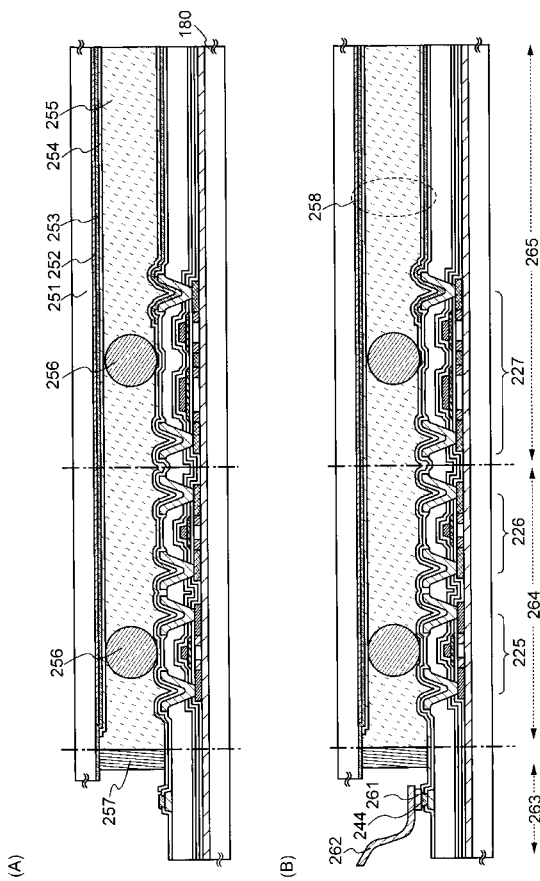
【図 10】



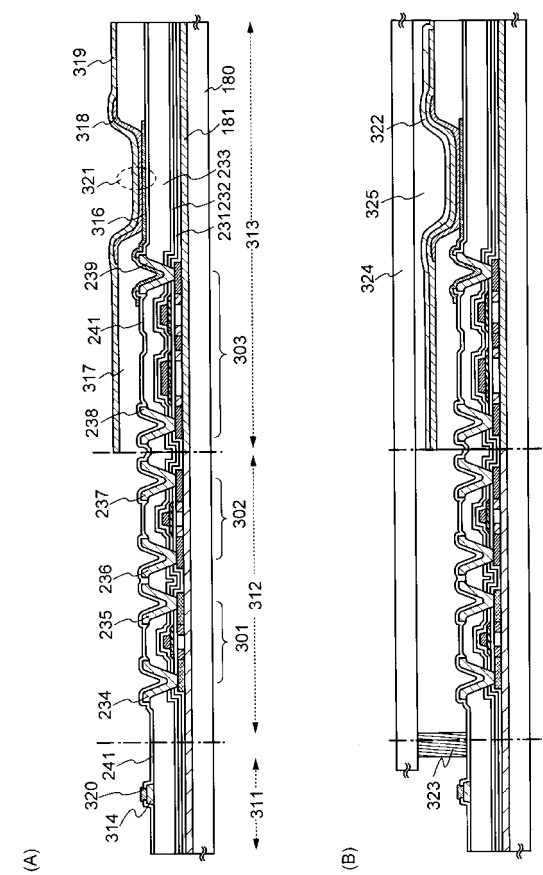
【図 11】



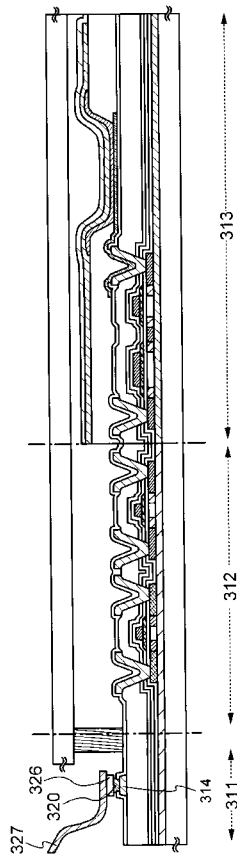
【図 12】



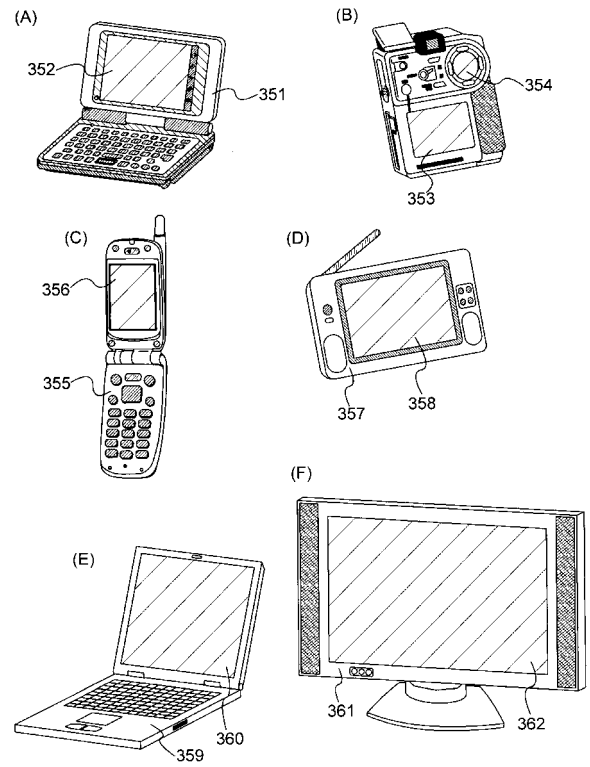
【図 13】



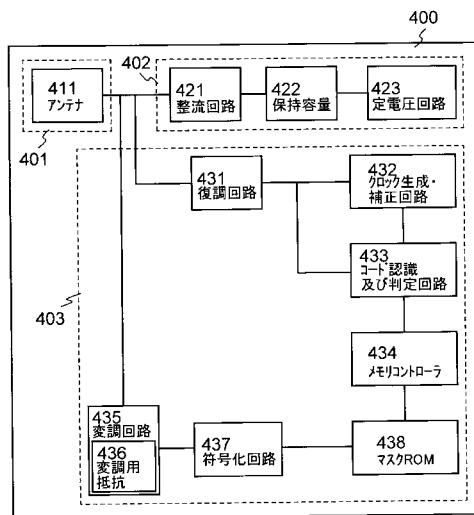
【図 14】



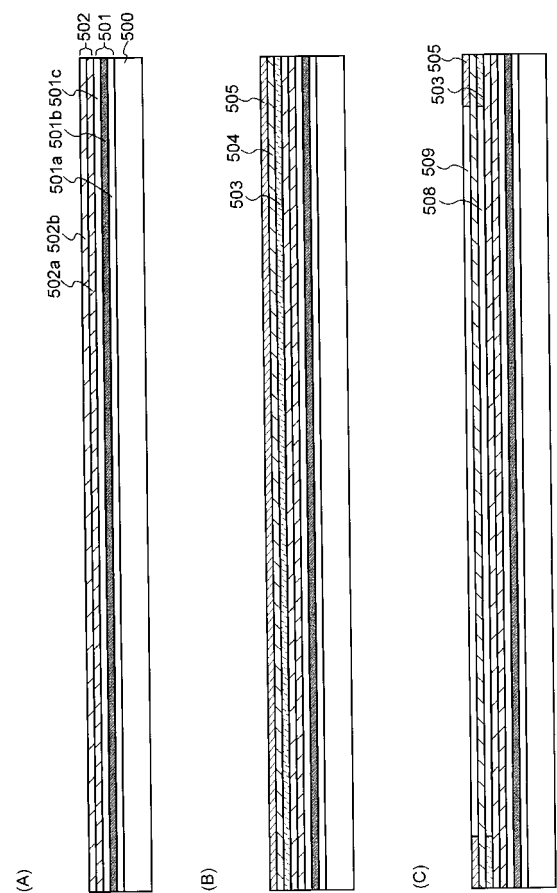
【図 15】



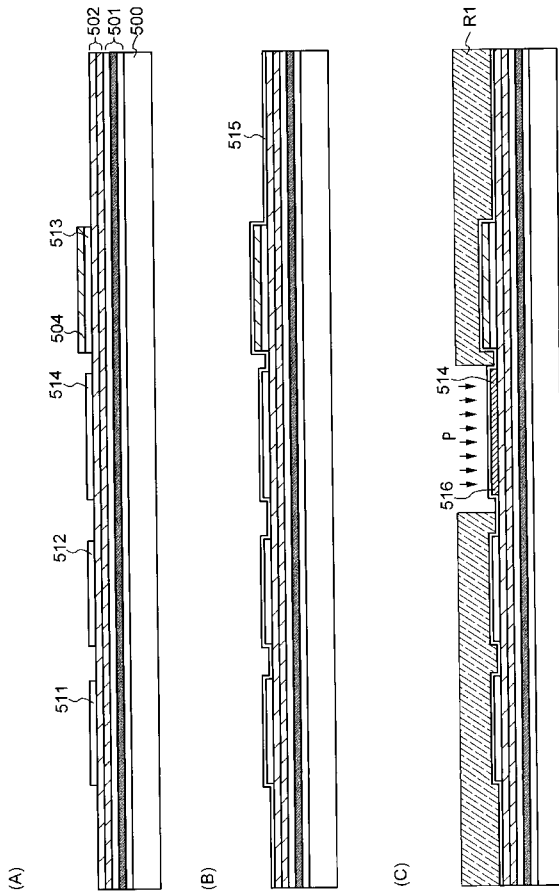
【図 16】



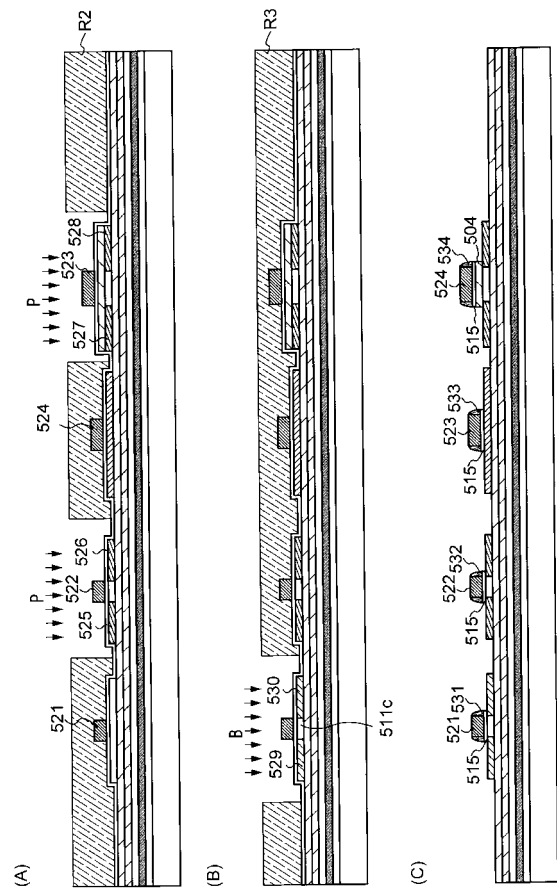
【図 17】



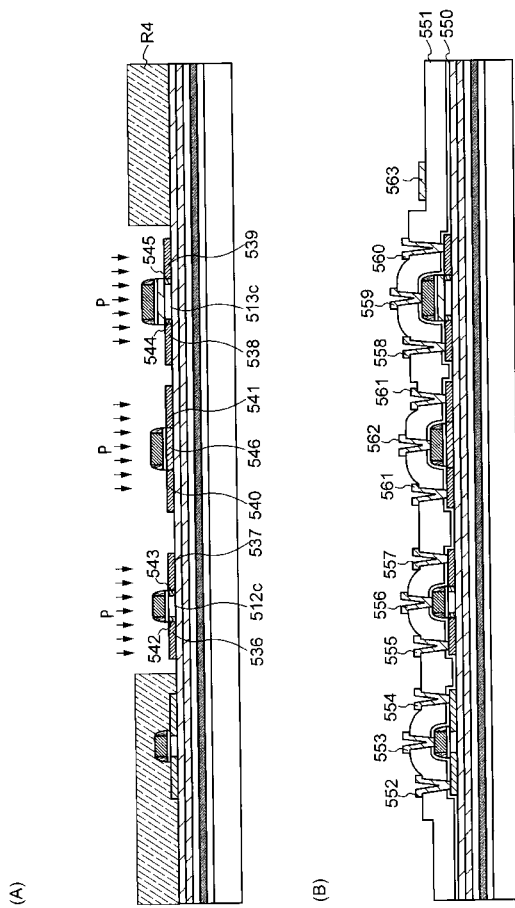
【図 18】



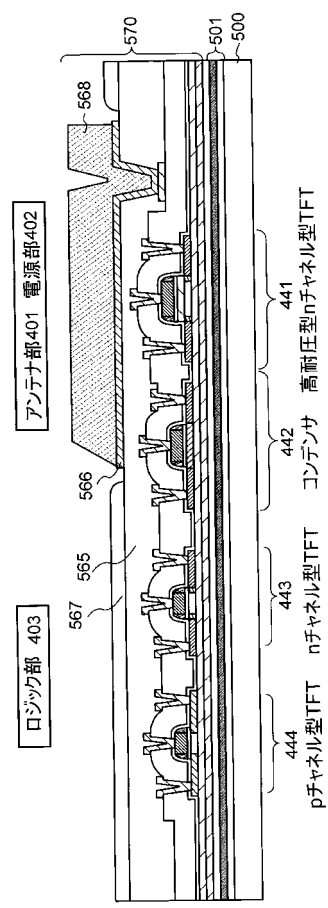
【図 19】



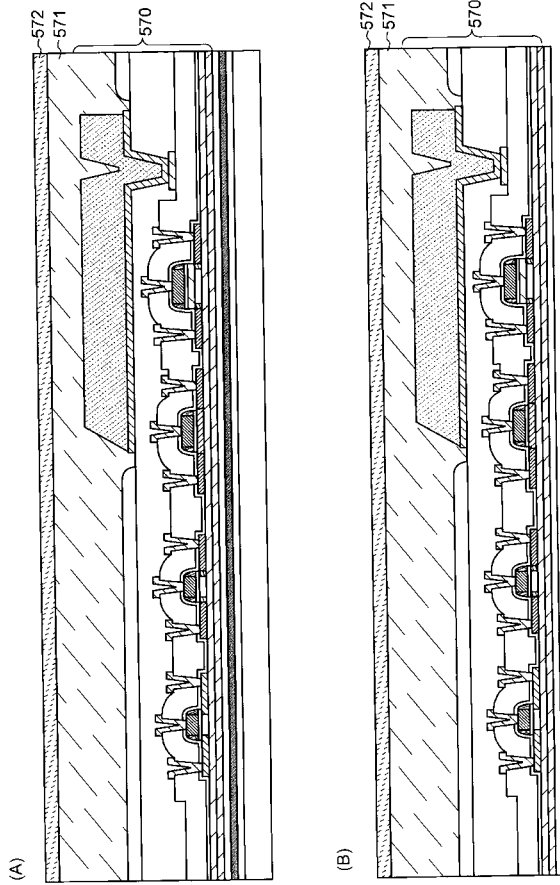
【図 20】



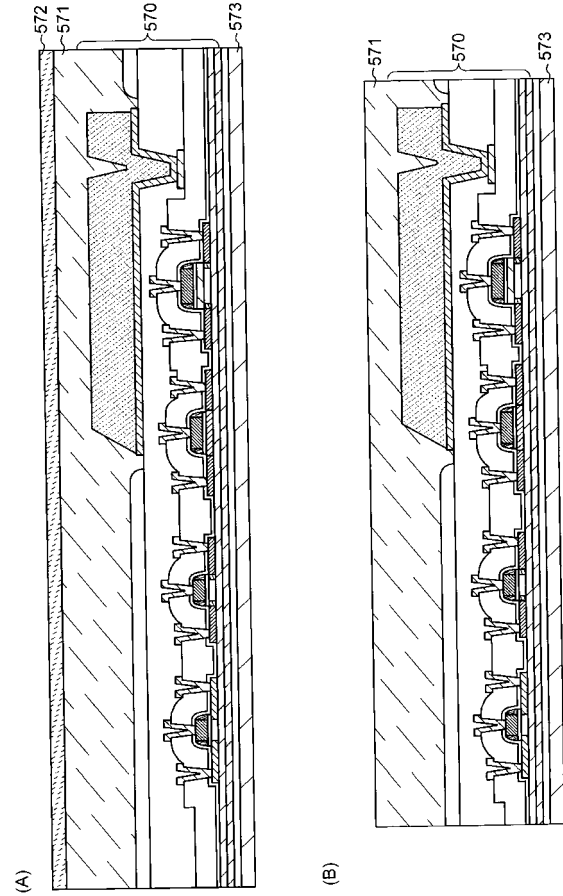
【図 21】



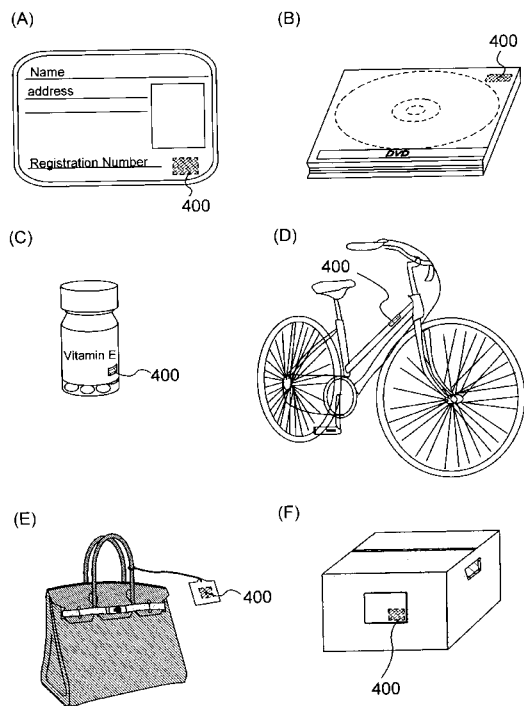
【図 2 2】



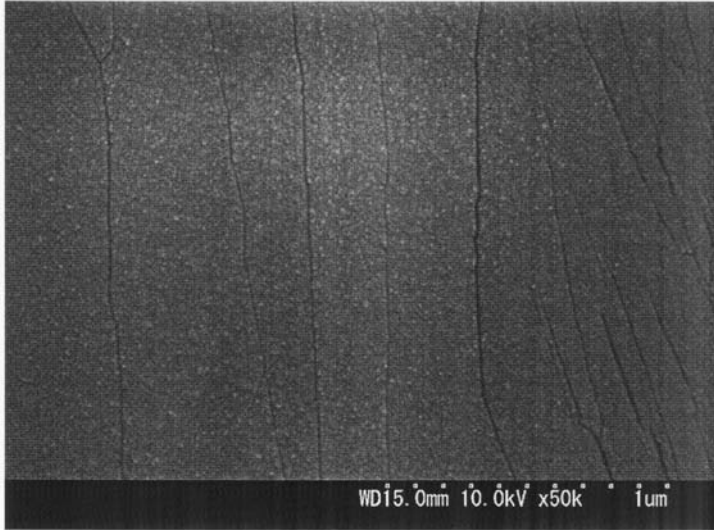
【図 2 3】



【図 2 4】



【図 9】



フロントページの続き

F ターム(参考) 5F110 AA30 BB02 CC02 DD01 DD02 DD03 DD04 DD05 DD13 DD14
DD15 EE01 EE02 EE03 EE04 EE06 EE09 EE43 EE44 EE45
FF01 FF02 FF03 FF04 FF09 FF27 FF28 FF29 GG01 GG02
GG03 GG13 GG25 GG29 GG32 GG43 GG44 GG45 GG47 GG51
GG52 HJ12 HJ13 HJ23 HL03 HL04 HL12 HM15 NN02 NN22
NN24 NN27 NN35 NN72 PP02 PP03 PP06 PP11 PP23 PP34
PP35 QQ11 QQ16 QQ23 QQ24 QQ25
5F152 AA03 AA06 BB01 BB02 BB08 BB10 CC02 CC03 CC04 CC05
CC06 CC08 CD03 CD13 CD14 CD15 CD17 CD27 CE05 CE06
CE07 CE12 CE13 CE14 CE16 CE25 CE35 CE45 CF02 CF03
CF09 CF13 CF14 CF15 CF16 CF18 CF23 EE01 EE04 FF07
FF11 FF28 FF32 FF41 FF47 FG01 FG05 FG18 FG23 FH03
FH05 FH08