(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2012-203528
(P2012-203528A)
(43)公開日　平成24年10月22日(2012.10.22)

(51)Int.Cl.		F I			テーマコード（参考）
G05F 1/56	(2006.01)	G05F	1/56	310C	5H430

審査請求 未請求　請求項の数 2　ＯＬ　（全 6 頁）

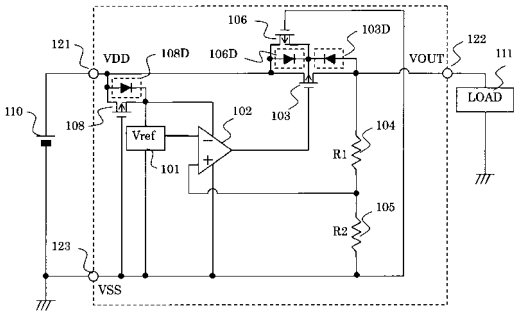
(21)出願番号　特願2011-65833(P2011-65833)
(22)出願日　平成23年3月24日(2011.3.24)

(71)出願人　000002325
セイコーインスツル株式会社
千葉県千葉市美浜区中瀬１丁目８番地
(74)代理人　100154863
弁理士　久原　健太郎
(74)代理人　100142837
弁理士　内野　則彰
(74)代理人　100123685
弁理士　木村　信行
(72)発明者　須藤　稔
千葉県千葉市美浜区中瀬１丁目８番地　セイコーインスツル株式会社内

Ｆターム(参考)　5H430 BB01 BB05 BB09 BB11 EE04 EE18 FF02 FF13 GG08

(54)【発明の名称】ボルテージ・レギュレータ

(57)【要約】
【課題】バッテリ１１０が誤って正負を逆に接続された時にも、大きな電流が流れることのないボルテージ・レギュレータを提供する。
【解決手段】ボルテージ・レギュレータの出力トランジスタ１０３の基板電位（ｎ－ｗｅｌｌ）を、ＶＤＤ端子固定とせず、かつ、基準電圧回路１０１と誤差増幅器１０２の電源を、ＶＤＤ端子固定としない回路構成とすることで、上記課題を解決した。
【選択図】　図１



【特許請求の範囲】
【請求項１】
正極電源端子、負極電源端子及び出力端子と、
前記正極電源端子と前記出力端子の間に設けられた第一のＰチャネル型トランジスタと、
前記出力端子の電圧が一定になるように前記第一のＰチャネル型トランジスタのゲート電圧を制御する差動増幅回路と、
ゲートが前記負極電源端子に接続され、ドレインが前記正極電源端子に接続され、ソースが基板（ｎ－ｗｅｌｌ）に接続され、前記第一のＰチャネル型トランジスタの基板（ｎ－ｗｅｌｌ）を前記正極電源端子に接続するための第二のＰチャネル型トランジスタと、
ゲートが前記負極電源端子に接続され、ドレインが前記正極電源端子に接続され、ソースが基板（ｎ－ｗｅｌｌ）に接続され、前記差動増幅回路の正極電源を前記正極電源端子に接続するための第三のＰチャネル型トランジスタと、
を備えたボルテージ・レギュレータであって、
前記第一のＰチャネル型トランジスタの基板（ｎ－ｗｅｌｌ）は、前記第二のＰチャネル型トランジスタの基板（ｎ－ｗｅｌｌ）に接続され、
前記差動増幅回路の正極電源は、前記第三のＰチャネル型トランジスタの基板（ｎ－ｗｅｌｌ）に接続されていることを特徴とするボルテージ・レギュレータ。
【請求項２】
更に、ゲートが前記正極電源端子に接続され、ドレインが前記出力端子に接続され、ソースが第一の基板（ｎ－ｗｅｌｌ）に接続され、前記第一のＰチャネル型トランジスタの基板（ｎ－ｗｅｌｌ）を前記出力端子に接続するための第四のＰチャネル型トランジスタを備えた、ことを特徴とする請求項１に記載のボルテージ・レギュレータ。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、バッテリ１１０が誤って正負を逆に接続された時に、大きな電流が流れることのないボルテージ・レギュレータに関する。
【背景技術】
【０００２】
従来のボルテージ・レギュレータとしては、図４に示されるような回路が知られていた（例えば、特許文献１参照）。
【０００３】
バッテリ１１０の正極は、ＶＤＤ端子１２１に接続され、負極はＶＳＳ端子（ＧＮＤ）１２３に接続される。ＶＯＵＴ端子１２２には、負荷１１１が接続される。
基準電圧回路１０１は、一定の電圧を出力し、誤差増幅器１０２の反転入力端子に印加される。ＶＯＵＴ端子１２２の電圧は、抵抗１０４と１０５によって分圧され、分圧された電圧は、誤差増幅器１０２の非反転入力端子に印加される。出力トランジスタ１０３のソースと基板は、ＶＤＤ端子１２１に接続され、ドレインはＶＯＵＴ端子１２２に接続され、誤差増幅器１０２の出力がゲートに接続され、誤差増幅器１０２の出力によって、出力トランジスタ１０３の抵抗値が制御される。即ち、抵抗１０４、１０５によってＶＯＵＴ端子の電圧（出力電圧）を分圧した電圧が、基準電圧回路１０１の出力電圧より小さければ、誤差増幅器１０２の出力は低くなり、出力トランジスタ１０３を強くバイアスし抵抗値を下げることで、ＶＯＵＴ端子１２２の電圧が上昇し、逆に、抵抗１０４、１０５によって分圧された電圧が基準電圧より高ければ、出力トランジスタ１０３を弱くバイアスして抵抗値を上げ、ＶＯＵＴ端子１２２の電圧が低下し、ＶＯＵＴ端子１２４に一定の電圧が出力するように制御される。
【０００４】
一般に、誤差増幅器１０２の回路は、図５に示すような差動増幅回路に代表される。誤差増幅器１０２の正の入力端子７２１と負の入力端子７２２は、それぞれＮｃｈトランジ

スタ７０１と７０２のゲートに接続されている。Ｎｃｈトランジスタ７０１と７０２のソースは、共通に定電流源７０５に接続されている。Ｎｃｈトランジスタ７０１のドレインは、Ｐｃｈトランジスタ７０３のゲートとドレイン及び、Ｐｃｈトランジスタ７０４のゲートに接続されている。Ｎｃｈトランジスタ７０２のドレインは、Ｐｃｈトランジスタ７０４のドレインに接続されている。ＥＯＵＴ端子７２３は、誤差増幅器１０２の出力端子となっている。

【０００５】

Ｎｃｈトランジスタ７０１と７０２には、ＶＳＳをアノードとし、ドレインをカソードとした寄生ダイオード７０１Ｄと７０２Ｄが存在し、Ｐｃｈトランジスタ７０３と７０４には、ドレインをアノードとし、ＶＤＤをカソードとした寄生ダイオード７０３Ｄと７０４Ｄが存在する。

【先行技術文献】

【特許文献】

【０００６】

【特許文献１】特許第２７０６７２０号公報（第１図）

【発明の概要】

【発明が解決しようとする課題】

【０００７】

従来のボルテージ・レギュレータでは、バッテリ１１０をボルテージ・レギュレータのＶＤＤ端子及びＶＳＳ端子に正負を逆に接続した場合に、寄生ダイオードの７０１Ｄと７０３Ｄ、及び７０２Ｄと７０４Ｄが順方向となり、その経路を通って大電流が流れる。

【０００８】

さらに、負荷１１１、またはＶＯＵＴ端子１２２とＶＳＳ端子間の保護素子（図示せず）と、出力トランジスタ１０３の寄生ダイオード１０３Ｄを介して、ボルテージ・レギュレータに大電流が流れる。

【０００９】

そこで、以上のような課題を解決するために考案されたものであり、バッテリ１１０が逆に接続されても、大電流が流れないボルテージ・レギュレータを提供することを目的としている。

【課題を解決するための手段】

【００１０】

本発明は、ボルテージ・レギュレータの出力トランジスタ１０３の基板電位を、ＶＤＤ端子固定とせず、かつ、基準電圧回路１０１と誤差増幅器１０２の電源を、ＶＤＤ端子固定としない回路構成とすることで、上記課題を解決したものである。

【発明の効果】

【００１１】

以上のような本発明のボルテージ・レギュレータによれば、バッテリ１１０が逆接続されても、ボルテージ・レギュレータに大電流が流れることなく、破壊を防止することが出来る。

【図面の簡単な説明】

【００１２】

【図１】第一の実施例のボルテージ・レギュレータの回路図である。

【図２】第二の実施例のボルテージ・レギュレータの回路図である。

【図３】第二の実施例のボルテージ・レギュレータのＰｃｈトランジスタ１０６及び１０７の断面図である。

【図４】従来のボルテージ・レギュレータを示す回路図である。

【図５】ボルテージ・レギュレータの一般的な誤差増幅器の回路図である。

【発明を実施するための形態】

【００１３】

本発明を実施するための形態について、図面を参照して説明する。

【実施例１】
【００１４】
図１は、第一の実施例のボルテージ・レギュレータの回路図である。第一の実施例のボルテージ・レギュレータは、基準電圧回路１０１と、誤差増幅器１０２と、抵抗１０４と、抵抗１０５と、Ｐｃｈトランジスタ１０３と、Ｐｃｈトランジスタ１０６、１０８と、ＶＤＤ端子１２１と、ＶＳＳ端子１２３と、ＶＯＵＴ端子（出力端子）１２２を備えている。　図４との違いは、Ｐｃｈトランジスタ１０６、１０８が追加されており、Ｐｃｈトランジスタ１０３の基板（ｗｅｌｌ）が、Ｐｃｈトランジスタ１０６のソースに接続されている。また、基準電圧回路１０１と誤差増幅器１０２は、Ｐｃｈトランジスタ１０８を介して、ＶＤＤ端子１２１に接続されている。
【００１５】
次に、バッテリ１１０を正常に接続した場合と、逆に接続した場合の動作について、説明する。図１は、バッテリ１１０を正常に接続した状態を示している。その状態では、Ｐｃｈトランジスタ１０６、１０８は、共にＯＮして、Ｐｃｈトランジスタ１０３の基板電位は、ＶＤＤ端子１２１と等しくなり、基準電圧回路１０１と誤差増幅器１０２の電源は、ＶＤＤ端子１２１に接続され、従来のボルテージ・レギュレータと同様の動作をする。
【００１６】
一方、バッテリ１１０を逆に接続した場合、Ｐｃｈトランジスタ１０６、１０８は、共にＯＦＦする。Ｐｃｈトランジスタ１０６がＯＦＦすると、Ｐｃｈトランジスタ１０３の基板（ｗｅｌｌ）は、フローティングとなる。従来のボルテージ・レギュレータでは、寄生ダイオード１０３Ｄを介して、ＶＯＵＴ端子１２２とＶＤＤ端子１２１が接続されるが、図１のボルテージ・レギュレータでは、Ｐｃｈトランジスタ１０６の寄生ダイオード１０６Ｄが逆方向になり、ＶＯＵＴ端子１２２からＶＤＤ端子１２１に逆流することはない。
【００１７】
また、Ｐｃｈトランジスタ１０８の寄生ダイオード１０８Ｄによって、図５の誤差増幅器の寄生ダイオードの７０１Ｄ、７０３Ｄ及び、７０２Ｄ、７０４Ｄによる電流をブロックすることができる。
【００１８】
ここで、誤差増幅器１０２及び、基準電圧回路１０１の正極電源に接続されるＰｃｈトランジスタの基板（ｗｅｌｌ）は、ソースと接続し、Ｐｃｈトランジスタ１０８のソースに接続する必要がある。
【実施例２】
【００１９】
図２に、第二の実施例のボルテージ・レギュレータの回路図である。図１のボルテージ・レギュレータとの違いは、Ｐｃｈトランジスタ１０７が追加されている点である。図２に示すように、バッテリ１１０が正常に接続された場合は、Ｐｃｈトランジスタ１０７は、ＯＦＦするので、従来のボルテージ・レギュレータと同じ動作をする。
【００２０】
一方、バッテリ１１０を逆に接続した場合、Ｐｃｈトランジスタ１０７は、ＯＮするので、Ｐｃｈトランジスタ１０３の基板（ｗｅｌｌ）は、第一の実施例の場合、フローティングになるのに対して、第二の実施例では、ＶＯＵＴ端子と同じ電位になる。一般に、フローティングの基板（ｗｅｌｌ）が存在する場合、ノイズ等により基板電位が振られて、ラッチアップが発生する危険性があるが、第二の実施例の場合、基板電位が振られることなく、ラッチアップの危険性が少なくなる。
【００２１】
また、第一の実施例において、Ｐｃｈトランジスタ１０６のリーク電流によって、Ｐｃｈトランジスタ１０３の寄生ダイオード１０３ＤがＯＮすると、Ｐｃｈトランジスタ１０３のＶＤＤ端子側をコレクタとする寄生ｐｎｐトランジスタがＯＮして、ＶＯＵＴ端子からＶＤＤ端子に電流が流れるが、第二の実施例であれば、Ｐｃｈトランジスタ１０７が、

ＯＮすることで、Ｐｃｈトランジスタ１０３の寄生ダイオード１０３ＤがＯＮすることはないので、前記寄生ｐｎｐトランジスタによる電流が流れることはない。

【００２２】

図３に、Ｐｃｈトランジスタ１０６及び１０７の断面図を示す。Ｐ型基板（Ｐｓｕｂ）上にＮ型基板（Ｎｗｅｌｌ）を形成し、その中に、Ｐｃｈトランジスタ１０６及び１０７が設けられている。Ｐｃｈトランジスタ１０６は、ゲートがＶＳＳ端子（Ｐ型基板）に接続され、ドレインがＶＤＤ端子に接続されている。Ｐｃｈトランジスタ１０７は、ゲートがＶＤＤ端子に接続され、ドレインがＶＯＵＴ端子に接続されている。Ｐｃｈトランジスタ１０６及び１０７のソースとＮ型基板（Ｎｗｅｌｌ）は、図示しないＰｃｈトランジスタ１０３のＮ型基板（Ｎｗｅｌｌ）と同じ電位に、共通に接続されている。

【００２３】

以上説明したように、本発明のボルテージ・レギュレータでは、バッテリ１１０の正負を逆に接続した時にも、大電流が流れることのない、ボルテージ・レギュレータを提供することができる。

【００２４】

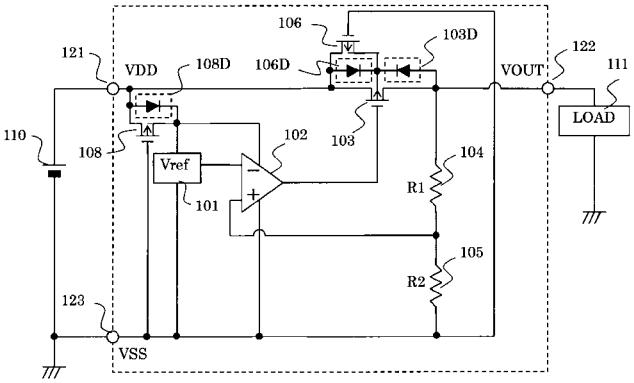
尚、図５では、代表的な１段増幅の差動増幅回路を例として示したが、本発明のボルテージ・レギュレータの誤差増幅回路は、この回路構成にとらわれることがなく、どのような回路構成であっても同様の効果が得られる。

【符号の説明】

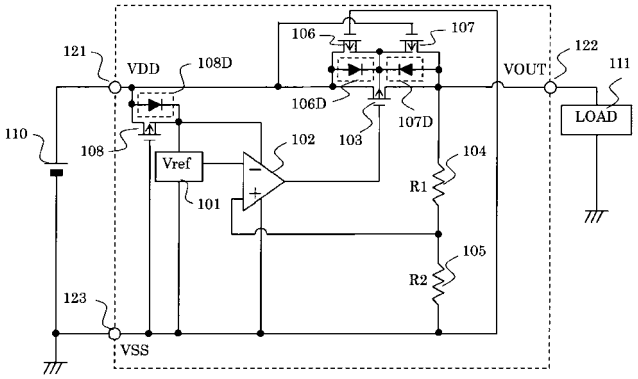
【００２５】

１０１　基準電圧回路
１０２　誤差増幅器
１０３　Ｐｃｈトランジスタ
１０６　Ｐｃｈトランジスタ
１０６Ｄ　Ｐｃｈトランジスタ１０６の寄生ダイオード
１０７　Ｐｃｈトランジスタ
１０７Ｄ　Ｐｃｈトランジスタ１０７の寄生ダイオード
１０８　Ｐｃｈトランジスタ
１０８Ｄ　Ｐｃｈトランジスタ１０８の寄生ダイオード
１１０　バッテリ１１０
１１１　負荷
１２１　ＶＤＤ端子
１２２　ＶＯＵＴ端子（出力端子）
１２３　ＶＳＳ端子（ＧＮＤ）

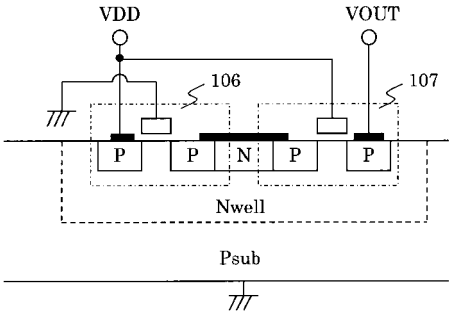
【図１】


121
VDD
108D
106
106D
103D
VOUT
122
111
LOAD
110
108
Vref
101
102
103
104
R1
105
R2
123
VSS

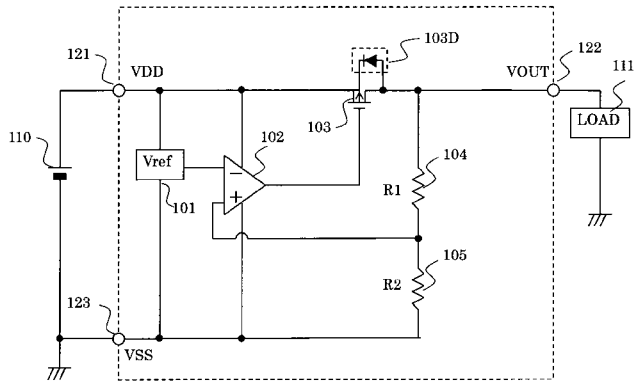
【図２】


121
VDD
108D
106
107
106D
107D
103
VOUT
122
111
LOAD
110
108
Vref
101
102
104
R1
105
R2
123
VSS

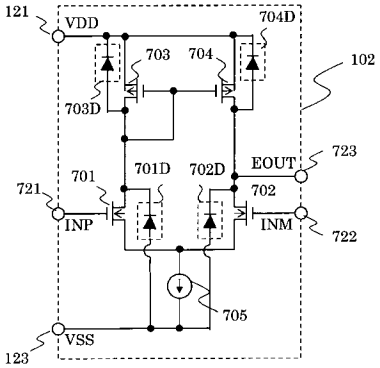
【図３】


VDD
VOUT
106
107
P
P
N
P
P
Nwell
Psub

【図４】


121
VDD
103D
VOUT
122
111
LOAD
110
Vref
101
102
103
104
R1
105
R2
123
VSS

【図５】


121
VDD
704D
703
704
102
703D
701
701D
702D
EOUT
723
721
INP
INM
702
722
705
VSS
123