



(21) 申请号 201910867426.X

H04J 3/06 (2006.01)

(22) 申请日 2019.09.12

(56) 对比文件

(65) 同一申请的已公布的文献号

US 2013287155 A1, 2013.10.31

申请公布号 CN 112486246 A

US 2002110155 A1, 2002.08.15

(43) 申请公布日 2021.03.12

US 5859550 A, 1999.01.12

(73) 专利权人 中兴通讯股份有限公司

审查员 刘一佳

地址 518057 广东省深圳市南山区高新技

术产业园科技南路中兴通讯大厦

(72) 发明人 续博雄

(74) 专利代理机构 广州嘉权专利商标事务所有

限公司 44205

专利代理师 麦广林

(51) Int. Cl.

G06F 1/12 (2006.01)

G06F 1/10 (2006.01)

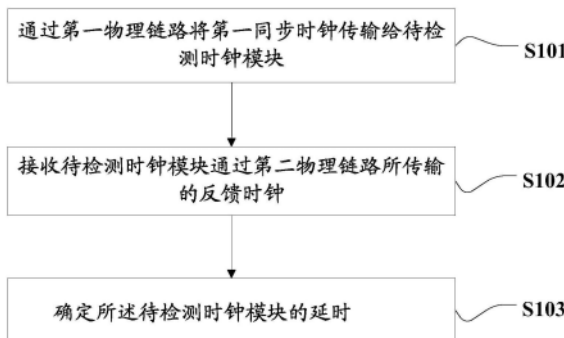
权利要求书3页 说明书20页 附图12页

(54) 发明名称

时钟延时检测、补偿方法、装置、终端及可读  
存储介质

(57) 摘要

本发明实施例提供一种时钟延时检测、补偿方法、装置、终端及可读存储介质,该时钟延时检测方法通过第一物理链路将第一同步时钟传输给待检测时钟模块,接收待检测时钟模块通过第二物理链路所传输的根据第一同步时钟的相位调整后的反馈时钟,进而通过反馈时钟、自还回时钟以及第一物理链路所对应的延时参数以及所述第二物理链路所对应的延时参数来确定待检测时钟模块的延时。本发明还提供了一种时钟延时检测、补偿方法、装置、终端及可读存储介质,通过将主时钟模块本身存在的延时以及由于第一物理链路和第二物理链路的物理特性导致的延时均计算在内,可以进一步降低检测交换机设备时钟分发带来的延时的误差,从而提高时钟延时检测的精度。



1. 一种时钟延时检测方法,其特征在于,所述时钟延时检测方法包括:  
通过第一物理链路将第一同步时钟传输给待检测时钟模块;  
接收所述待检测时钟模块通过第二物理链路所传输的反馈时钟,所述反馈时钟是将所述待检测时钟模块的当前时钟调整至与所述第一同步时钟的相位相同后所得到的时钟;  
确定所述待检测时钟模块的延时,所述延时根据所述反馈时钟、自还回时钟以及延时参数确定,所述延时参数包括所述第一物理链路所对应的延时参数以及所述第二物理链路所对应的延时参数;  
其中,所述确定所述待检测时钟模块的延时包括:  
获取所述反馈时钟与所述自还回时钟之间的相位关系;  
根据所述相位关系确定对应的延时值;  
获取所述延时参数,所述延时参数根据所述第一物理链路与所述第二物理链路的走线距离和板卡物理板材参数确定;  
根据所述延时值与所述延时参数确定所述延时。
2. 如权利要求1所述的时钟延时检测方法,其特征在于,所述获取所述反馈时钟与所述自还回时钟间的相位关系包括:  
选取反馈时钟中的时钟数据与所述自还回时钟进行鉴相,确定所述相位关系。
3. 如权利要求1所述的时钟延时检测方法,其特征在于,所述获取所述反馈时钟与所述自还回时钟之间的相位关系,根据所述相位关系确定对应的延时值包括:  
获取所述反馈时钟与所述自还回时钟之间的至少两个相位关系,根据所述至少两个相位关系确定对应的至少两个延时值。
4. 如权利要求3所述的时钟延时检测方法,其特征在于,所述根据所述延时值与所述延时参数确定所述延时包括:  
对所述至少两个延时值按照预设规则进行处理后得到一个处理后延时值;  
根据所述处理后延时值与所述延时参数确定所述延时。
5. 如权利要求1-4任一项所述的时钟延时检测方法,其特征在于,所述确定所述待检测时钟模块的延时之前,还包括:  
获取以下数据中至少之一:所述待检测时钟模块的工作状态、所述待检测时钟模块的温度、所述待检测时钟模块的电压、所述待检测时钟模块是否存在手动配置;  
若存在以下至少一种情况:所述工作状态为中断、所述温度超过温度预设阈值、所述电压超过电压预设阈值、存在手动配置;  
则,确定所述待检测时钟的延时。
6. 一种时钟延时补偿方法,其特征在于,包括:  
获取如权利要求1-5任一项所述的延时;  
将所述延时补偿到所述延时所对应的待检测时钟模块。
7. 如权利要求6所述的时钟延时补偿方法,其特征在于,所述将所述延时补偿到所述延时所对应的待检测时钟模块包括:  
通过管理接口将所述延时补偿到所述待检测时钟模块的常量延时存储器中,所述待检测时钟模块在后续时钟同步计算时将所述延时去除;  
或,

修改第二同步时钟的相位,使所述待检测时钟模块所接收到所述第二同步时钟已补偿所述延时,所述第二同步时钟为对所述第一同步时钟根据所述延时进行调整后得到的时钟;

或,

根据所述延时,修改所述待检测时钟模块的本地时钟的输出相位。

8.一种时钟延时检测装置,其特征在于,所述时钟延时检测装置包括:

主时钟模块、第一物理链路、第二物理链路和待检测时钟模块;

所述主时钟模块包括发送模块、接收模块和计算模块,其中:

所述发送模块用于通过第一物理链路将第一同步时钟传输给待检测时钟模块;

所述接收模块用于接收所述待检测时钟模块通过第二物理链路所传输的反馈时钟,所述反馈时钟是将所述待检测时钟模块的当前时钟调整至与所述第一同步时钟的相位相同后所得到的时钟;

所述计算模块用于确定所述待检测时钟模块的延时,所述延时根据所述反馈时钟、自还回时钟以及延时参数确定,所述延时参数包括所述第一物理链路所对应的延时参数以及所述第二物理链路所对应的延时参数;

其中,所述计算模块包括:第一计算子模块、第二计算子模块、第三计算子模块和第四计算子模块,其中

所述第一计算子模块用于获取所述反馈时钟与所述自还回时钟之间的相位关系;

所述第二计算子模块用于根据所述相位关系确定对应的延时值;

所述第三计算子模块用于获取所述延时参数,所述延时参数根据所述第一物理链路与所述第二物理链路的走线距离和板卡物理板材参数确定;

所述第四计算子模块用于根据所述延时值与所述延时参数确定所述延时。

9.如权利要求8所述的时钟延时检测装置,其特征在于,所述第一计算子模块用于获取所述反馈时钟与所述自还回时钟之间的相位关系包括:

所述第一计算子模块选取反馈时钟中的时钟数据与所述自还回时钟进行鉴相,确定所述相位关系。

10.如权利要求8所述的时钟延时检测装置,其特征在于,

所述第一计算子模块用于获取所述反馈时钟与所述自还回时钟之间的至少两个相位关系;

所述第二计算子模块用于根据所述至少两个相位关系确定对应的至少两个延时值。

11.如权利要求10所述的时钟延时检测装置,其特征在于,所述第四计算子模块用于对所述至少两个延时值按照预设规则进行处理后得到一个处理后延时值;根据所述处理后延时值与所述延时参数确定所述延时。

12.如权利要求8-11任一项所述的时钟延时检测装置,其特征在于,所示时钟延时检测装置还包括:判断模块,

所述判断模块用于在所述计算模块确定所述待检测时钟模块的延时之前:

获取以下数据中至少之一:所述待检测时钟模块的工作状态、所述待检测时钟模块的工作状态、所述待检测时钟模块的温度、所述待检测时钟模块的电压、所述待检测时钟模块是否存在手动配置;

若存在以下至少一种情况:所述工作状态为中断、所述温度超过温度预设阈值、所述电压超过电压预设阈值、存在手动配置;

则,所述计算模块确定所述待检测时钟的延时。

13.一种时钟延时补偿装置,其特征在于,所述时钟延时补偿装置包括如权利要求8-12任一项所述的时钟延时检测装置和补偿模块;

所述补偿模块用于获取所述时钟延时检测装置所检测到的所述延时,将所述延时补偿到所述延时所对应的待检测时钟模块。

14.如权利要求13所述的时钟延时补偿装置,其特征在于,所述补偿模块还包括:

第一补偿模块,用于通过管理接口将所述延时补偿到所述待检测时钟模块的常量延时存储器中,所述待检测时钟模块在后续时钟同步计算时将所述延时去除;

或,

第二补偿模块,用于修改第二同步时钟的相位,使所述待检测时钟模块所接收到所述第二同步时钟已补偿所述延时,所述第二同步时钟为对所述第一同步时钟根据所述延时进行调整后得到的时钟;

或,

第三补偿模块,用于根据所述延时,修改所述待检测时钟模块的本地时钟的输出相位。

15.一种终端,其特征在于,所述终端包括:第一处理器、第一存储器及第一通信总线;

所述第一通信总线用于实现第一处理器和第一存储器之间的连接通信;

所述第一处理器用于执行第一存储器中存储的一个或者多个第一计算机程序,以实现如权利要求1至5任一项所述的时钟延时检测方法的步骤。

16.一种终端,其特征在于,所述终端包括:第二处理器、第二存储器及第二通信总线;

所述第二通信总线用于实现第二处理器和第二存储器之间的连接通信;

所述第二处理器用于执行第二存储器中存储的一个或者多个第二计算机程序,以实现如权利要求6或7任一项所述的时钟延时补偿方法的步骤。

17.一种可读存储介质,其特征在于,所述可读存储介质存储有一个或者多个第一计算机程序,所述一个或者多个第一计算机程序可被一个或者多个第一处理器执行,以实现如权利要求1至5中任一项所述的时钟延时检测方法的步骤;

或,

所述可读存储介质存储有一个或者多个第二计算机程序,所述一个或者多个第二计算机程序可被一个或者多个第二处理器执行,以实现如权利要求6或7中任一项所述的时钟延时补偿方法的步骤。

## 时钟延时检测、补偿方法、装置、终端及可读存储介质

### 技术领域

[0001] 本发明实施例涉及但不限于通信技术领域,具体而言,涉及但不限于一种时钟延时检测、补偿方法、装置、终端及可读存储介质。

### 背景技术

[0002] 随着网络吞吐量的不断提高,大容量交换机的业务卡种类、机架槽位越来越多。交换机整机时钟的系统架构,通常由一个主时钟分发的同步时钟网络构成,各个业务卡的从时钟通过背板接收主时钟下发的同步时钟,并同步其频率和相位。由于主时钟到不同槽位间背板、连接器的走线长短都不相同,同步时钟抵达每一个业务卡都存在不同的延时误差,误差范围从几纳秒到几百纳秒,导致不同槽位间业务卡的相位都与主时钟基准相位存在延时误差,这种误差使得交换机在高精度时钟同步场景无法使用。

[0003] 现有的通信设备主要是采用传统手动补偿同步时钟延时相位的方式,是通过具有时间、相位检测功能的仪器,测量主时钟模块的同步时钟信号跨越背板,到业务卡从时钟直至被同步芯片上的延时时间,然后以定量常值的方式在业务启动时进行补偿,这种补偿方式仍然存在纳秒级别以上的误差,因为在不同的温度条件下、不同的供电电压情况下,相同的走线传递延时都不同;即使是在相同的温度条件下、相同的供电电压情况下,由于生产工艺的原因,在不同批次生产的单板上,由于线宽控制不一致的问题、阻抗匹配不一致等问题,导致手动补偿的方式的很难确定真实延时,仅能将几十至几百纳秒的误差范围缩小到几纳秒的误差范围,其检测的延时误差仍然较大,只满足了高精度时钟同步应用场景,但是对于超高精度时钟同步应用场景来说,这种延时检测及补偿方式在设备上误差仍然很大,需要将延时误差进一步减小。

### 发明内容

[0004] 本发明实施例提供的一种时钟延时检测、补偿方法、装置、终端及可读存储介质,主要解决的技术问题是如何进一步降低交换机设备时钟分发带来的延时的检测误差,从而提高时钟延时检测的精度。

[0005] 为解决上述技术问题,本发明实施例提供一种时钟延时检测方法,包括:

[0006] 通过第一物理链路将第一同步时钟传输给待检测时钟模块;

[0007] 接收所述待检测时钟模块通过第二物理链路所传输的反馈时钟,所述反馈时钟是将所述待检测时钟模块的当前时钟调整至与所述第一同步时钟的相位相同后所得到的时钟;

[0008] 确定所述待检测时钟模块的延时,所述延时根据所述反馈时钟、自还回时钟以及延时参数确定,所述延时参数包括所述第一物理链路所对应的延时参数以及所述第二物理链路所对应的延时参数。

[0009] 本发明实施例还提供了一种时钟延时补偿方法,包括:

[0010] 获取上述任一项实施例所述的延时;

- [0011] 将所延时补偿到所述延时所对应的待检测时钟模块。
- [0012] 本发明实施例还提供了一种时钟延时检测装置,所述时钟延时检测装置包括:
- [0013] 主时钟模块、第一物理链路、第二物理链路和待检测时钟模块;
- [0014] 所述主时钟模块包括发送模块、接收模块和计算模块,其中:
- [0015] 所述发送模块用于通过第一物理链路将第一同步时钟传输给待检测时钟模块;
- [0016] 所述接收模块用于接收所述待检测时钟模块通过第二物理链路所传输的反馈时钟,所述反馈时钟是将所述待检测时钟模块的当前时钟调整至与所述第一同步时钟的相位相同后所得到的时钟;
- [0017] 所述计算模块用于确定所述待检测时钟模块的延时,所述延时根据所述反馈时钟、自还回时钟以及延时参数确定,所述延时参数包括所述第一物理链路所对应的延时参数以及所述第二物理链路所对应的延时参数。
- [0018] 本发明实施例还提供了一种时钟延时补偿装置,该装置包括:
- [0019] 如上述任一项实施例所述的时钟延时检测装置和补偿模块;
- [0020] 所述补偿模块用于获取所述时钟延时检测装置所检测到的所述延时,将所述延时补偿到所述延时所对应的待检测时钟模块。
- [0021] 本发明实施例还提供了一种终端,所述终端包括:第一处理器、第一存储器及第一通信总线;
- [0022] 所述第一通信总线用于实现第一处理器和第一存储器之间的连接通信;
- [0023] 所述第一处理器用于执行第一存储器中存储的一个或者多个第一计算机程序,以实现如上述任一项实施例所述的时钟延时检测方法的步骤。
- [0024] 本发明实施例还提供了一种终端,所述终端包括:第二处理器、第二存储器及第二通信总线;
- [0025] 所述第二通信总线用于实现第二处理器和第二存储器之间的连接通信;
- [0026] 所述第二处理器用于执行第二存储器中存储的一个或者多个第二计算机程序,以实现如上述任一项实施例所述的时钟延时补偿方法的步骤。
- [0027] 本发明实施例还提供一种可读存储介质,所述可读存储介质存储有一个或者多个第一计算机程序,所述一个或者多个第一计算机程序可被一个或者多个第一处理器执行,以实现如上述任一项所述的时钟延时检测方法的步骤;
- [0028] 或,
- [0029] 所述可读存储介质存储有一个或者多个第二计算机程序,所述一个或者多个第二计算机程序可被一个或者多个第二处理器执行,以实现如上述任一项实施例所述的时钟延时补偿方法的步骤。
- [0030] 本发明的有益效果是:
- [0031] 本发明实施例提供的一种时钟延时检测、补偿方法、装置、终端及可读存储介质,其中时钟延时检测方法通过第一物理链路将第一同步时钟传输给待检测时钟模块,接收待检测时钟模块通过第二物理链路所传输的根据第一同步时钟的相位调整后的反馈时钟,进而通过反馈时钟、自还回时钟以及第一物理链路所对应的延时参数以及所述第二物理链路所对应的延时参数来确定待检测时钟模块的延时。通过将主时钟模块本身存在的延时以及由于第一物理链路和第二物理链路的物理特性导致的延时均计算在内,可以进一步降低检

测交换机设备时钟分发带来的延时的误差,从而提高时钟延时检测的精度。进一步地,本发明实施例还提供了一种时钟延时补偿方法,通过将上述时钟延时检测方法所得到的延时补偿给待检测时钟模块,进而可以实现提升时钟同步的精确性,降低时钟同步的误差。

[0032] 本发明其他特征和相应的有益效果在说明书的后面部分进行阐述说明,且应当理解,至少部分有益效果从本发明说明书中的记载变的显而易见。

## 附图说明

- [0033] 图1为本发明实施例一提供的一种延时检测方法的流程示意图;
- [0034] 图2为本发明实施例二提供的一种延时补偿方法的流程示意图;
- [0035] 图3为本发明实施例三提供的一种机架式交换机的拓扑示意图;
- [0036] 图4为本发明实施例三提供的一种时钟延时检测、补偿的拓扑示意图;
- [0037] 图5为本发明实施例三提供的一种时钟延时检测、补偿硬件架构的装置图;
- [0038] 图6为本发明实施例三提供的一种具体的时钟延时检测、补偿方法的流程示意图;
- [0039] 图7为本发明实施例三提供的另一种时钟延时检测、补偿的拓扑示意图;
- [0040] 图8为本发明实施例三提供的另一种时钟延时检测、补偿硬件架构的装置图;
- [0041] 图9为本发明实施例三提供的另一种具体的时钟延时检测、补偿方法的流程示意图;
- [0042] 图10为本发明实施例三提供的另一种时钟延时检测、补偿的拓扑示意图;
- [0043] 图11为本发明实施例三提供的另一种时钟延时检测、补偿硬件架构的装置图;
- [0044] 图12为本发明实施例三提供的另一种具体的时钟延时检测、补偿方法的流程示意图;
- [0045] 图13为本发明实施例四提供的一种时钟延时检测装置的结构示意图;
- [0046] 图14为本发明实施例五提供的一种时钟延时补偿装置的结构示意图;
- [0047] 图15为本发明实施例六提供的一种终端的结构示意图;
- [0048] 图16为本发明实施例七提供的另一种终端的结构示意图。
- [0049] 附图中各标记分别为:H1、主时钟模块;H2、从时钟模块;H3、传递链路,在主时钟和从时钟之间具有上行与下行两条通道;H4、存储模块;H5、温度传感器;H6、电压传感器;C1、主时钟模块的时钟芯片;C2、CPU芯片;C3、FLASH;C4、从时钟模块的时钟芯片;C5、MAC交换芯片;C6、温度传感器;C7、电压传感器;L1与L3与L5、时钟下行通道;L2与L4、时钟上行通道。

## 具体实施方式

[0050] 为了使本发明的目的、技术方案及优点更加清楚明白,下面通过具体实施方式结合附图对本发明实施例作进一步详细说明。应当理解,此处所描述的具体实施例仅仅用以解释本发明,并不用于限定本发明。

[0051] 实施例一:

[0052] 请参见图1,本实施例提供的一种时钟延时检测方法包括:

[0053] S101:通过第一物理链路将第一同步时钟传输给待检测时钟模块;

[0054] S102:接收待检测时钟模块通过第二物理链路所传输的反馈时钟;

[0055] S103:确定所述待检测时钟模块的延时。

[0056] 在一些实施例中,本发明实施例中的时钟延时检测方法应用于交换机设备,该交换机设备包括但不限于:主时钟模块,传递链路,待检测时钟模块、存储模块;

[0057] 其中,主时钟模块是交换机设备中核心时钟模块,其功能上可以接受例如时间服务器、GPS天线、BITS时钟、1588模块等时钟装置及设备同步,也可以与内部的装置及设备如syncE时钟、TOD相位、时间等信息等进行同步,并且具有时钟处理、同步、分发等功能。硬件上可以是专用的时钟芯片,也可以是具有时钟同步功能的网络处理器或是单片机、现场可编程门阵列处理器等等,数量上可以是一个也可以是多个,种类上可以是一种也可以是几种混合使用,是一种能够有能力处理并分发同步时钟的模块。

[0058] 传递链路是一种承载信号的传输介质。其硬件上可以使电路板,也可以是连接器,还可以是光纤、网线等信号传输介质。在本发明实施例中,传递链路分为作为下行传递链路的第一物理链路和作为上行传递链路的第二物理链路两条物理链路,从主时钟模块传递至待检测时钟模块,再由待检测时钟模块同步后传回主时钟模块,形成闭环反馈。

[0059] 待检测时钟模块是交换机设备中分布的时钟模块,也即从时钟模块,其功能上接受主时钟模块授时,并同步其频率或相位,使得业务卡时钟与主时钟模块同步。其硬件上专用的时钟芯片,也可以是网络处理器或是单片机、现场可编程门阵列处理器等等,数量上可以是一个也可以是多个,种类上可以是一种也可以是几种混合使用,通常在交换机中,待检测时钟模块的数量可以为一个或者多个。相应的,传递链路也可以为一组或多组。

[0060] 存储模块,可以是易失性的也可以是非易失性的具有存储功能的存储器、DDR、FIFO、数组表、寄存器等,数量上可以是一个也可以是多个,种类上可以是一种也可以是几种混合使用。

[0061] 在一些实施例中,反馈时钟是将待检测时钟模块的当前时钟调整至与第一同步时钟的相位相同后所得到的时钟。具体的实现方式可以为待检测时钟模块接收到主时钟模块所发送的第一同步时钟后,将其自身的输出时钟与第一同步时钟进行锁定,将输出时钟与第一同步时钟做锁相环零延时校正,使得输入和输出的时钟同相,此时,待检测时钟将校正后的输出时钟作为反馈时钟,反馈给主时钟模块。其中,输出时钟与第一同步时钟的频率可以不相同,但频偏相等。需要说明的是,本发明实施例中待检测时钟模块采用了锁相环零延时的功能进行相位校正,当然也可以不使用锁相环零延时的功能进行相位校正,后续通过算法也可以将此误差校正,对于本领域的技术人员来讲,在不付出创造性劳动的情况下,可以通过多种方式完成从时钟模块的误差修正。

[0062] 需要说明的是反馈时钟的时钟频率并不固定为某一特定频率,频率可以设置为1赫兹,也可以设置为几千赫兹或是几兆、几十兆赫兹等等,当然也可以设置为下行同步时钟频率的倍数关系,本领域的技术人员可以根据实际情况调整。第二物理链路可以是一条,也可以是多条,本发明实施例中不特定指使用多少数量的第二物理链路,本领域的技术人员可以根据实际情况调整。

[0063] 在一些实施例中,延时根据反馈时钟、自还回时钟以及延时参数确定,延时参数包括第一物理链路所对应的延时参数以及第二物理链路所对应的延时参数。需要说明的是,自还回时钟为主时钟模块的自还回时钟。该自还回时钟的获取可以是通过在主时钟模块中增加一条自身的反馈线来获取,也可以是使用主时钟模块时钟芯片内部反馈的方式获取自还回时钟。

[0064] 需要说明的是,同步时钟的时钟频率可以是不固定为某一特定频率,频率可以设置为1赫兹,当然也可以设置为几千赫兹或是几兆、几十兆赫兹等等,本领域的技术人员可以根据实际情况调整。第一物理链路可以是一条,也可以是多条,本发明实施例中不特定指使用多少数量的第一物理链路,本领域的技术人员可以根据实际情况调整。

[0065] 在一些实施例中,通常情况下第一物理链路和第二物理链路采用相同型号的板卡物理板材,但本发明实施例中的第一物理链路和第二物理链路也可以采用不同型号的板卡物理板材。

[0066] 在一些实施例中,确定待检测时钟模块的延时包括:获取反馈时钟与自返回时钟之间的相位关系;根据相位关系确定对应的延时值;获取延时参数,延时参数根据第一物理链路和第二物理链路的走线距离和板卡物理板材参数确定;根据延时值与延时参数确定延时。

[0067] 在一些实施例中,获取反馈时钟与自返回时钟间的相位关系包括:

[0068] 选取反馈时钟中的时钟数据与自返回时钟进行鉴相,确定相位关系。

[0069] 在一些实施例中,主时钟模块中的主时钟芯片通过其内部的一个鉴相器,将反馈时钟的某一个时钟数据与自返回时钟进行鉴相,得到相位差,完成单次延时采样。

[0070] 在一些实施例中,获取反馈时钟与自返回时钟之间的相位关系,根据相位关系确定对应的延时值包括:

[0071] 获取反馈时钟与自返回时钟之间的至少两个相位关系,根据至少两个相位关系确定对应的至少两个延时值。

[0072] 在一些实施例中,主时钟模块中的主时钟芯片通过其内部的一个鉴相器,将反馈时钟的至少两个时钟数据与自返回时钟进行鉴相,得到相位差,完成延时采样。例如,1秒中鉴相4000次,则有4000个样本可以被采集,也即,得到了4000个相位关系,根据这4000各相位关系可以得到4000个延时值。这4000个延时值可能完全不相同,也可能部分相同部分不相同,还有极低的概率可能发生4000个延时值均相同的情况。需要说明的是,鉴相器的数量可以是一个,也可以是多个鉴相器,加快相位关系的采集速率。本领域的技术人员可以根据实际情况进行调整。

[0073] 在一些实施例中,本领域的技术人员还可以根据时钟芯片的特殊功能,不采用外部反馈鉴相的方式,而使用时钟芯片内部反馈的方式进行鉴相。鉴相的方式有很多种,比如用高倍时钟计数器累计脉冲个数测量,也可以是使用异或门进行测量等等,本实施例并不限定某一种鉴相方式,对于本领域的技术人员来讲,在不付出创造性劳动的情况下,可以通过多种方式完成时钟延时测量过程。鉴相的频率也不限定于1秒鉴相4000次,当然可以是几秒钟1次或者一秒钟几万次,本领域的技术人员可以根据实际情况进行调整。

[0074] 在一些实施例中,根据延时值与延时参数确定延时包括:

[0075] 对至少两个延时值按照预设规则进行处理后得到一个处理后延时值;

[0076] 根据处理后延时值与延时参数确定延时。

[0077] 在一些实施例中,由于得到了多个延时值,此时可以先将多个延时值存储在存储模块中,待完成所有的采样数据记录,也即获取到全部所需要的反馈时钟与自返回时钟之间的相位关系,根据相位关系确定对应的延时值后,再读取上述各个延时值,按照预设规则进行处理后得到一个处理后延时值。需要说明的是,预设规则可以是取样计算方法,取平均

值计算、平滑滤波运算、比例积分运算等等,本实施例并不限定使用哪一种运算方式、滤波方式完成对延时的运算,对于本领域的技术人员来讲,在不付出创造性劳动的情况下,可以通过多种方式完成时钟处理后延时值的运算过程。

[0078] 在一些实施例中,当第一物理链路与第二物理链路的板卡物理板材参数相同时,且其处在相同的使用环境中时,其各自的延时参数仅与其各自的走线距离有关。

[0079] 需要说明的是,板卡物理板材参数除了与其生产工艺所导致的线宽控制、阻抗匹配有关外,还与其使用的温度、供电电压有关。

[0080] 在一些实施例中,确定待检测时钟模块的延时之前,还包括:

[0081] 获取以下数据中至少之一:待检测时钟模块的工作状态、待检测时钟模块的温度、待检测时钟模块的电压、待检测时钟模块是否存在手动配置;

[0082] 若存在以下至少一种情况:工作状态为中断、温度超过温度预设阈值、电压超过电压预设阈值、存在手动配置;

[0083] 则,确定待检测时钟的延时。

[0084] 在一些实施例中,主时钟模块中可以从反馈时钟中感知信号有无、功率大小、时钟频率等信息并进行标记,一个主时钟模块可以与多个待检测时钟模块相连接,当存在多个待检测时钟模块时,主时钟模块可以通过各个待检测时钟模块所反馈的反馈时钟读取到各个待检测时钟模块的综合信息,并进行判断,得到待检测时钟模块的工作情况,进而也可以得到待检测时钟所在业务卡的工作情况。另外,主时钟模块还可以将各个待检测时钟模块所在的业务卡的在位情况以及时钟状态、精度信息等及时反馈给操作系统控制层面管理接口。可以理解的是,上述各信息也可以被操作系统控制层面管理接口读取。

[0085] 通过检测是否存在以下各种情况中至少之一是否存在:待检测时钟模块的工作状态、待检测时钟模块的温度、待检测时钟模块的电压、待检测时钟模块是否存在手动配置等,可以不用反复测量延时,而是根据上述情况存在时再触发测量延时,可以达到降低功耗的目的。

[0086] 本发明实施例提供的一种时钟延时检测方法,通过第一物理链路将第一同步时钟传输给待检测时钟模块,接收待检测时钟模块通过第二物理链路所传输的根据第一同步时钟的相位调整后的反馈时钟,进而通过反馈时钟、自返回时钟以及第一物理链路所对应的延时参数以及所述第二物理链路所对应的延时参数来确定待检测时钟模块的延时。本发明实施例所提供的时钟延时检测方法,通过将主时钟模块本身存在的延时以及由于第一物理链路和第二物理链路的物理特性导致的延时均计算在内,可以进一步降低检测交换机设备时钟分发带来的延时的误差,从而提高时钟延时检测的精度。

[0087] 进一步地,在确定延时参数时,将第一物理链路以及第二物理链路的板卡物理板材参数考量在内,可以进一步降低由于制作工艺的细微差别导致第一物理链路、第二物理链路的线宽控制、阻抗匹配与单一预设标准延时实质上并不一致所导致的误差。还可以减低由于不同的温度条件、供电电压条件下,第一物理链路以及第二物理链路的实际导致的延时与预设标准延时实质上并不一致所导致的误差。

[0088] 进一步地,在确定待检测时钟模块的延时之前,还需要获取待检测时钟模块的工作状态、待检测时钟模块的温度、待检测时钟模块的电压、待检测时钟模块是否存在手动配置等数据,进一步判断当存在包括但不限于以下情况时,才继续确定待检测时钟模块的延

时:工作状态为中断、温度超过温度预设阈值、电压超过电压预设阈值、存在手动配置。可以避免由于连续的进行延时测量,所导致的资源浪费。进一步提升检测效率。同时也可以起到当交换设备处于温度不稳定的环境,或供电波动较大的环境时,本发明所使用的方法可以及时发现延时变化,并自动检测延时,提升延时检测的精度。

[0089] 实施例二:

[0090] 请参见图2,本实施例提供一种时钟延时补偿方法包括:

[0091] S201、获取上述任一项实施例所述的延时;

[0092] S202、将延时补偿到延时所对应的待检测时钟模块。

[0093] 需要说明的是,将延时补偿到延时所对应的待检测时钟模块可以采用手动补偿的方式,也可以采用自动补偿的方式。

[0094] 在一些实施例中,将延时补偿到延时所对应的待检测时钟模块中,补偿的方式包括但不限于以下方式:

[0095] 通过管理接口将延时补偿到待检测时钟模块的常量延时存储器中,待检测时钟模块在后续时钟同步计算时将延时去除;

[0096] 或,

[0097] 修改第二同步时钟的相位,使待检测时钟模块所接收到第二同步时钟已补偿延时,第二同步时钟为对第一同步时钟根据延时进行调整后得到的时钟;

[0098] 或,

[0099] 修改待检测时钟模块的本地时钟的输出相位补偿所述延时。

[0100] 可以理解上述给到的几种补偿方式的实施例均为自动补偿的方式。具体的,自动补偿的方式可以为:

[0101] 主时钟模块通过管理接口如SGMII、MLVDS、IIC、SPI线等方式将延时自动补偿到待检测时钟模块常量延时存储器中,后续待检测时钟模块在时钟同步计算时将常量延时去除;

[0102] 直接修改主时钟模块发送给到任一待检测时钟模块的第一同步时钟的相位;

[0103] 直接修改待检测时钟模块的本地时钟输出相位,使之与第一同步时钟相位对齐;

[0104] 需要说明的是,对于本领域的技术人员来讲,在不付出创造性劳动的情况下,还可以通过多种方式完成时钟延时自动补偿过程。

[0105] 本发明实施例所提供的一种时钟延时补偿方法,通过获取上述任一实施例中所提供的延时,将其补偿给到待检测时钟,可以根据精度较高的延时,补偿给待检测时钟,使得时钟同步精度的可靠性得到保证。

[0106] 进一步的,本发明实施例还提供一种自动补偿延时的实施例,通过自动补偿的方式,可以极大的减小了手动补偿带来的不可控的延时误差,提升延时误差精度,大幅提升了交换设备的时钟同步精度

[0107] 第三实施例

[0108] 下面以上述实施例所提供的方法应用在机架式交换机的应用场景为例,对上述各实施例所提供的时钟延时检测、补偿方法进行具体的说明。

[0109] 需要说明的是,本发明所提供的各方法并不仅限于应用在机架式交换机上,以下仅是做一种示例性说明。其他的采用物理链路传送同步时钟的交换机设备也适用于本发明

所提供的方法。

[0110] 参见图3,图3是一种机架式交换机的拓扑示意图。该交换机由一个主控卡和多个业务卡构成。

[0111] 参见图4,图4是一种时钟延时检测、补偿的拓扑示意图,该装置包括主时钟模块、待检测时钟模块、存储模块和第一物理链路和第二物理链路。以下为了便于说明,将待检测时钟模块称为从时钟模块,将第一物理链路称为下行链路,将第二物理链路称为上行链路。其硬件装置详细架构如图5所示,图5是图4中提供的时钟延时检测装置的硬件装置详细架构,该架构为机架式架构,由主控卡和多个业务卡组成。其中主控卡上面附带有主时钟卡,主时钟卡的主时钟模块的时钟芯片C1与CPU芯片C2构成了主时钟模块,其中CPU芯片C2为管理时钟的芯片,C3为FLASH;业务卡由从时钟模块的时钟芯片C4与MAC交换芯片C5构成了从时钟模块;L1、L2、L3、L4经由背板物理传递链路连通主控卡与多个业务卡;具体的时钟延时检测、补偿方法参见图6所示,图6是一种具体的时钟延时检测、补偿方法:

[0112] S601:主时钟模块分发第一同步时钟;

[0113] 在一些实施例中,参见图4和图5,主时钟模块分发第一同步时钟可以理解为,主控卡上的主时钟模块的时钟芯片C1通过下行链路L1、L3分别向业务卡1至业务卡N分发第一同步时钟,主时钟模块的时钟芯片C1分出一路下行链路L5,自还回至主时钟模块的时钟芯片C1输入端。

[0114] 需要说明的是,L5是一种外部反馈鉴相的方式,本领域的技术人员可以根据时钟芯片的特殊功能,去掉L5反馈线,使用时钟芯片内部反馈的方式进行鉴相,本实施例仅仅是作为一种详细说明将此反馈线标注。同样的,第一同步时钟的时钟频率并不固定为某一特定频率,频率可以设置为1赫兹,当然也可以设置为几千赫兹或是几兆、几十兆赫兹等等,本领域的技术人员可以根据实际情况调整。并且,下行链路可以是一条,也可以是多条,本实施例列举两条下行链路是为了更好的说明多业务卡时的传递情况,并不在发明中特定指使用多少数量的下行链路,本领域的技术人员可以根据实际情况调整。

[0115] S602:从时钟模块锁定第一同步时钟进行同步;

[0116] 在一些实施例中,参见图4和图5,业务卡1接收到L1下行链路的第一同步时钟后,从时钟模块的时钟芯片C4将输出L2的时钟与输入L1的第一同步时钟进行锁定,其中两时钟频率可以不相同,但是频偏相等,而后将输出时钟与输入时钟做锁相环零延时校正,使得输入和输出的时钟同相,从时钟模块的时钟芯片C4输出的与第一同步时钟同步后时钟一部分供给本地MAC交换芯片C5使用,另一部分作为反馈时钟,传输给主时钟模块。需要注意的是,本实施例中从时钟模块采用了锁相环零延时的功能进行相位校正,当然也可以不使用锁相环零延时的功能进行相位校正,后续通过算法也可以将此误差校正,对于本领域的技术人员来讲,在不付出创造性劳动的情况下,可以通过多种方式完成从时钟模块的误差修正。反馈时钟的时钟频率并不固定为某一特定频率,频率可以设置为1赫兹,也可以设置为几千赫兹或是几兆、几十兆赫兹等等,当然也可以设置为下行同步时钟频率的倍数关系,本领域的技术人员可以根据实际情况调整。

[0117] S603:从时钟模块上传反馈时钟至主时钟模块;

[0118] 在一些实施例中,参见图4和图5,从时钟模块的时钟芯片C4通过上行传递链路L2,将反馈时钟送回主时钟模块的时钟芯片C1。同样的,业务卡N也与业务卡1的流程相同,通过

上行传递链路L4将业务卡N的反馈时钟送回主时钟模块的时钟芯片C1。这里需要说明的是，上行链路可以是一条，也可以是多条，本实施例例举两条上行链路是为了更好的说明多业务卡时的传递情况，并不在发明中特定指使用多少数量的上行链路，本领域的技术人员可以根据实际情况调整。

[0119] S604:主时钟模块轮循感知并上报操作系统控制层面管理接口；

[0120] 在一些实施例中，主时钟模块的时钟芯片C1从上行链路L2、L4上行传递链路接收业务卡1、业务卡N上传过来的反馈时钟。主时钟模块的时钟芯片C1可以通过各个业务卡上行链路反馈通道反馈的时钟，感知其信号有无、功率大小、时钟频率等信息并标记。CPU芯片C2通过主时钟模块的时钟芯片C1的数据链路接口，可以读取各个时钟链路的综合信息，并进行判断，探测业务卡在位及业务卡时钟工作情况，可以将各个槽位业务卡的板卡在位情况及时钟状态、精度信息及时馈给操作系统控制层面管理接口。当然此信息也可以被操作系统控制层面管理接口读取。

[0121] S605:反馈时钟与自还回时钟采样鉴相；

[0122] 在一些实施例中，主时钟模块的时钟芯片C1通过其内部的一个鉴相器，将业务卡上行链路L2、L4中某一路反馈时钟和自还回时钟L5进行鉴相，得到相位差，完成单次延时采样。重复此步骤，可以对某一业务卡反馈的上行时钟进行反复采集延时样本，若1秒中鉴相4000次，则有4000个样本可以被采集。当采集完成后，可以将鉴相输入切换为下一路业务卡反馈的上行时钟进行鉴相，与自还回时钟L5进行鉴相，得到另一路相位差。这里的鉴相器数量以一个进行举例，当然也可以多个鉴相器，使下行同步时钟与多路业务卡反馈的上行时钟同时进行鉴相，加快采集速率，本领域的技术人员可以根据实际情况调整。使用自还回时钟L5与某一路线卡上行反馈时钟鉴相，是一种外部反馈鉴相的方式，本实施例仅仅是作为一种对鉴相方法的详细说明将此功能进行阐述，本领域的技术人员还可以根据时钟芯片的特殊功能，去掉L5反馈线，使用时钟芯片内部反馈的方式进行鉴相。鉴相的方式有很多种，比如用高倍时钟计数器累计脉冲个数测量，也可以是使用异或门进行测量等等，本实施例并不限定某一种鉴相方式，对于本领域的技术人员来讲，在不付出创造性劳动的情况下，可以通过多种方式完成时钟延时测量过程。鉴相的频率也不限定于1秒鉴相4000次，当然可以是几秒钟1次或者一秒钟几万次，本领域的技术人员可以根据实际情况进行调整。

[0123] S606:将采样样本保存至存储模块；

[0124] 在一些实施例中，CPU芯片C2将主时钟模块的时钟芯片C1采样到各个槽位业务卡的延时值，依次写入存储模块C3中保存，完成所有槽位业务卡采样数据记录。

[0125] S607:主时钟模块提取采样样本及计算延时；

[0126] 在一些实施例中，CPU芯片C2读取存储模块C3记录的延时采样样本，根据此前设置好的时钟卡到各个业务卡的上行、下行传输链路的距离，依次取样运算，得出各个业务卡槽位的延时。对于取样计算方法，可以是取平均值计算、平滑滤波运算、比例积分运算等等，本实施例并不限定使用哪一种运算方式、滤波方式完成对延时的运算，对于本领域的技术人员来讲，在不付出创造性劳动的情况下，可以通过多种方式完成时钟延时运算过程。

[0127] S608:主时钟模块补偿各业务卡延时。

[0128] 在一些实施例中，CPU芯片C2将测量出的各个业务卡延时，自动补偿到各个业务卡中。在本实施例中，是通过直接修改主时钟模块的时钟芯片C1的相位控制字，使任一槽位从

时钟模块的时钟芯片C4的输出相位与主时钟芯片自还回的相位相同。需要特别说明的是,自动补偿的方式很多,包括但不限于如下几种:1.主时钟模块通过管理接口如SGMII、MLVDS、IIC、SPI线等方式将延时自动补偿到业务卡从时钟模块常量延时存储器中,后续业务卡在时钟同步计算时将常量延时去除;2.直接修改主时钟模块到任一槽位下行同步时钟的相位;3.直接修改从时钟模块的本地时钟输出相位,使之与同步时钟相位对齐。对于本领域的技术人员来讲,在不付出创造性劳动的情况下,可以通过多种方式完成时钟延时自动补偿过程。

[0129] 需要说明的是,根据本领域技术人员的需要,此时也可以采用手动补偿的方式,就待检测模块(从时钟模块)的延时进行补偿。

[0130] 需要说明的是,如有需要可以采用多次循环上述步骤S601-S608,以获得更加精准的时钟延时补偿。

[0131] 在一些实施例中,时钟延时检测还考量到了温度因素的影响,如图7时钟延时检测、补偿拓扑示意图所示,其包括主时钟模块、从时钟模块、温度传感器、存储模块和上下行传递链路,该装置可以不再反复测量延时,而是根据需要来触发测量延时,达到降低功耗的目的。其硬件装置详细架构如附图8,延时检测、补偿流程如图9所示,具体实施流程如下:

[0132] S901:记录环境温度,设定温度预设阈值;

[0133] 如图8所示,通过CPU芯片C2记录温度传感器C6当前温度,并且设置温度预设阈值。

[0134] 需要说明的是,温度预设阈值可以为手动设定也可以为自动设定,其阈值范围可由本领域的技术人员可以根据实际情况调整。

[0135] S902:主时钟模块分发第一同步时钟;

[0136] 在一些实施例中,参见图7,主时钟模块分发第一同步时钟可以理解为,主控卡上的主时钟模块的时钟芯片C1通过下行链路L1、L3分别向业务卡1至业务卡N分发第一同步时钟,主时钟模块的时钟芯片C1分出一路下行链路L5,自还回至主时钟模块的时钟芯片C1输入端。

[0137] 需要说明的是,L5是一种外部反馈鉴相的方式,本领域的技术人员可以根据时钟芯片的特殊功能,去掉L5反馈线,使用时钟芯片内部反馈的方式进行鉴相,本实施例仅仅是作为一种详细说明将此反馈线标注。同样的,第一同步时钟的时钟频率并不固定为某一特定频率,频率可以设置为1赫兹,当然也可以设置为几千赫兹或是几兆、几十兆赫兹等等,本领域的技术人员可以根据实际情况调整。并且,下行链路可以是一条,也可以是多条,本实施例列举两条下行链路是为了更好的说明多业务卡时的传递情况,并不在发明中特定指使用多少数量的下行链路,本领域的技术人员可以根据实际情况调整。

[0138] S903:从时钟模块锁定第一同步时钟进行同步;

[0139] 在一些实施例中,参见图7,业务卡1接收到L1下行链路的第一同步时钟后,从时钟模块的时钟芯片C4将输出L2的时钟与输入L1的第一同步时钟进行锁定,其中两时钟频率可以不相同,但是频偏相等,而后将输出时钟与输入时钟做锁相环零延时校正,使得输入和输出的时钟同相,从时钟模块的时钟芯片C4输出的与第一同步时钟同步后时钟一部分供给本地MAC交换芯片C5使用,另一部分作为反馈时钟,传输给主时钟模块。需要注意的是,本实施例中从时钟模块采用了锁相环零延时的功能进行相位校正,当然也可以不使用锁相环零延时的功能进行相位校正,后续通过算法也可以将此误差校正,对于本领域的技术人员来讲,

在不付出创造性劳动的情况下,可以通过多种方式完成从时钟模块的误差修正。反馈时钟的时钟频率并不固定为某一特定频率,频率可以设置为1赫兹,也可以设置为几千赫兹或是几兆、几十兆赫兹等等,当然也可以设置为下行同步时钟频率的倍数关系,本领域的技术人员可以根据实际情况调整。

[0140] S904:从时钟模块上传反馈时钟至主时钟模块;

[0141] 在一些实施例中,参见图7,从时钟模块的时钟芯片C4通过上行传递链路L2,将反馈时钟送回主时钟模块的时钟芯片C1。同样的,业务卡N也与业务卡1的流程相同,通过上行传递链路L4将业务卡N的反馈时钟送回主时钟模块的时钟芯片C1。这里需要说明的是,上行链路可以是一条,也可以是多条,本实施例例举两条上行链路是为了更好的说明多业务卡时的传递情况,并不在发明中特定指使用多少数量的上行链路,本领域的技术人员可以根据实际情况调整。

[0142] S905:主时钟模块轮循感知并上报操作系统控制层面管理接口;

[0143] 在一些实施例中,主时钟模块的时钟芯片C1从上行链路L2、L4上行传递链路接收业务卡1、业务卡N上传过来的反馈时钟。主时钟模块的时钟芯片C1可以通过各个业务卡上行链路反馈通道反馈的时钟,感知其信号有无、功率大小、时钟频率等信息并标记。CPU芯片C2通过主时钟模块的时钟芯片C1的数据链路接口,可以读取各个时钟链路的综合信息,并进行判断,探测业务卡在位及业务卡时钟工作情况,可以将各个槽位业务卡的板卡在位情况及时钟状态、精度信息及时反馈给操作系统控制层面管理接口。当然此信息也可以被操作系统控制层面管理接口读取。

[0144] S906:反馈时钟与自还回时钟采样鉴相;

[0145] 在一些实施例中,主时钟模块的时钟芯片C1通过其内部的一个鉴相器,将业务卡上行链路L2、L4中某一路反馈时钟和自还回时钟L5进行鉴相,得到相位差,完成单次延时采样。重复此步骤,可以对某一业务卡反馈的上行时钟进行反复采集延时样本,若1秒中鉴相4000次,则有4000个样本可以被采集。当采集完成后,可以将鉴相输入切换为下一路业务卡反馈的上行时钟进行鉴相,与自还回时钟L5进行鉴相,得到另一路相位差。这里的鉴相器数量以一个进行举例,当然也可以多个鉴相器,使下行同步时钟与多路业务卡反馈的上行时钟同时进行鉴相,加快采集速率,本领域的技术人员可以根据实际情况调整。使用自还回时钟L5与某一路业务卡上行反馈时钟鉴相,是一种外部反馈鉴相的方式,本实施例仅仅是作为一种对鉴相方法的详细说明将此功能进行阐述,本领域的技术人员还可以根据时钟芯片的特殊功能,去掉L5反馈线,使用时钟芯片内部反馈的方式进行鉴相。鉴相的方式有很多种,比如用高倍时钟计数器累计脉冲个数测量,也可以是使用异或门进行测量等等,本实施例并不限定某一种鉴相方式,对于本领域的技术人员来讲,在不付出创造性劳动的情况下,可以通过多种方式完成时钟延时测量过程。鉴相的频率也不限定于1秒鉴相4000次,当然可以是几秒钟1次或者一秒钟几万次,本领域的技术人员可以根据实际情况进行调整。

[0146] S907:将采样样本保存至存储模块;

[0147] 在一些实施例中,CPU芯片C2将主时钟模块的时钟芯片C1采样到各个槽位业务卡的延时值,依次写入存储模块C3中保存,完成所有槽位业务卡采样数据记录。

[0148] S908:主时钟模块提取采样样本及计算延时;

[0149] 在一些实施例中,CPU芯片C2读取存储模块C3记录的延时采样样本,根据此前设置

好的时钟卡到各个业务卡的上行、下行传输链路的距离,依次取样运算,得出各个业务卡槽位的延时。对于取样计算方法,可以是取平均值计算、平滑滤波运算、比例积分运算等等,本实施例并不限定使用哪一种运算方式、滤波方式完成对延时的运算,对于本领域的技术人员来讲,在不付出创造性劳动的情况下,可以通过多种方式完成时钟延时运算过程。

[0150] S909:主时钟模块补偿各业务卡延时。

[0151] 在一些实施例中,CPU芯片C2将测量出的各个业务卡延时,自动补偿到各个业务卡中。在本实施例中,是通过直接修改主时钟模块的时钟芯片C1的相位控制字,使任一槽位从时钟模块的时钟芯片C4的输出相位与主时钟芯片自还回的相位相同。需要特别说明的是,自动补偿的方式很多,包括但不限于如下几种:1.主时钟模块通过管理接口如SGMII、MLVDS、IIC、SPI线等方式将延时自动补偿到业务卡从时钟模块常量延时存储器中,后续业务卡在时钟同步计算时将常量延时去除;2.直接修改主时钟模块到任一槽位下行同步时钟的相位;3.直接修改从时钟模块的本地时钟输出相位,使之与同步时钟相位对齐。对于本领域的技术人员来讲,在不付出创造性劳动的情况下,可以通过多种方式完成时钟延时自动补偿过程。

[0152] 需要说明的是,本领域技术人员也可以采用手动补偿的方式,将上述延时补偿给从时钟模块(待检测时钟模块)。

[0153] 此时,主时钟芯片C1已将计算后的延时误差补偿到各个线卡。

[0154] S910:检测是否存在超过温度预设预设、业务卡插拔、手动配置中至少之一;

[0155] 在一些实施例中,当检测到温度传感器的温度超过温度预设阈值时,CPU芯片C2触发中断,返回步骤S905;当业务卡插入、拔出时,CPU芯片C2触发中断,返回步骤S905;当管理接口,手动配置延时检测时,CPU芯片C2触发中断,返回步骤S905。以上三种中断机制仅为本实施例中的一种举例,本领域的技术人员不付出创造性劳动的情况下,可以根据实际需要进行添加和删减。

[0156] 在一些实施例中,时钟延时检测还考量到了电压因素的影响,其检测、补偿方式与上述仅受温度影响的检测、补偿方式相类似,本领域技术人员在上述温度影响的基础上很容易得到电压因素的检测、补偿方式,在此不做赘述。

[0157] 在一些实施例中,时钟延时检测、补偿方法中除了考虑到温度影响外,还考虑到了电压的影响,时钟延时检测装置在温度传感器的基础上,还提供了电压传感器,如图10提供的时钟延时检测、补偿拓扑示意图,其包含主时钟模块、从时钟模块、温度传感器、电压传感器、存储模块和上下行传递链路。不再反复测量延时,而是根据需要来触发测量延时,达到降低功耗的目的。其硬件装置详细架构如图11,延时检测、补偿流程如图12所示,具体实施例如下:

[0158] S1201:记录环境温度、电压,设定温度预设阈值、电压预设阈值;

[0159] 如图11所示,通过CPU芯片C2记录温度传感器C6当前温度,并且设置温度预设阈值。

[0160] 需要说明的是,温度预设阈值可以为手动设定也可以为自动设定,其阈值范围可由本领域的技术人员可以根据实际情况调整。

[0161] S1202:主时钟模块分发第一同步时钟;

[0162] 在一些实施例中,参见图9,主时钟模块分发第一同步时钟可以理解为,主控卡上

的主时钟模块的时钟芯片C1通过下行链路L1、L3分别向业务卡1至业务卡N分发第一同步时钟,主时钟模块的时钟芯片C1分出一路下行链路L5,自还回至主时钟模块的时钟芯片C1输入端。

[0163] 需要说明的是,L5是一种外部反馈鉴相的方式,本领域的技术人员可以根据时钟芯片的特殊功能,去掉L5反馈线,使用时钟芯片内部反馈的方式进行鉴相,本实施例仅仅是作为一种详细说明将此反馈线标注。同样的,第一同步时钟的时钟频率并不固定为某一特定频率,频率可以设置为1赫兹,当然也可以设置为几千赫兹或是几兆、几十兆赫兹等等,本领域的技术人员可以根据实际情况调整。并且,下行链路可以是一条,也可以是多条,本实施例例举两条下行链路是为了更好的说明多业务卡时的传递情况,并不在发明中特定指使用多少数量的下行链路,本领域的技术人员可以根据实际情况调整。

[0164] S1203:从时钟模块锁定第一同步时钟进行同步;

[0165] 在一些实施例中,参见图9,业务卡1接收到L1下行链路的第一同步时钟后,从时钟模块的时钟芯片C4将输出L2的时钟与输入L1的第一同步时钟进行锁定,其中两时钟频率可以不相同,但是频偏相等,而后将输出时钟与输入时钟做锁相环零延时校正,使得输入和输出的时钟同相,从时钟模块的时钟芯片C4输出的与第一同步时钟同步后时钟一部分供给本地MAC交换芯片C5使用,另一部分作为反馈时钟,传输给主时钟模块。需要注意的是,本实施例中从时钟模块采用了锁相环零延时的功能进行相位校正,当然也可以不使用锁相环零延时的功能进行相位校正,后续通过算法也可以将此误差校正,对于本领域的技术人员来讲,在不付出创造性劳动的情况下,可以通过多种方式完成从时钟模块的误差修正。反馈时钟的时钟频率并不固定为某一特定频率,频率可以设置为1赫兹,也可以设置为几千赫兹或是几兆、几十兆赫兹等等,当然也可以设置为下行同步时钟频率的倍数关系,本领域的技术人员可以根据实际情况调整。

[0166] S1204:从时钟模块上传反馈时钟至主时钟模块;

[0167] 在一些实施例中,参见图9,从时钟模块的时钟芯片C4通过上行传递链路L2,将反馈时钟送回主时钟模块的时钟芯片C1。同样的,业务卡N也与业务卡1的流程相同,通过上行传递链路L4将业务卡N的反馈时钟送回主时钟模块的时钟芯片C1。这里需要说明的是,上行链路可以是一条,也可以是多条,本实施例例举两条上行链路是为了更好的说明多业务卡时的传递情况,并不在发明中特定指使用多少数量的上行链路,本领域的技术人员可以根据实际情况调整。

[0168] S1205:主时钟模块轮循感知并上报操作系统控制层面管理接口;

[0169] 在一些实施例中,主时钟模块的时钟芯片C1从上行链路L2、L4上行传递链路接收业务卡1、业务卡N上传过来的反馈时钟。主时钟模块的时钟芯片C1可以通过各个业务卡上行链路反馈通道反馈的时钟,感知其信号有无、功率大小、时钟频率等信息并标记。CPU芯片C2通过主时钟模块的时钟芯片C1的数据链路接口,可以读取各个时钟链路的综合信息,并进行判断,探测业务卡在位及业务卡时钟工作情况,可以将各个槽位业务卡的板卡在位情况及时钟状态、精度信息及时反馈给操作系统控制层面管理接口。当然此信息也可以被操作系统控制层面管理接口读取。

[0170] S1206:反馈时钟与自还回时钟采样鉴相;

[0171] 在一些实施例中,主时钟模块的时钟芯片C1通过其内部的一个鉴相器,将业务卡

上行链路L2、L4中某一路反馈时钟和自还回时钟L5进行鉴相,得到相位差,完成单次延时采样。重复此步骤,可以对某一业务卡反馈的上行时钟进行反复采集延时样本,若1秒中鉴相4000次,则有4000个样本可以被采集。当采集完成后,可以将鉴相输入切换为下一路业务卡反馈的上行时钟进行鉴相,与自还回时钟L5进行鉴相,得到另一路相位差。这里的鉴相器数量以一个进行举例,当然也可以多个鉴相器,使下行同步时钟与多路业务卡反馈的上行时钟同时进行鉴相,加快采集速率,本领域的技术人员可以根据实际情况调整。使用自还回时钟L5与某一路线卡上行反馈时钟鉴相,是一种外部反馈鉴相的方式,本实施例仅仅是作为一种对鉴相方法的详细说明将此功能进行阐述,本领域的技术人员还可以根据时钟芯片的特殊功能,去掉L5反馈线,使用时钟芯片内部反馈的方式进行鉴相。鉴相的方式有很多种,比如用高倍时钟计数器累计脉冲个数测量,也可以是使用异或门进行测量等等,本实施例并不限定某一种鉴相方式,对于本领域的技术人员来讲,在不付出创造性劳动的情况下,可以通过多种方式完成时钟延时测量过程。鉴相的频率也不限于1秒鉴相4000次,当然可以是几秒钟1次或者一秒钟几万次,本领域的技术人员可以根据实际情况进行调整。

[0172] S1207:将采样样本保存至存储模块;

[0173] 在一些实施例中,CPU芯片C2将主时钟模块的时钟芯片C1采样到各个槽位业务卡的延时值,依次写入存储模块C3中保存,完成所有槽位业务卡采样数据记录。

[0174] S1208:主时钟模块提取采样样本及计算延时;

[0175] 在一些实施例中,CPU芯片C2读取存储模块C3记录的延时采样样本,根据此前设置好的时钟卡到各个业务卡的上行、下行传输链路的距离,依次取样运算,得出各个业务卡槽位的延时。对于取样计算方法,可以是取平均值计算、平滑滤波运算、比例积分运算等等,本实施例并不限定使用哪一种运算方式、滤波方式完成对延时的运算,对于本领域的技术人员来讲,在不付出创造性劳动的情况下,可以通过多种方式完成时钟延时运算过程。

[0176] S1209:主时钟模块补偿各业务卡延时。

[0177] 在一些实施例中,CPU芯片C2将测量出的各个业务卡延时,自动补偿到各个业务卡中。在本实施例中,是通过直接修改主时钟模块的时钟芯片C1的相位控制字,使任一槽位从时钟模块的时钟芯片C4的输出相位与主时钟芯片自还回的相位相同。需要特别说明的是,自动补偿的方式很多,包括但不限于如下几种:1.主时钟模块通过管理接口如SGMII、MLVDS、IIC、SPI线等方式将延时自动补偿到业务卡从时钟模块常量延时存储器中,后续业务卡在时钟同步计算时将常量延时去除;2.直接修改主时钟模块到任一槽位下行同步时钟的相位;3.直接修改从时钟模块的本地时钟输出相位,使之与同步时钟相位对齐。对于本领域的技术人员来讲,在不付出创造性劳动的情况下,可以通过多种方式完成时钟延时自动补偿过程。

[0178] 需要说明的是,本领域技术人员也可以将延时通过手动补偿的方式补偿给从时钟模块(待检测时钟模块)。

[0179] 此时,主时钟芯片C1已将计算后的延时误差补偿到各个线卡。

[0180] S1210:检测是否存在超过温度预设预设、超过电压预设阈值、业务卡插拔、手动配置中至少之一;

[0181] 在一些实施例中,当检测到温度传感器的温度超过阈值时,CPU芯片C2触发中断,返回步骤S1205;当检测到电压传感器的电压超过阈值时,CPU芯片C2触发中断,返回步骤

S1205;当业务卡插入、拔出时,CPU芯片C2触发中断,返回步骤S1205;当管理接口,手动配置延时检测时,CPU芯片C2触发中断,返回步骤S1205。以上四种中断机制仅为本实施例中的一种举例,本领域的技术人员不付出创造性劳动的情况下,可以根据实际需要进行添加和删减。

#### [0182] 第四实施例

[0183] 请参见图13,本实施例提供的一种时钟延时检测装置1300包括:

[0184] 主时钟模块1301、第一物理链路1302、第二物理链路1303和待检测时钟模块1304;

[0185] 主时钟模块1301包括发送模块1311、接收模块1312和计算模块1313,其中:

[0186] 发送模块1311用于通过第一物理链路1302将第一同步时钟传输给待检测时钟模块1304;

[0187] 接收模块1312用于接收待检测时钟模块1304通过第二物理链路1303所传输的反馈时钟,反馈时钟是将待检测时钟模块1304的当前时钟调整至与第一同步时钟的相位相同后所得到的时钟;

[0188] 计算模块1313用于确定待检测时钟模块1304的延时,延时根据反馈时钟、自还回时钟以及延时参数确定,延时参数包括第一物理链路1302所对应的延时参数以及第二物理链路1303所对应的延时参数。

[0189] 在一些实施例中,本发明实施例中的时钟延时检测装置可以是交换机设备,该交换机设备包括但不限于:主时钟模块,传递链路,待检测时钟模块、存储模块;

[0190] 其中,主时钟模块是交换机设备中核心时钟模块,其功能上可以接受例如时间服务器、GPS天线、BITS时钟、1588模块等时钟装置及设备同步,也可以与内部的装置及设备如syncE时钟、TOD相位、时间等信息等进行同步,并且具有时钟处理、同步、分发等功能。硬件上可以是专用的时钟芯片,也可以是具有时钟同步功能的网络处理器或是单片机、现场可编程门阵列处理器等等,数量上可以是一个也可以是多个,种类上可以是一种也可以是几种混合使用,是一种能够有能力处理并分发同步时钟的模块。

[0191] 传递链路是一种承载信号的传输介质。其硬件上可以使电路板,也可以是连接器,还可以是光纤、网线等信号传输介质。在本发明实施例中,传递链路分为作为下行传递链路的第一物理链路和作为上行传递链路的第二物理链路两条物理链路,从主时钟模块传递至待检测时钟模块,再由待检测时钟模块同步后传回主时钟模块,形成闭环反馈。

[0192] 待检测时钟模块是交换机设备中分布的时钟模块,也即从时钟模块,其功能上接受主时钟模块授时,并同步其频率或相位,使得业务卡时钟与主时钟模块同步。其硬件上专用的时钟芯片,也可以是网络处理器或是单片机、现场可编程门阵列处理器等等,数量上可以是一个也可以是多个,种类上可以是一种也可以是几种混合使用,通常在交换机中,待检测时钟模块的数量可以为一个或者多个。相应的,传递链路也可以为一组或多组。

[0193] 存储模块,可以是易失性的也可以是非易失性的具有存储功能的存储器、DDR、FIFO、数组表、寄存器等等,数量上可以是一个也可以是多个,种类上可以是一种也可以是几种混合使用。

[0194] 在一些实施例中,反馈时钟是将待检测时钟模块的当前时钟调整至与第一同步时钟的相位相同后所得到的时钟。具体的实现方式可以为待检测时钟模块接收到主时钟模块所发送的第一同步时钟后,将其自身的输出时钟与第一同步时钟进行锁定,将输出时钟与

第一同步时钟做锁相环零延时校正,使得输入和输出的时钟同相,此时,待检测时钟将校正后的输出时钟作为反馈时钟,反馈给主时钟模块。其中,输出时钟与第一同步时钟的频率可以不相同,但频偏相等。需要说明的是,本发明实施例中待检测时钟模块采用了锁相环零延时的功能进行相位校正,当然也可以不使用锁相环零延时的功能进行相位校正,后续通过算法也可以将此误差校正,对于本领域的技术人员来讲,在不付出创造性劳动的情况下,可以通过多种方式完成从时钟模块的误差修正。

[0195] 需要说明的是反馈时钟的时钟频率并不固定为某一特定频率,频率可以设置为1赫兹,也可以设置为几千赫兹或是几兆、几十兆赫兹等等,当然也可以设置为下行同步时钟频率的倍数关系,本领域的技术人员可以根据实际情况调整。第二物理链路可以是一条,也可以是多条,本发明实施例中不特定指使用多少数量的第二物理链路,本领域的技术人员可以根据实际情况调整。

[0196] 在一些实施例中,延时根据反馈时钟、自还回时钟以及延时参数确定,延时参数包括第一物理链路所对应的延时参数以及第二物理链路所对应的延时参数。需要说明的是,自还回时钟为主时钟模块的自还回时钟。该自还回时钟的获取可以是通过在主时钟模块中增加一条自身的反馈线来获取,也可以是使用主时钟模块时钟芯片内部反馈的方式获取自还回时钟。

[0197] 需要说明的是,同步时钟的时钟频率可以是不固定为某一特定频率,频率可以设置为1赫兹,当然也可以设置为几千赫兹或是几兆、几十兆赫兹等等,本领域的技术人员可以根据实际情况调整。第一物理链路可以是一条,也可以是多条,本发明实施例中不特定指使用多少数量的第一物理链路,本领域的技术人员可以根据实际情况调整。

[0198] 在一些实施例中,通常情况下第一物理链路与第二物理链路采用相同型号的板卡物理板材,但本发明实施例中的第一物理链路与第二物理链路也可以采用不同型号的板卡物理板材。

[0199] 在一些实施例中,计算模块包括:第一计算子模块、第二计算子模块、第三计算子模块和第四计算子模块,其中

[0200] 第一计算子模块用于获取反馈时钟与自还回时钟之间的相位关系;

[0201] 第二计算子模块用于根据相位关系确定对应的延时值;

[0202] 第三计算子模块用于获取延时参数,延时参数根据第一物理链路与第二物理链路的走线距离和板卡物理板材参数确定;

[0203] 第四计算子模块用于根据延时值与延时参数确定延时。

[0204] 在一些实施例中,第一计算子模块用于获取反馈时钟与自还回时钟之间的相位关系包括:

[0205] 第一计算子模块选取反馈时钟中的时钟数据与自还回时钟进行鉴相,确定相位关系。

[0206] 在一些实施例中,第一计算子模块用于获取反馈时钟与自还回时钟之间的至少两个相位关系;

[0207] 第二计算子模块用于根据至少两个相位关系确定对应的至少两个延时值。

[0208] 在一些实施例中,主时钟模块中的主时钟芯片通过其内部的一个鉴相器,将反馈时钟的至少两个时钟数据与自还回时钟进行鉴相,得到相位差,完成延时采样。例如,1秒中

鉴相4000次,则有4000个样本可以被采集,也即,得到了4000个相位关系,根据这4000各相位关系可以得到4000个延时值。这4000个延时值可能完全不相同,也可能部分相同部分不相同,还有极低的概率可能发生4000个延时值均相同的情况。需要说明的是,鉴相器的数量可以是一个,也可以是多个鉴相器,加快相位关系的采集速率。本领域的技术人员可以根据实际情况进行调整。

[0209] 在一些实施例中,本领域的技术人员还可以根据时钟芯片的特殊功能,不采用外部反馈鉴相的方式,而使用时钟芯片内部反馈的方式进行鉴相。鉴相的方式有很多种,比如用高倍时钟计数器累计脉冲个数测量,也可以是使用异或门进行测量等等,本实施例并不限定某一种鉴相方式,对于本领域的技术人员来讲,在不付出创造性劳动的情况下,可以通过多种方式完成时钟延时测量过程。鉴相的频率也不限定于1秒鉴相4000次,当然可以是几秒钟1次或者一秒钟几万次,本领域的技术人员可以根据实际情况进行调整。

[0210] 在一些实施例中,第四计算子模块用于对至少两个延时值按照预设规则进行处理后得到一个处理后延时值;根据处理后延时值与延时参数确定延时。

[0211] 在一些实施例中,由于得到了多个延时值,此时可以先将多个延时值存储在存储模块中,待完成所有的采样数据记录,也即获取到全部所需要的反馈时钟与自还回时钟之间的相位关系,根据相位关系确定对应的延时值后,再读取上述各个延时值,按照预设规则进行处理后得到一个处理后延时值。需要说明的是,预设规则可以是取样计算方法,取平均值计算、平滑滤波运算、比例积分运算等等,本实施例并不限定使用哪一种运算方式、滤波方式完成对延时的运算,对于本领域的技术人员来讲,在不付出创造性劳动的情况下,可以通过多种方式完成时钟处理后延时值的运算过程。

[0212] 在一些实施例中,当第一物理链路与第二物理链路的板卡物理板材参数相同时,且其处在相同的使用环境中时,其各自的延时参数仅与其各自的走线距离有关。

[0213] 需要说明的是,板卡物理板材参数除了与其生产工艺所导致的线宽控制、阻抗匹配有关外,还与其使用的温度、供电电压有关。

[0214] 在一些实施例中,时钟延时检测装置还包括:判断模块,

[0215] 判断模块用于在计算模块确定待检测时钟模块的延时之前:

[0216] 获取以下数据中至少之一:待检测时钟模块的工作状态、待检测时钟模块的工作状态、待检测时钟模块的温度、待检测时钟模块的电压、待检测时钟模块是否存在手动配置;

[0217] 若存在以下至少一种情况:工作状态为中断、温度超过温度预设阈值、电压超过电压预设阈值、存在手动配置;

[0218] 则,计算模块确定待检测时钟的延时。

[0219] 在一些实施例中,主时钟模块中可以从反馈时钟中感知信号有无、功率大小、时钟频率等信息并进行标记,一个主时钟模块可以与多个待检测时钟模块相连接,当存在多个待检测时钟模块时,主时钟模块可以通过各个待检测时钟模块所反馈的反馈时钟读取到各个待检测时钟模块的综合信息,并进行判断,得到待检测时钟模块的工作情况,进而也可以得到待检测时钟所在业务卡的工作情况。另外,主时钟模块还可以将各个待检测时钟模块所在的业务卡的在位情况以及时钟状态、精度信息等及时反馈给操作系统控制层面管理接口。可以理解的是,上述各信息也可以被操作系统控制层面管理接口读取。

[0220] 通过检测是否存在以下各种情况中至少之一是否存在:待检测时钟模块的工作状态、待检测时钟模块的温度、待检测时钟模块的电压、待检测时钟模块是否存在手动配置等,可以不用反复测量延时,而是根据上述情况存在时再触发测量延时,可以达到降低功耗的目的。

[0221] 本发明实施例提供的一种时钟延时检测装置,发送模块通过第一物理链路将第一同步时钟传输给待检测时钟模块,接收模块接收待检测时钟模块通过第二物理链路所传输的根据第一同步时钟的相位调整后的反馈时钟,进而计算模块通过反馈时钟、自还回时钟以及第一物理链路所对应的延时参数以及所述第二物理链路所对应的延时参数来确定待检测时钟模块的延时。本发明实施例所提供的时钟延时检测装置,通过将主时钟模块本身存在的延时以及由于第一物理链路和第二物理链路的物理特性导致的延时均计算在内,可以进一步降低检测交换机设备时钟分发带来的延时的误差,从而提高时钟延时检测的精度。

[0222] 进一步地,在确定延时参数时,将第一物理链路以及第二物理链路的板卡物理板材参数考量在内,可以进一步降低由于制作工艺的细微差别导致第一物理链路、第二物理链路的线宽控制、阻抗匹配与单一预设标准延时实质上并不一致所导致的误差。还可以减低由于不同的温度条件、供电电压条件下,第一物理链路以及第二物理链路的实际导致的延时与预设标准延时实质上并不一致所导致的误差。

[0223] 进一步地,在确定待检测时钟模块的延时之前,通过判断模块获取待检测时钟模块的工作状态、待检测时钟模块的温度、待检测时钟模块的电压、待检测时钟模块是否存在手动配置等数据,进一步判断当存在包括但不限于以下情况时,才继续确定待检测时钟模块的延时:工作状态为中断、温度超过温度预设阈值、电压超过电压预设阈值、存在手动配置。可以避免由于连续的进行延时测量,所导致的资源浪费。进一步提升检测效率。同时也可以起到当交换设备处于温度不稳定的环境,或供电波动较大的环境时,本发明所使用的方法可以及时发现延时变化,并自动检测延时,提升延时检测的精度。

[0224] 第五实施例

[0225] 请参见图14,本实施例提供的一种时钟延时补偿装置1400包括:如上述任一项的时钟延时检测装置1300和补偿模块1401;

[0226] 补偿模块1401用于获取时钟延时检测装置1300所检测到的延时,将延时补偿到延时所对应的待检测时钟模块1304。

[0227] 需要说明的是,将延时补偿到延时所对应的待检测时钟模块可以采用手动补偿的方式,也可以采用自动补偿的方式。

[0228] 在一些实施例中,补偿模块还包括:

[0229] 第一补偿模块,用于通过管理接口将延时补偿到待检测时钟模块的常量延时存储器中,待检测时钟模块在后续时钟同步计算时将延时去除;

[0230] 或

[0231] 第二补偿模块,用于修改第二同步时钟的相位,使待检测时钟模块所接收到第二同步时钟已补偿延时,第二同步时钟为对第一同步时钟根据延时进行调整后得到的时钟;

[0232] 或,

[0233] 第三补偿模块,用于根据延时,修改待检测时钟模块的本地时钟的输出相位。

[0234] 可以理解上述给到的几种补偿方式的实施例均为自动补偿的方式。具体的,自动补偿的方式可以为:

[0235] 主时钟模块通过管理接口如SGMII、MLVDS、IIC、SPI线等方式将延时自动补偿到待检测时钟模块常量延时存储器中,后续待检测时钟模块在时钟同步计算时将常量延时去除;

[0236] 直接修改主时钟模块发送给到任一待检测时钟模块的第一同步时钟的相位;

[0237] 直接修改待检测时钟模块的本地时钟输出相位,使之与第一同步时钟相位对齐;

[0238] 需要说明的是,对于本领域的技术人员来讲,在不付出创造性劳动的情况下,还可以通过多种方式完成时钟延时自动补偿过程。

[0239] 本发明实施例所提供的一种时钟延时补偿装置,通过获取上述任一实施例中所提供的延时,将其补偿给到待检测时钟,可以根据精度较高的延时,补偿给待检测时钟,使得时钟同步精度的可靠性得到保证。

[0240] 进一步的,本发明实施例还提供一种自动补偿延时的实施例,通过自动补偿的方式,可以极大的减小了手动补偿带来的不可控的延时误差,提升延时误差精度,大幅提升了交换设备的时钟同步精度

[0241] 第六实施例

[0242] 本实施例还提供了一种终端,参见图15所示,其包括第一处理器1501、第一存储器1503及第一通信总线1502,其中:

[0243] 第一通信总线1502用于实现第一处理器1501和第一存储器1503之间的连接通信;

[0244] 第一处理器1501用于执行第一存储器1503中存储的一个或者多个第一计算机程序,以实现上述各实施例中的时钟延时检测方法中的至少一个步骤。

[0245] 第七实施例:

[0246] 本实施例还提供了一种终端,参见图16所示,其包括第二处理器1601、第二存储器1603及第二通信总线1602,其中:

[0247] 第二通信总线1602用于实现第二处理器1601和第二存储器1603之间的连接通信;

[0248] 第二处理器1601用于执行第二存储器1603中存储的一个或者多个第二计算机程序,以实现上述各实施例中的时钟延时补偿方法中的至少一个步骤。

[0249] 本实施例还提供了一种计算机可读存储介质,该计算机可读存储介质包括在用于存储信息(诸如计算机可读指令、数据结构、计算机程序模块或其他数据)的任何方法或技术中实施的易失性或非易失性、可移除或不可移除的介质。计算机可读存储介质包括但不限于RAM(Random Access Memory,随机存取存储器),ROM(Read-Only Memory,只读存储器),EEPROM(Electrically Erasable Programmable read only memory,带电可擦可编程只读存储器)、闪存或其他存储器技术、CD-ROM(Compact Disc Read-Only Memory,光盘只读存储器),数字多功能盘(DVD)或其他光盘存储、磁盒、磁带、磁盘存储或其他磁存储装置、或者可以用于存储期望的信息并且可以被计算机访问的任何其他的介质。

[0250] 本实施例中的计算机可读存储介质可用于存储一个或者多个第一计算机程序,其存储的一个或者多个第一计算机程序可被第一处理器执行,以实现上述各实施例中的时钟延时检测方法的至少一个步骤;

[0251] 或,

[0252] 计算机可读存储介质存储有一个或者多个第二计算机程序,其存储的一个或者多个第二计算机程序可被一个或者多个第二处理器执行,以实现上述各实施例中的时钟延时补偿方法的步骤

[0253] 本实施例还提供了一种计算机程序(或称计算机软件),该计算机程序可以分布在计算机可读介质上,由可计算装置来执行,以实现上述各实施例中的时钟延时检测方法/时钟延时补偿方法的至少一个步骤;并且在某些情况下,可以采用不同于上述实施例所描述的顺序执行所示出或描述的至少一个步骤。

[0254] 应当理解的是,在某些情况下,可以采用不同于上述实施例所描述的顺序执行所示出或描述的至少一个步骤。

[0255] 本实施例还提供了一种计算机程序产品,包括计算机可读装置,该计算机可读装置上存储有如上所示的计算机程序。本实施例中该计算机可读装置可包括如上所示的计算机可读存储介质。

[0256] 可见,本领域的技术人员应该明白,上文中所公开方法中的全部或某些步骤、系统、装置中的功能模块/单元可以被实施为软件(可以用计算装置可执行的计算机程序代码来实现)、固件、硬件及其适当的组合。在硬件实施方式中,在以上描述中提及的功能模块/单元之间的划分不一定对应于物理组件的划分;例如,一个物理组件可以具有多个功能,或者一个功能或步骤可以由若干物理组件合作执行。某些物理组件或所有物理组件可以被实施为由处理器,如中央处理器、数字信号处理器或微处理器执行的软件,或者被实施为硬件,或者被实施为集成电路,如专用集成电路。

[0257] 此外,本领域普通技术人员公知的是,通信介质通常包含计算机可读指令、数据结构、计算机程序模块或者诸如载波或其他传输机制之类的调制数据信号中的其他数据,并且可包括任何信息递送介质。所以,本发明不限制于任何特定的硬件和软件结合。

[0258] 以上内容是结合具体的实施方式对本发明实施例所作的进一步详细说明,不能认定本发明的具体实施只局限于这些说明。对于本发明所属技术领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干简单推演或替换,都应当视为属于本发明的保护范围。

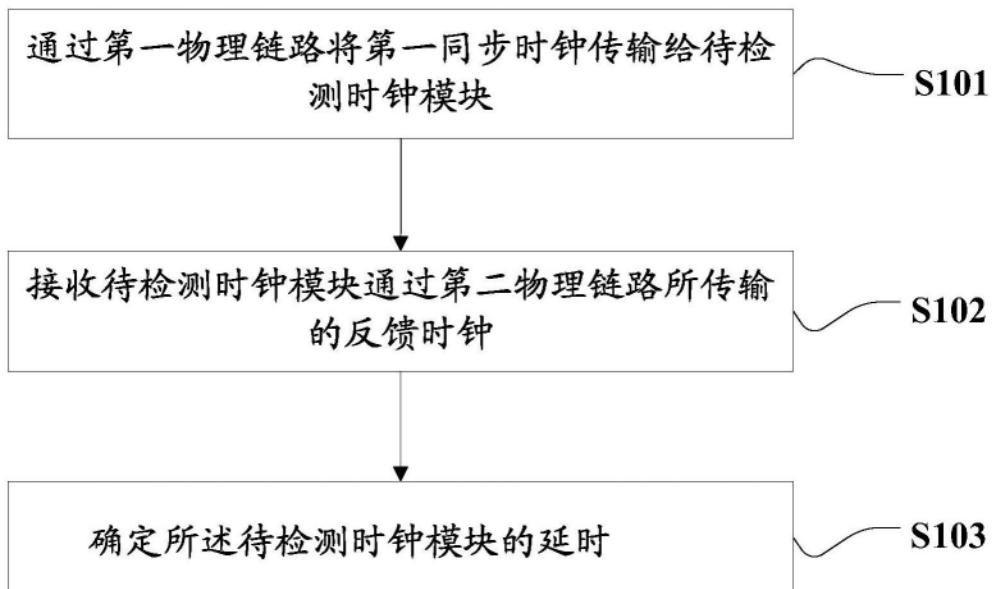


图1

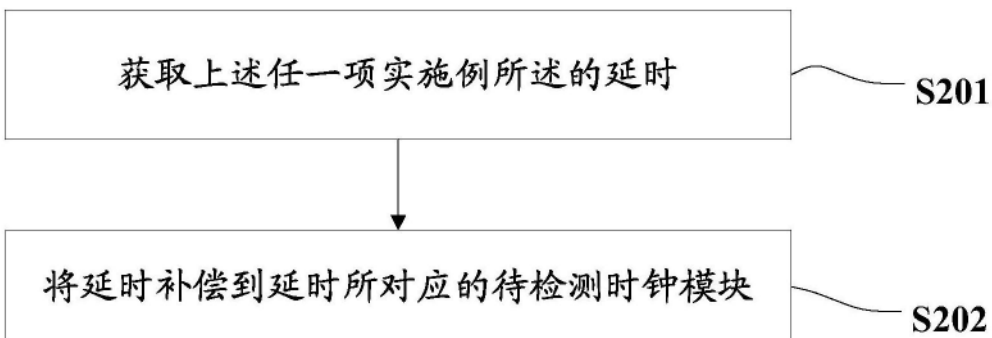


图2

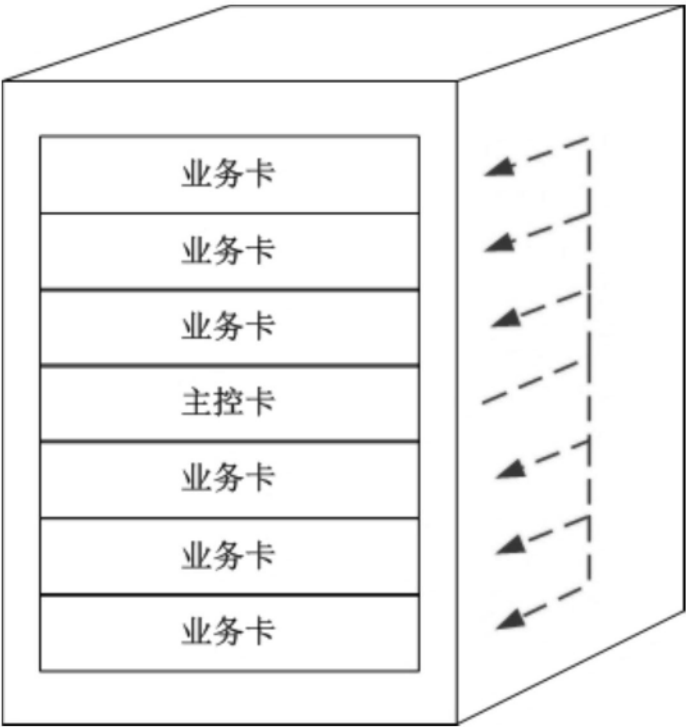


图3

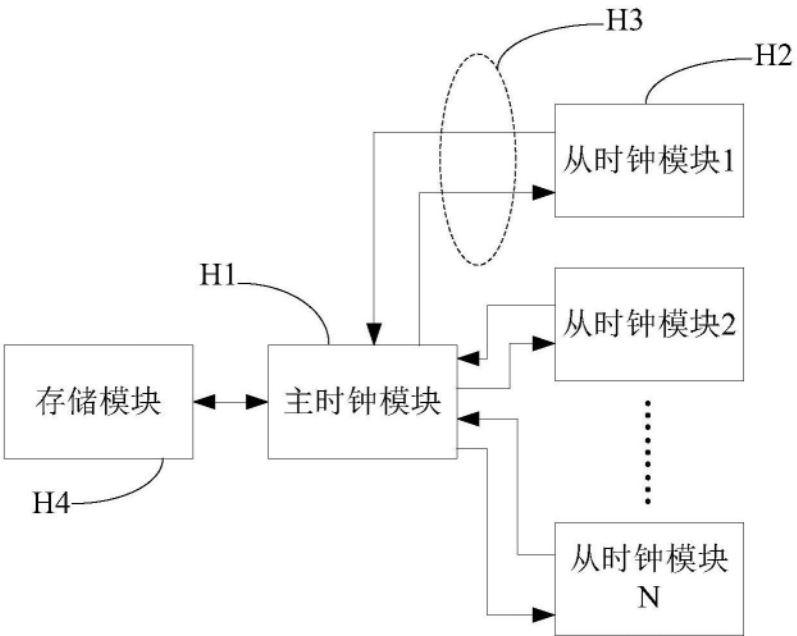


图4

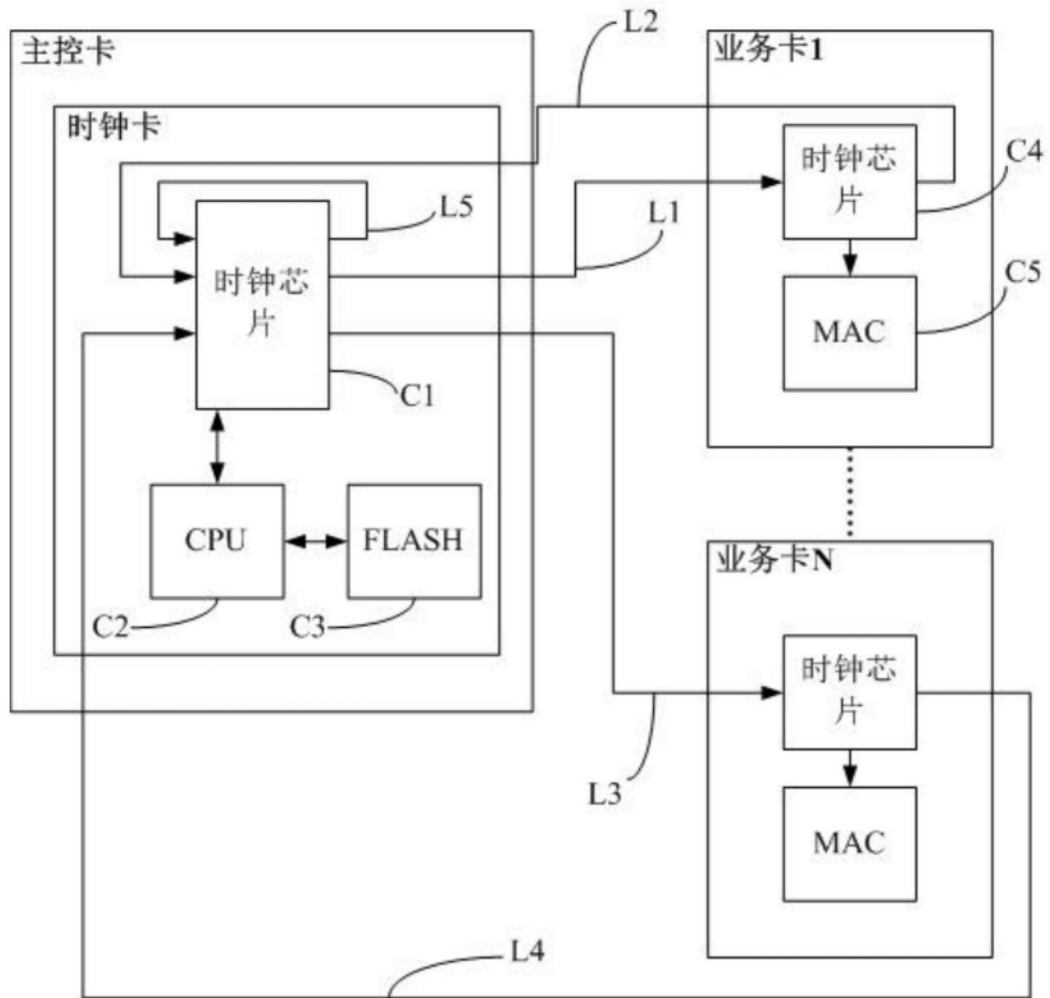


图5

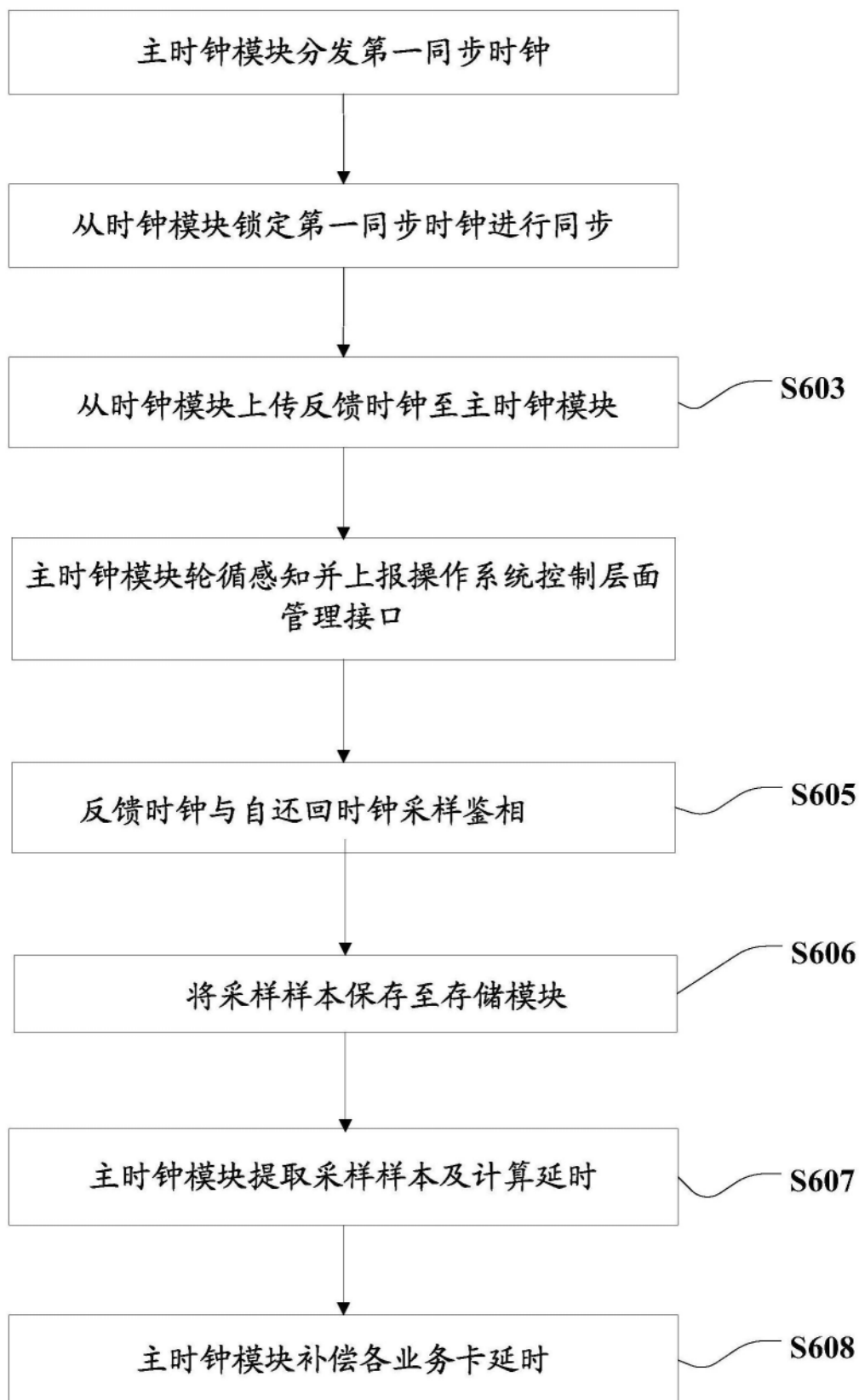


图6

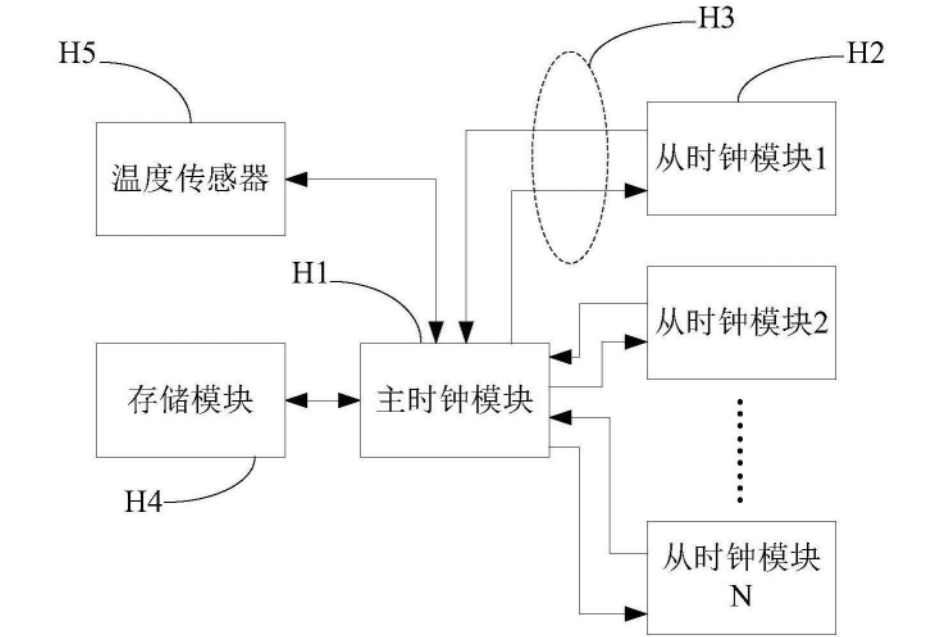


图7

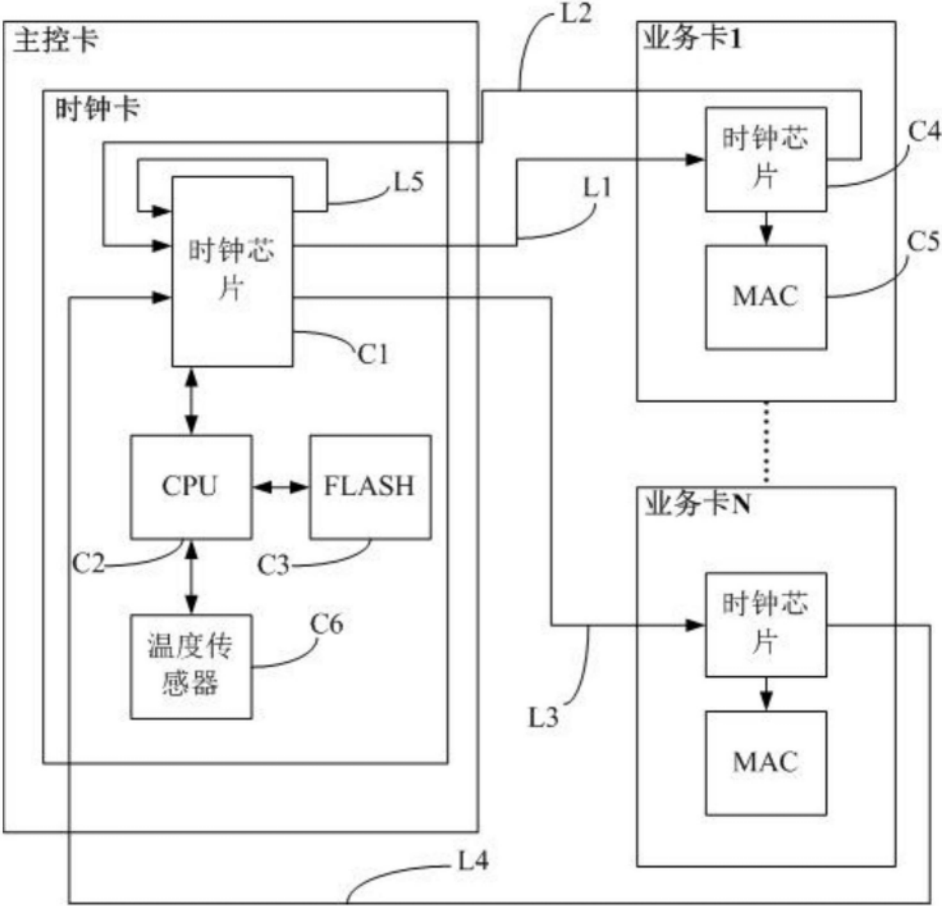


图8

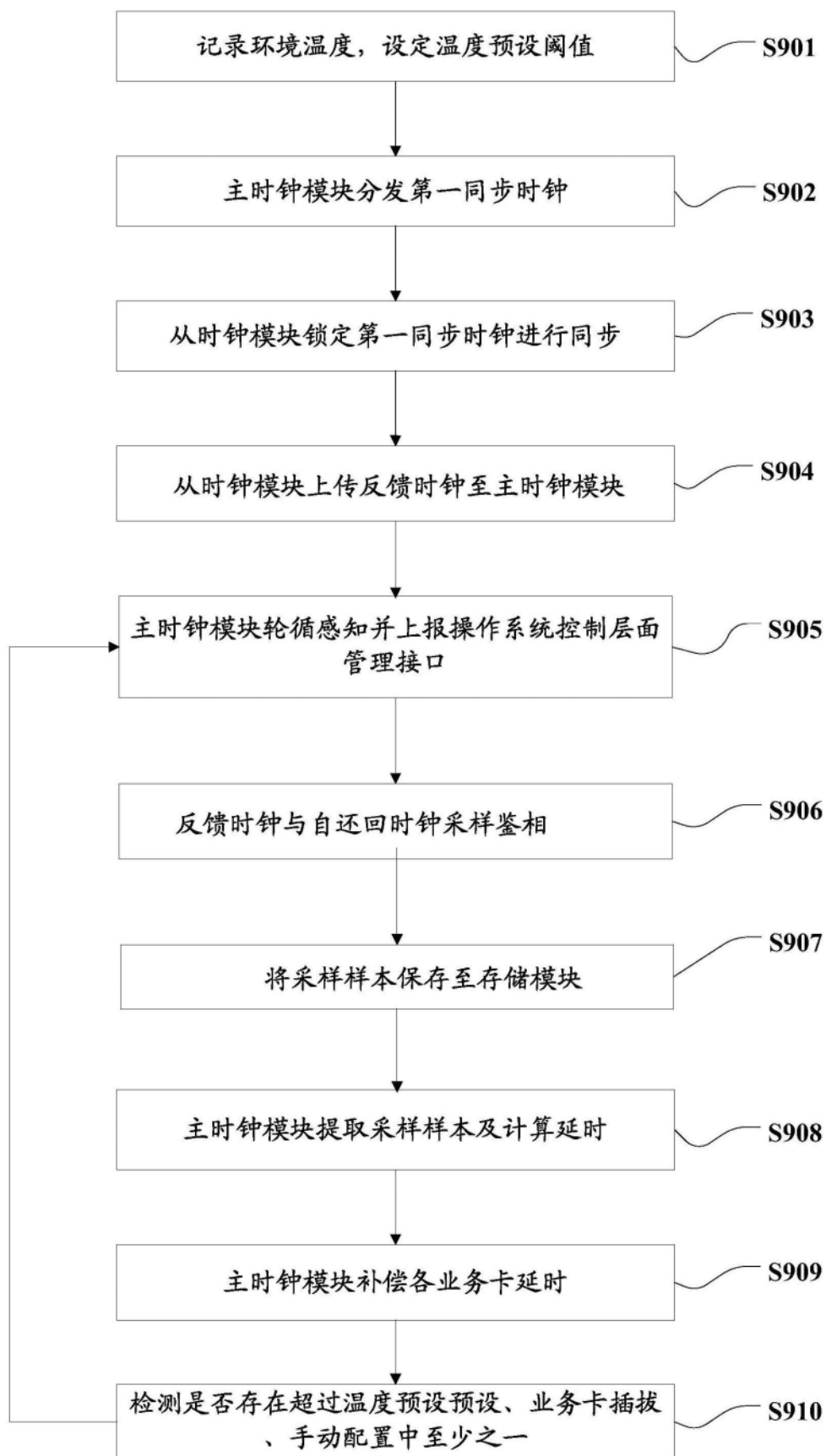


图9

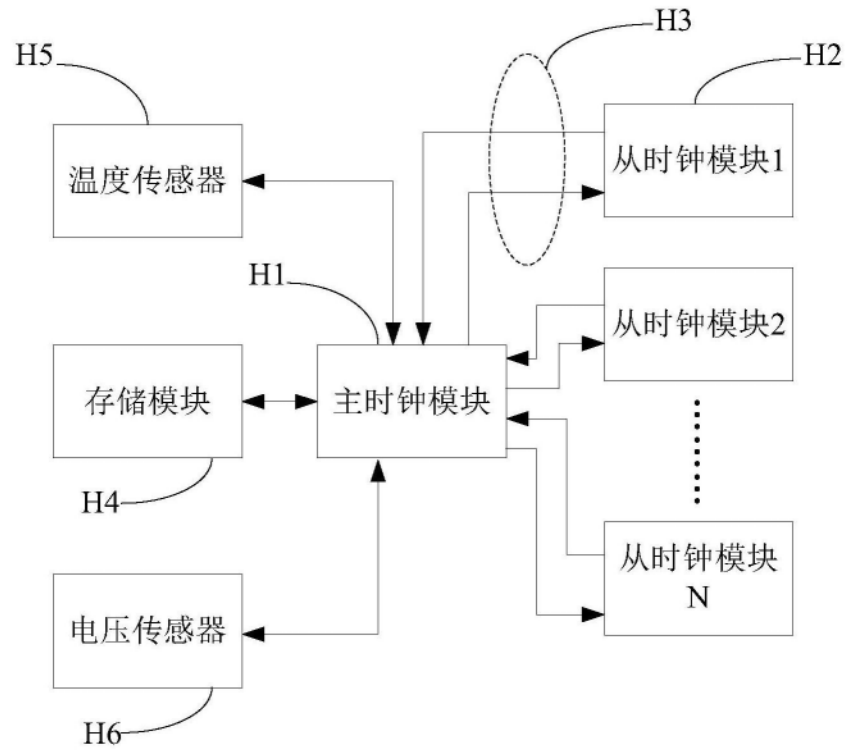


图10

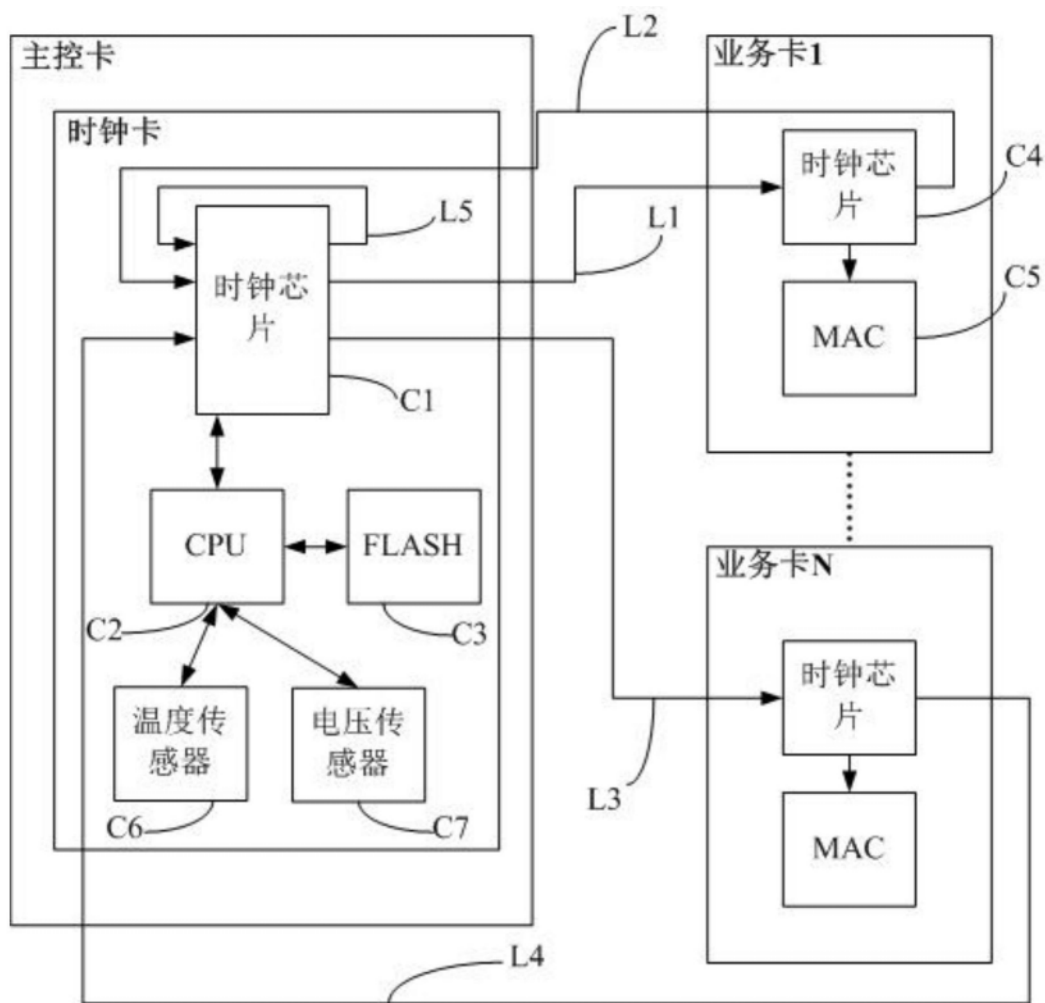


图11

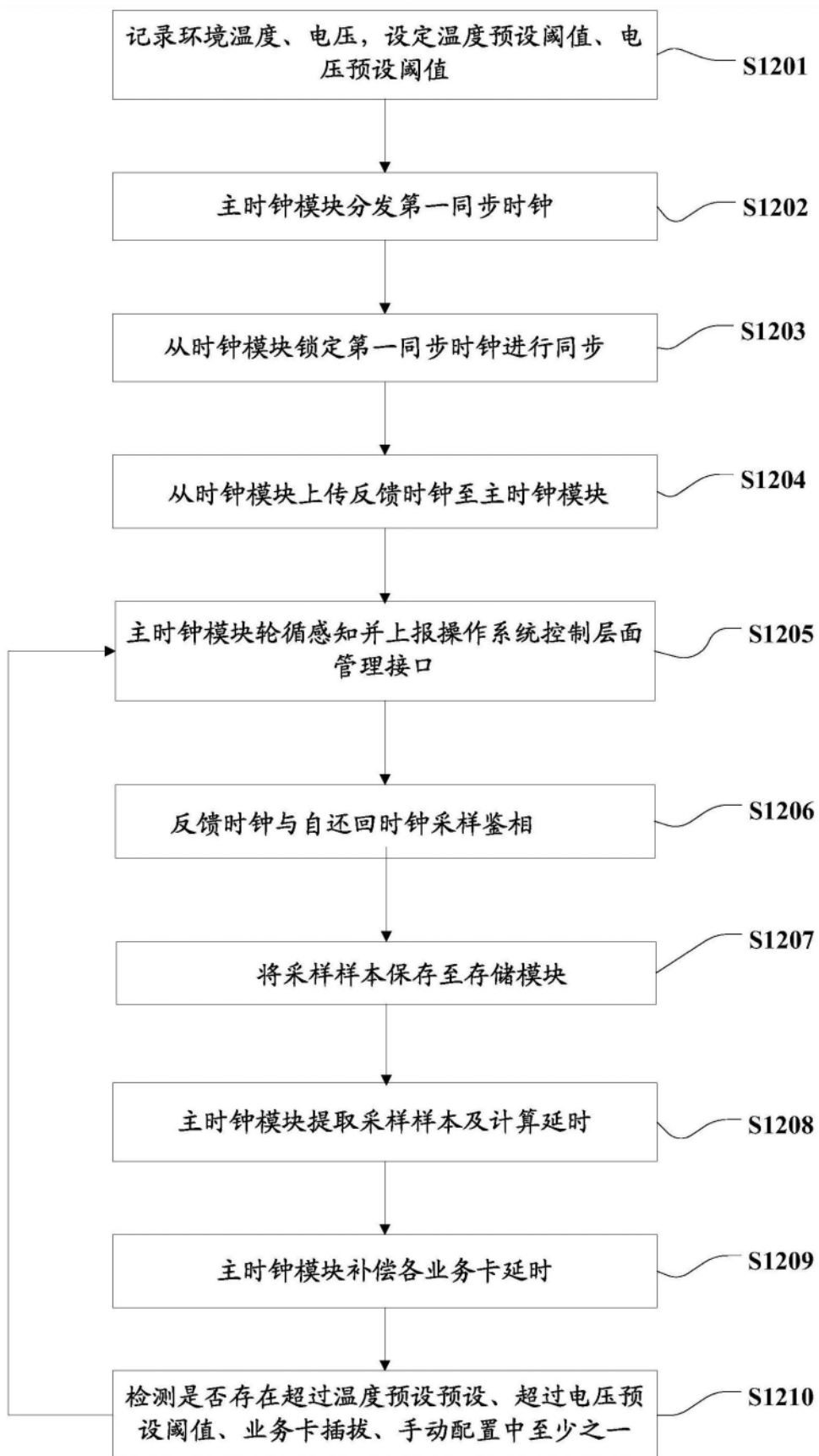


图12

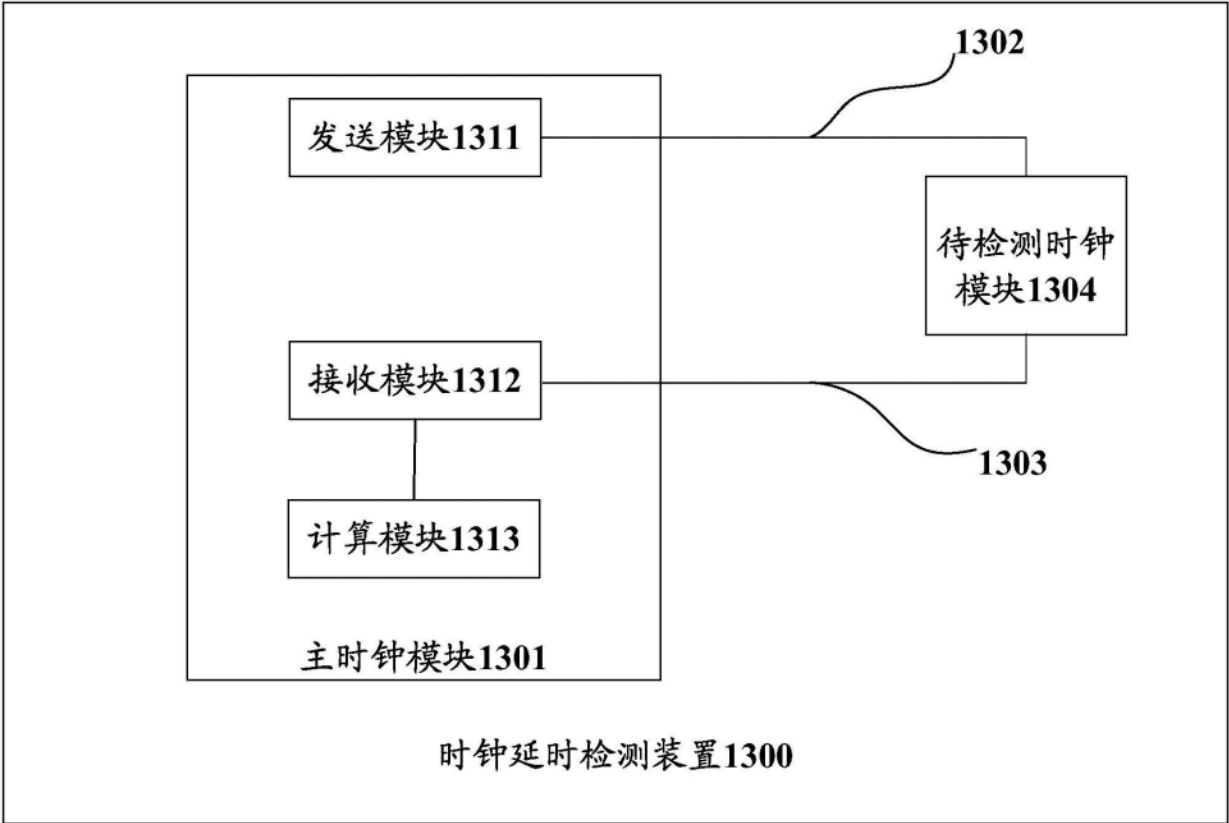


图13

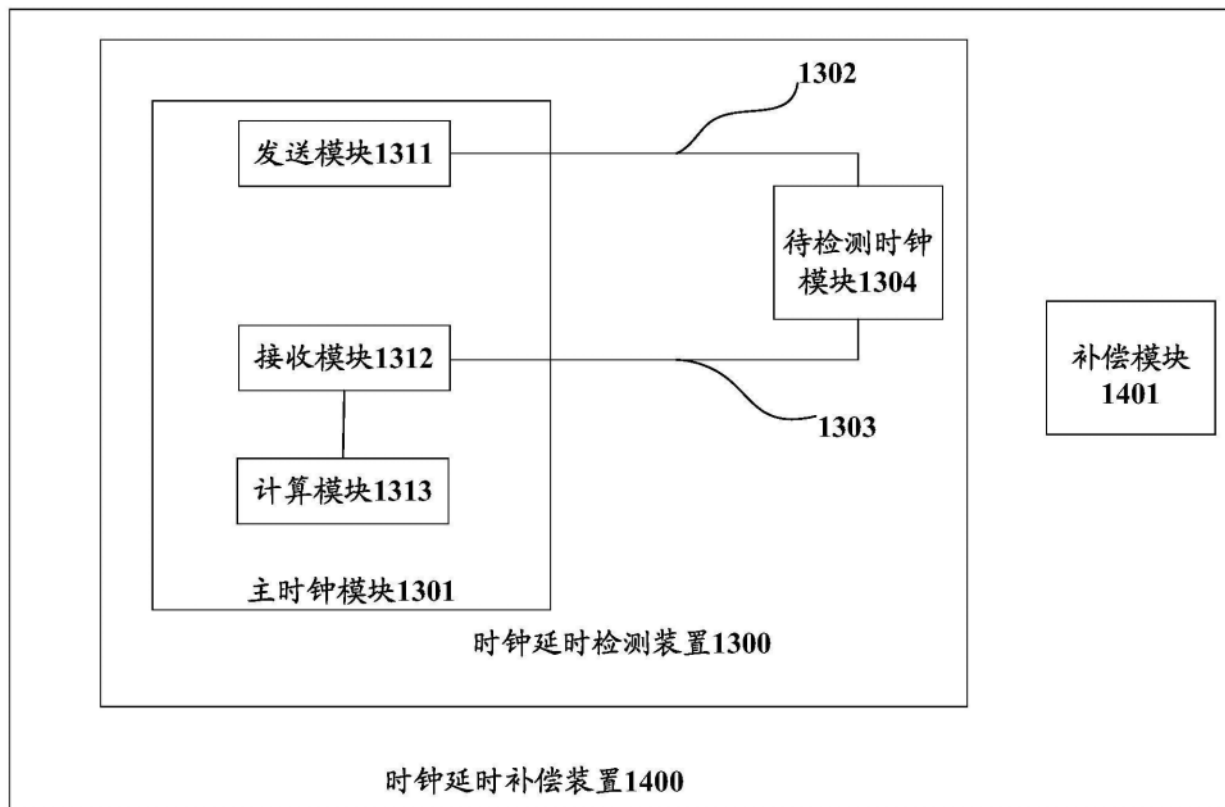


图14

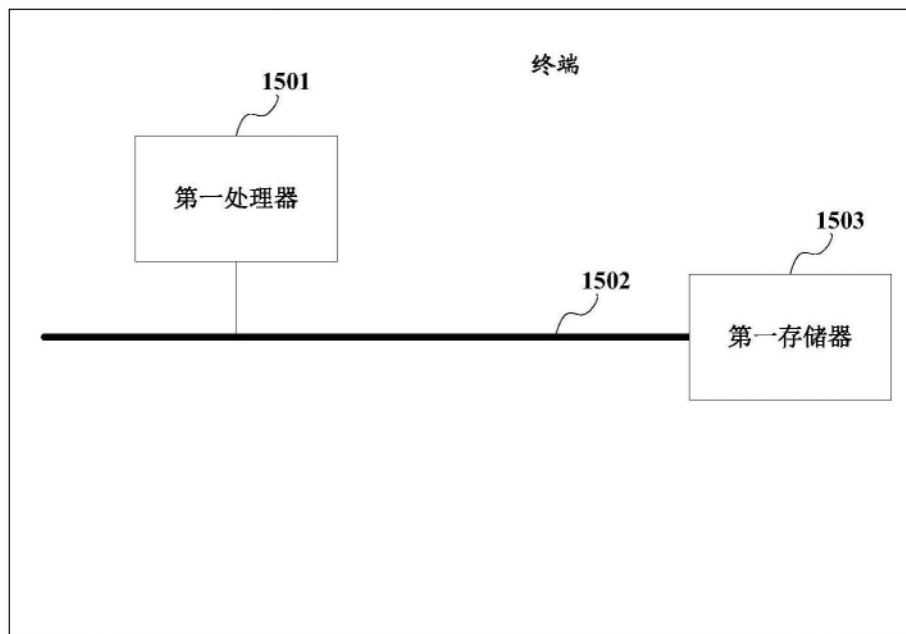


图15

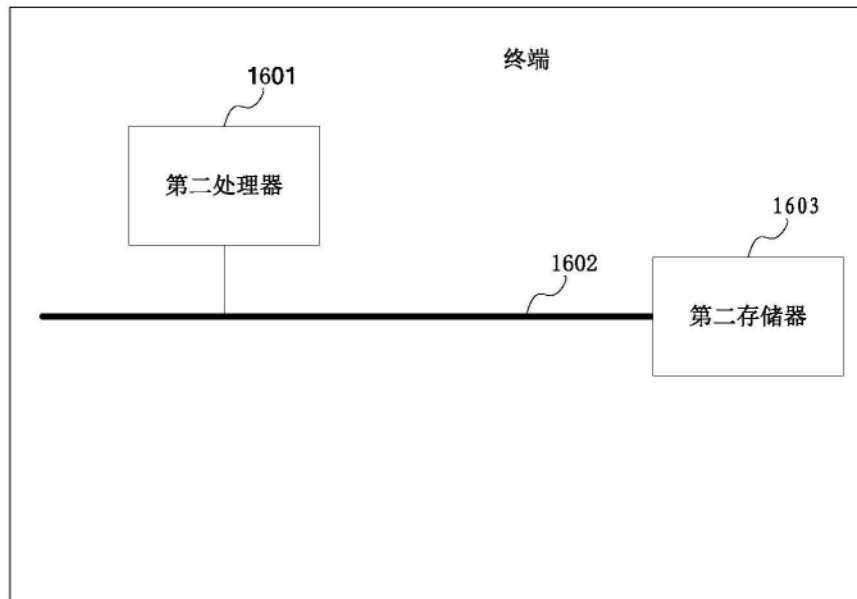


图16