

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5525736号
(P5525736)

(45) 発行日 平成26年6月18日(2014.6.18)

(24) 登録日 平成26年4月18日(2014.4.18)

(51) Int. Cl.		F I		
HO 1 L 21/336	(2006.01)	HO 1 L 29/78	3 O 1 K	
HO 1 L 29/78	(2006.01)	HO 1 L 27/04	H	
HO 1 L 27/04	(2006.01)	HO 1 L 29/78	3 O 1 D	
HO 1 L 21/822	(2006.01)			

請求項の数 4 (全 11 頁)

(21) 出願番号	特願2009-35645 (P2009-35645)	(73) 特許権者	300057230
(22) 出願日	平成21年2月18日(2009.2.18)		セミコンダクター・コンポーネンツ・イン
(65) 公開番号	特開2010-192693 (P2010-192693A)		ダストリーズ・リミテッド・ライアビリティ
(43) 公開日	平成22年9月2日(2010.9.2)		ィ・カンパニー
審査請求日	平成24年1月23日(2012.1.23)		アメリカ合衆国 アリゾナ州 85008
			フェニックス イースト・マクドウェル
			・ロード5005
		(74) 代理人	100091605
			弁理士 岡田 敬
		(74) 代理人	100147913
			弁理士 岡田 義敬
		(72) 発明者	大竹 誠治
			群馬県邑楽郡大泉町坂田一丁目1番1号
			三洋半導体株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

一 導電型の半導体層と、
前記半導体層に形成された一導電型のドレイン拡散層と、
前記半導体層に形成された逆導電型のバックゲート拡散層と、
前記バックゲート拡散層に重畳して形成された一導電型のソース拡散層とを有し、
前記ドレイン拡散層は、低濃度の第1の拡散層に高濃度の第2の拡散層が重畳して形成され、

前記低濃度の第1の拡散層には、前記高濃度の第2の拡散層とPN接合領域を形成する逆導電型の拡散層が重畳して形成され、

前記ドレイン拡散層へのコンタクト領域は前記高濃度の第2の拡散層上に形成され、
前記逆導電型の拡散層は前記コンタクト領域よりも前記バックゲート拡散層側へ配置され、前記逆導電型の拡散層はフローティング拡散層であることを特徴とする半導体装置。

【請求項 2】

前記半導体層上にはゲート電極が形成され、前記ゲート電極の側壁には絶縁スペーサー膜が形成され、

前記逆導電型の拡散層は、少なくとも前記ドレイン拡散層上に位置する前記ゲート電極の端部及び前記絶縁スペーサー膜の下方に配置されることを特徴とする請求項1に記載の半導体装置。

【請求項 3】

前記一導電型の半導体層は、逆導電型の半導体基板に形成されることを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】

半導体層に一導電型のドレイン拡散層、逆導電型のバックゲート拡散層、一導電型のソース拡散層を形成し、前記半導体層上にゲート電極を形成し、前記ゲート電極の側壁に絶縁スペーサー膜を形成する半導体装置の製造方法において、

前記半導体層に前記ドレイン拡散層を構成する低濃度の第 1 の拡散層を形成し、前記半導体層上にゲート電極を形成し、前記ゲート電極をマスクの一部として用い前記低濃度の第 1 の拡散層に重畳するように逆導電型の拡散層を形成し、

前記ゲート電極の側壁に絶縁スペーサー膜を形成し、前記絶縁スペーサー膜をマスクの一部として用い前記低濃度の第 1 の拡散層に重畳し、前記逆導電型の拡散層と P N 接合領域を形成するように前記ドレイン拡散層を構成する高濃度の第 2 の拡散層を形成した後、

前記高濃度の第 2 の拡散層に接続するドレイン電極及びドレイン配線層を形成し、前記逆導電型の拡散層はフローティング拡散層とすることを特徴とする半導体装置の製造方法

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、静電気放電 (Electrostatic Discharge、以下、ESD と呼ぶ。) 等の過電圧による破壊を防止する半導体装置及びその製造方法に関する。

20

【背景技術】

【0002】

従来、半導体装置の一実施例として、下記の MOS トランジスタ 31 の構造が知られている。

【0003】

図 8 に示す如く、P 型の半導体基板 32 上に N 型のエピタキシャル層 33 が形成される。エピタキシャル層 33 には、バックゲート領域としての P 型の拡散層 34、35 が形成される。P 型の拡散層 34 には、ソース領域としての N 型の拡散層 36 が形成される。そして、エピタキシャル層 33 には、ドレイン領域としての N 型の拡散層 37、38 が形成される。エピタキシャル層 33 上には、ゲート酸化膜 39、ゲート電極 40 及び絶縁層 41 が形成される (例えば、特許文献 1 参照。)

30

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2003-303961 号公報 (第 3-4 頁、第 1-2 図)

【発明の概要】

【発明が解決しようとする課題】

【0005】

MOS トランジスタ 31 には、N 型の拡散層 37、38 (エピタキシャル層 33 を含む)、P 型の拡散層 34、35 及び N 型の拡散層 36 から成る寄生トランジスタ Tr2 (以下、寄生 Tr2 と呼ぶ。) が内在する。そして、MOS トランジスタ 31 のドレイン電極 42 に、例えば、正の ESD サージが印加されると、点線で示すように寄生 Tr2 のオン電流 I2 が発生し、寄生 Tr2 がオン動作する。このとき、ドレイン電極 42 側から流れる寄生 Tr2 のオン電流 I2 は、抵抗値の小さいエピタキシャル層 33 表面側を流れるため、丸印 43 にて示す領域では、寄生 Tr2 のオン電流 I2 が集中する。更に、エピタキシャル層 33 上面には、シリコンよりも熱伝導率の悪いゲート酸化膜 39、絶縁層 41 等が配置されるため、エピタキシャル層 33 の表面側は放熱性の悪い領域となる。その結果、丸印 43 にて示す領域では、寄生 Tr2 のオン電流 I2 により発生した熱によりエピタキシャル層 33 表面側が熱破壊する問題が発生する。例えば、MOS トランジスタ 31 の

40

50

ゲート長(W)が1000 μ mとなる構造に対し静電破壊試験を行った場合、寄生Tr₂のオン電流I₂(破壊電流)では1A以下にて上記熱破壊が発生し、マシーンモデル(MM)では200V以下のESD耐量となり、ヒューマンボディモデル(HBM)では1000V以下のESD耐量となり、所望のESD耐量が実現できる構造ではなかった。

【課題を解決するための手段】

【0006】

上述した各事情に鑑みてなされたものであり、本発明の半導体装置では、一導電型の半導体層と、前記半導体層に形成された一導電型のドレイン拡散層と、前記半導体層に形成された逆導電型のバックゲート拡散層と、前記バックゲート拡散層に重畳して形成された一導電型のソース拡散層とを有し、前記ドレイン拡散層は、低濃度の第1の拡散層に高濃度の第2の拡散層が重畳して形成され、前記低濃度の第1の拡散層には、前記高濃度の第2の拡散層とPN接合領域を形成する逆導電型の拡散層が重畳して形成され、前記ドレイン拡散層へのコンタクト領域は前記高濃度の第2の拡散層上に形成され、前記逆導電型の拡散層は前記コンタクト領域よりも前記バックゲート拡散層側へ配置され、前記逆導電型の拡散層はフローティング拡散層であることを特徴とする。従って、本発明では、寄生Trのオン電流が半導体層表面を流れることを回避し、寄生Trのオン電流による熱破壊が防止される。

10

【0007】

また、本発明の半導体装置の製造方法では、半導体層に一導電型のドレイン拡散層、逆導電型のバックゲート拡散層、一導電型のソース拡散層を形成し、前記半導体層上にゲート電極を形成し、前記ゲート電極の側壁に絶縁スペーサー膜を形成する半導体装置の製造方法において、前記半導体層に前記ドレイン拡散層を構成する低濃度の第1の拡散層を形成し、前記半導体層上にゲート電極を形成し、前記ゲート電極をマスクの一部として用い前記低濃度の第1の拡散層に重畳するように逆導電型の拡散層を形成し、前記ゲート電極の側壁に絶縁スペーサー膜を形成し、前記絶縁スペーサー膜をマスクの一部として用い前記低濃度の第1の拡散層に重畳し、前記逆導電型の拡散層とPN接合領域を形成するように前記ドレイン拡散層を構成する高濃度の第2の拡散層を形成した後、前記高濃度の第2の拡散層に接続するドレイン電極及びドレイン配線層を形成し、前記逆導電型の拡散層はフローティング拡散層とすることを特徴とする。従って、本発明では、ドレイン拡散層内に寄生Trのオン電流による熱破壊を防止する拡散層が位置精度良く配置される。

20

30

【発明の効果】

【0008】

本発明では、ドレイン領域内にPN接合領域を形成することで、寄生Trのオン電流の電流経路が半導体層深部側となる。この構造により、放熱領域が増大し、素子が熱破壊することが防止される。

【0009】

また、本発明では、素子内にて寄生トランジスタが動作することで、電流能力が向上し、寄生Trのオン電流による素子破壊が防止される。

40

【0010】

また、本発明では、ゲート電極と絶縁スペーサー膜とをそれぞれマスクの一部として用いることで、ドレイン拡散層に保護用の拡散層を位置精度良く形成できる。

【図面の簡単な説明】

【0011】

【図1】本発明の実施の形態における半導体装置を説明するための(A)断面図、(B)断面図である。

【図2】本発明の実施の形態における(A)及び(B)半導体装置の特性を説明するための図である。

【図3】本発明の実施の形態における(A)及び(B)半導体装置を説明するための回路

50

図である。

【図４】本発明の実施の形態における半導体装置の製造方法を説明するための断面図である。

【図５】本発明の実施の形態における半導体装置の製造方法を説明するための断面図である。

【図６】本発明の実施の形態における半導体装置の製造方法を説明するための断面図である。

【図７】本発明の実施の形態における半導体装置の製造方法を説明するための断面図である。

【図８】従来の実施の形態における半導体装置を説明するための断面図である。

10

【発明を実施するための形態】

【００１２】

以下に、本発明の第１の実施の形態である半導体装置について、図１～図３を参照し、詳細に説明する。図１（Ａ）及び（Ｂ）は、本実施の形態におけるＭＯＳトランジスタを説明するための断面図である。図２（Ａ）及び（Ｂ）は、本実施の形態におけるＭＯＳトランジスタのＥＳＤ耐量を説明するための図である。図３（Ａ）及び（Ｂ）は、本実施の形態におけるＭＯＳトランジスタの利用形態を説明するための図である。

【００１３】

図１（Ａ）に示す如く、Ｎチャネル型ＭＯＳトランジスタ（以下、Ｎ－ＭＯＳと呼ぶ。）１は、その素子内部にＥＳＤ等の過電圧に対する保護構造を有する。図示したように、Ｐ型の単結晶シリコン基板２上には、Ｎ型のエピタキシャル層３が形成される。尚、本実施の形態では、基板２上に１層のエピタキシャル層３が形成される場合を示すが、この場合に限定するものではない。例えば、基板上面に複数のエピタキシャル層が積層される場合でも良い。また、エピタキシャル層３は、分離領域４により複数の素子形成領域に区分される。そして、分離領域４は、Ｐ型の埋込層４ＡとＰ型の拡散層４Ｂから構成される。エピタキシャル層３表面からの拡散層４Ｂの拡散深さ（這い下がり幅）は、基板２表面からの埋込層４Ａの拡散深さ（這い上がり幅）よりも浅くなり、分離領域４の形成領域を狭めることができる。

20

【００１４】

Ｎ型の埋込層５が、基板２及びエピタキシャル層３の両領域に渡り形成される。そして、Ｐ型の拡散層６が、エピタキシャル層３に形成され、Ｎ－ＭＯＳ１のバックゲート領域として用いられる。尚、Ｐ型の拡散層６には、Ｐ型の拡散層７が重畳して形成され、Ｎ－ＭＯＳ１のバックゲート導出領域として用いられる。

30

【００１５】

Ｎ型の拡散層８が、Ｐ型の拡散層６に形成され、Ｎ－ＭＯＳ１のソース領域として用いられる。そして、Ｎ型の拡散層９が、エピタキシャル層３に形成され、Ｎ－ＭＯＳ１のドレイン領域として用いられる。尚、Ｎ型の拡散層９には、Ｎ型の拡散層１０が重畳して形成され、Ｎ－ＭＯＳ１のドレイン導出領域として用いられる。

【００１６】

ゲート電極１１が、ゲート酸化膜としてのシリコン酸化膜１２上に形成される。そして、ゲート電極１１は、例えば、多結晶シリコン膜により形成され、その側壁には絶縁スペーサー膜１３が形成される。絶縁スペーサー膜１３は、例えば、シリコン酸化膜等の絶縁膜から成る。

40

【００１７】

Ｐ型の拡散層１４が、ドレイン領域としてのＮ型の拡散層９、１０に重畳して形成される。Ｐ型の拡散層１４は、Ｎ－ＭＯＳ１のソース－ドレイン領域間に位置し、コンタクトホール２６（図７参照）よりもバックゲート領域としてのＰ型の拡散層６側に位置する。Ｐ型の拡散層１４は、例えば、ゲート電極１１の端部及び絶縁スペーサー膜１３の下方に位置し、Ｎ型の拡散層９の表面側に形成される。そして、Ｐ型の拡散層１４の不純物濃度は、Ｎ型の拡散層９よりも高濃度となり、Ｎ型の拡散層１０よりも低濃度となる。尚、

50

型の拡散層 14 はフローティング拡散層として用いられ、P 型の拡散層 14 上に配置されたドレイン電極やドレイン配線層と容量結合する。

【0018】

図 1 (B) に示す如く、太線にて示すように、N - MOS 1 のドレイン領域には、N 型の拡散層 10 と P 型の拡散層 14 とから成る PN 接合領域 15 が形成される。そして、例えば、N 型のエピタキシャル層 3 の不純物濃度は 1.0×10^{15} (/ cm^2) であり、P 型の拡散層 6 の不純物濃度は $1.0 \times 10^{17} \sim 1.0 \times 10^{18}$ (/ cm^2) であり、P 型の拡散層 14 の不純物濃度は 1.0×10^{17} (/ cm^2) であり、N 型の拡散層 10 の不純物濃度は 1.0×10^{20} (/ cm^2) である。この構造により、PN 接合領域 15 の接合耐圧が、N - MOS 1 のソース - ドレイン領域間の PN 接合領域 16 の接合耐圧よりも小さくなる。そして、N - MOS 1 のドレイン電極に、例えば、正の ESD サージ等の過電圧が印加された際に、PN 接合領域 15 が、PN 接合領域 16 よりも先にブレークダウンし、N - MOS 1 を過電圧から保護する構造となる。

10

【0019】

ここで、N - MOS 1 内には、寄生トランジスタ Tr 1 (以下、寄生 Tr 1 と呼ぶ。) が内在する。具体的には、寄生 Tr 1 は、エミッタ領域としての N 型の拡散層 8、ベース領域としての P 型の拡散層 6、7、コレクタ領域としての N 型の拡散層 9、10 (N 型のエピタキシャル層 3 を含む。) から構成される。そして、N - MOS 1 のドレイン電極 28 (図 7 参照) に正の ESD サージ (過電圧) が印加されると、PN 接合領域 15 がブレークダウンし、正孔が、P 型の拡散層 14 から N 型の拡散層 9、N 型のエピタキシャル層 3 へと注入され、点線の矢印で示すように寄生 Tr 1 のオン電流 I 1 が発生する。その寄生 Tr 1 のオン電流 I 1 が、P 型の拡散層 6 へと流れ込むことで、寄生 Tr 1 のベース領域の電位が上昇し、寄生 Tr 1 がオン動作する。寄生 Tr 1 がオン動作することで、上記寄生 Tr 1 のコレクタ領域では、伝導度変調が起こり、抵抗値が大幅に低減し、電流能力が向上する。

20

【0020】

その一方で、大電流である寄生 Tr 1 のオン電流 I 1 が流れることで、N - MOS 1 が熱破壊する恐れもある。そこで、本実施の形態では、P 型の拡散層 14 が、N - MOS 1 のソース - ドレイン領域間の N 型の拡散層 10 の側面に配置される。そして、寄生 Tr 1 のオン電流 I 1 は、N 型の拡散層 10 の底面側を經由し、エピタキシャル層 3 の深部側から P 型の拡散層 6 へと流れ込む。この構造により、楕円印 17 にて示すように、寄生 Tr 1 のオン電流 I 1 の電流経路は、P 型の拡散層 14 の配置により、ゲート電極 11 及び絶縁スペーサー膜 13 の下方のエピタキシャル層 3 表面側を回避する。その結果、寄生 Tr 1 のオン電流 I 1 が、熱伝導率に優れたエピタキシャル層 3 の深部側を流れることで、熱伝導率に優れた放熱領域も増大し、N - MOS 1 が熱破壊することが防止される。

30

【0021】

特に、楕円印 17 にて示す領域は、P 型の拡散層 14 が配置されない場合には、大電流である寄生 Tr 1 のオン電流 I 1 が流れ込む領域であり、熱破壊対策が必要な領域となる。これは、シリコン (エピタキシャル層) の方が絶縁層 (シリコン酸化膜等) よりもその熱伝導率が優れるため、エピタキシャル層 3 の表面側では、シリコン酸化膜 12 等により放熱性が悪化するからである。つまり、エピタキシャル層 3 の深部側では、その全周囲が熱伝導率に優れたエピタキシャル層 3 となり、エピタキシャル層 3 の表面側よりも放熱性の優れた領域となる。

40

【0022】

尚、N - MOS 1 では、ゲート電極 11 下方の P 型の拡散層 6 表面側にチャネル領域が形成され、N - MOS 1 の主電流はエピタキシャル層 3 の表面側を流れる。そして、N - MOS 1 の主電流は、ドレイン領域では、P 型の拡散層 14 を迂回し、ドレイン電極へと流れ込む。しかしながら、P 型の拡散層 14 周囲には N 型の拡散層 9 が配置されることで、抵抗値の増大も緩和され、寄生 Tr 1 のオン電流 I 1 による熱破壊が防止されるメリットの方が大きい。また、ドレイン領域側のゲート電極 11 端部では電界集中も問題となる

50

が、低濃度領域であるN型の拡散層9が配置されることで、その電界緩和も実現される。

【0023】

具体的には、図2(A)では、実線がP型の拡散層14を有する本実施の形態を示し、点線がP型の拡散層14を有しない従来の実施の形態を示す。尚、その他の素子構造及び実験条件は、本実施の形態と従来の実施の形態とは同じものとする。また、適宜、図1(B)に示す構造を用いて説明する。

【0024】

本実施の形態では、実線にて示すように、例えば、静電破壊電圧が9.0V程度印加されることで、破壊電流が発生する。そして、静電破壊電圧が、9~10V程度の範囲にて固定され、破壊電流はほぼ垂直に立ち上がる。一方、従来の実施の形態では、点線にて示すように、例えば、静電破壊電圧として11V程度印加されることで破壊電流が発生し、その後スナップバック現象が発生する。

10

【0025】

実線で示すN-MOS1では、P型の拡散層14がPN接合領域15から広がる空乏層の広がりを妨げることで、静電破壊電圧(ブレイクダウン電圧)が低下する。そして、実線で示すN-MOS1では、静電破壊電圧が低下することで、P型の拡散層14から寄生Tr1に大電流を流させる程度の正孔の発生が起こらない。その結果、破壊電流(寄生Tr1のオン電流I1)が流れ続けるためには高い電圧が必要となり、上記した破壊電流の立ち上がり現象が見られる。一方、点線で示す構造ではPN接合領域15が形成されず、静電破壊電圧(ブレイクダウン電圧)はPN接合領域16に起因し高くなる。そして、発生する破壊電流(寄生Tr1のオン電流I1)も大電流となり、その大電流により大量の正孔が発生する。その結果、発生した正孔がP型の拡散層6へと流れ込むことで、寄生Tr1がオン動作し、スナップバック現象が発生する。

20

【0026】

この実験結果からも、本実施の形態のN-MOS1では、P型の拡散層14を形成することで、低い電圧にてPN接合領域15をブレイクダウンさせることができる。その結果、寄生Tr1のオン電流I1の電流量も低減でき、寄生Tr1のオン電流I1に伴う熱破壊が発生し難い構造となる。また、後述する図3(B)に示すようにN-MOS1の構造を利用して保護素子を構成することができる。この場合には、保護素子のブレイクダウン電圧が、例えば、9~10V程度のように一定の範囲で固定されることで、被保護素子に対する保護電圧の設定が容易になる。そして、被保護素子をESD等の過電圧から確実に保護することができる。

30

【0027】

また、図2(B)では、図2(A)と同様に、実線がP型の拡散層14を有する本実施の形態を示し、点線がP型の拡散層14を有しない従来の実施の形態を示す。尚、その他の素子構造及び実験条件は、本実施の形態と従来の実施の形態とは同じものとする。

【0028】

本実施の形態では、実線にて示すように、ソース-ドレイン領域間を流れる電流が、0.6Aまでは、素子温度も徐々に緩やかに上昇する。その後、ドレイン電流が0.7Aに上昇する段階にて素子温度の上昇が顕著となり、1300K程度となる。一方、従来の実施の形態では、点線にて示すように、ソース-ドレイン領域間を流れる電流が、0.4Aまでは、素子温度も徐々に緩やかに上昇する。その後、ドレイン電流が0.6Aに上昇する段階にて素子温度が急激に上昇し、1700K程度となる。

40

【0029】

この実験結果からも、P型の拡散層14を形成し、エピタキシャル層3の深部側を電流経路とすることで、素子内での放熱性が向上し、電流による熱破壊が防止され易い構造となる。

【0030】

尚、本実施の形態では、図3(A)に示すように、N-MOS1内に過電圧保護用のPN接合領域15を有し、N-MOS1では、通常、ソース-ドレイン領域間に主電流が流

50

れる構造である。そして、例えば、ドレイン電極に正のESDサージが印加された際には、寄生Tr1のオン電流I1が、ドレイン電極側からソース電極側へとエピタキシャル層3の深部側を流れ、N-MOS1を保護する構造について説明したが、この構造に限定するものではない。例えば、図3(B)に示すように、N-MOS1のゲート電極とソース電極とをショートすることで、保護ダイオードとしても用いることができる。この構造の場合には、この保護ダイオードと被保護素子とを配線接続することで、被保護素子を正のESDサージ等の過電圧から保護することができる。

【0031】

また、N-MOS1について説明するが、Pチャネル型MOSトランジスタ(以下、P-MOSと呼ぶ。)においても、その素子内部にESD等の過電圧から保護される構造を有することで同様な効果を得ることができる。具体的には、P-MOSのドレイン領域においても、ソース-ドレイン領域間にN型の拡散層を配置し、PN接合領域を形成する。この構造により、寄生Trのオン電流がエピタキシャル層の表面側を流れることを回避し、大電流の寄生Trのオン電流による熱破壊からP-MOSを保護することができる。

【0032】

また、P型の基板2上面にN型のエピタキシャル層3を形成し、N型のエピタキシャル層3にN-MOS1を形成する場合について説明したが、この場合に限定するものではない。例えば、P型の基板2に形成されたN型の拡散領域に対しN-MOS1を形成する場合でもよい。P-MOSに関しても同様である。その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【0033】

次に、本発明の第2の実施の形態である半導体装置の製造方法について、図4~図7を参照し、詳細に説明する。図4~図7は、本実施の形態における半導体装置の製造方法を説明するための断面図である。尚、以下の説明では、図1に示したNチャネル型MOSトランジスタ1(以下、N-MOS1と呼ぶ。)にて説明した各構成要素と同じ構成要素には同じ符番を付している。

【0034】

まず、図4に示す如く、P型の単結晶シリコン基板2を準備し、基板2上にN型のエピタキシャル層3を形成する。そして、基板2とエピタキシャル層3には、分離領域4を構成するP型の埋込層4A及びN型の埋込層5を形成する。また、エピタキシャル層3には、分離領域4を構成するP型の拡散層4B及びN-MOS1のバックゲート領域となるP型の拡散層6を形成する。尚、エピタキシャル層3の所望の領域には、LOCOS酸化膜21を形成する。

【0035】

次に、図5に示す如く、エピタキシャル層3上にシリコン酸化膜12を形成した後、フォトレジスト(図示せず)を用いて、エピタキシャル層3の表面から、N型不純物、例えば、リン(P)を加速電圧30~300(keV)、導入量 $1.0 \times 10^{12} \sim 1.0 \times 10^{14}$ (/cm²)でイオン注入する。そして、フォトレジストを除去した後、熱処理を加えN型の拡散層9を形成する。次に、シリコン酸化膜12上に多結晶シリコン膜を形成し、選択的に除去することでゲート電極11を形成する。そして、ゲート電極11をマスクの一部として用い、N-MOS1のソース領域となるN型の拡散層8を形成する。その後、シリコン酸化膜12上にフォトレジスト22を形成し、P型の拡散層14が形成される領域上のフォトレジスト22に開口部を形成する。そして、エピタキシャル層3の表面から、P型不純物、例えば、ホウ素(B)を加速電圧30~100(keV)、導入量 $1.0 \times 10^{13} \sim 1.0 \times 10^{15}$ (/cm²)でイオン注入する。このとき、ゲート電極11を用いて自己整合技術によりイオン注入を行うことで、P型の拡散層14は、ゲート電極11に対して位置精度良く形成される。尚、P型の拡散層14はN型の拡散層9と重畳して形成されるが、その重畳領域がP型の拡散層14となるように、P型の拡散層14はN型の拡散層9より高濃度の不純物領域となる。

【0036】

次に、図6に示す如く、フォトレジスト22(図5参照)を除去し、熱処理を加えた後、エピタキシャル層3上に、例えば、CVD法によりシリコン酸化膜を堆積する。そして、そのシリコン酸化膜をエッチバックすることで、ゲート電極11の側壁に絶縁スペーサー膜13を形成する。その後、シリコン酸化膜12上にフォトレジスト23を形成し、N型の拡散層10が形成される領域上のフォトレジスト23に開口部を形成する。そして、エピタキシャル層3の表面から、N型不純物、例えば、ヒ素(As)を加速電圧30~200(k e V)、導入量 $1.0 \times 10^{15} \sim 1.0 \times 10^{17}$ (/cm²)でイオン注入する。このとき、絶縁スペーサー膜13を用いて自己整合技術によりイオン注入を行うことで、N型の拡散層10は、絶縁スペーサー膜13に対して位置精度良く形成される。この製造方法により、N型の拡散層10に対してドレイン電極28(図7参照)を接続させる際、ゲート電極11とドレイン電極28間の距離を最低離間距離とすることができ、N-MOS1の素子サイズを縮小することができる。尚、N型の拡散層10はP型の拡散層14と重畳して形成されるが、その重畳領域がN型の拡散層10となるように、N型の拡散層10はP型の拡散層14より高濃度の不純物領域となる。

10

【0037】

この製造方法により、P型の拡散層14とN型の拡散層10とを形成する際にマスクずれ幅を考慮することなく、P型の拡散層14が、ゲート電極11及び絶縁スペーサー膜13の下方に位置精度良く配置される。そのため、N-MOS1の素子サイズを増大させることなく、N-MOS1のドレイン領域には、ソース-ドレイン領域間にPN接合領域が形成され、第1の実施の形態にて説明した効果が得られる。

20

【0038】

最後に、図7に示す如く、エピタキシャル層3にP型の拡散層7を形成した後、エピタキシャル層3上に絶縁層24を形成する。絶縁層24は、例えば、TEOS(Tetra-Ethyl-Ortho-Silicate)膜、BPSG(Boron Phospho Silicate Glass)膜、SOG(Spin On Glass)膜等が積層され、構成される。そして、絶縁層24にコンタクトホール25、26を形成し、コンタクトホール25、26を介してソース電極27、ドレイン電極28を形成する。

【0039】

尚、本実施の形態では、ゲート電極11、絶縁スペーサー膜13を用いて、N型の拡散層10とP型の拡散層14とを位置精度良く形成する場合について説明したが、この場合に限定するものではない。N-MOS1のドレイン領域において、ソース-ドレイン領域間の電流経路にP型の拡散層14が配置され、PN接合領域15(図1(A)参照)が形成されていれば良く、その製造方法は任意の設計変更が可能である。その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

30

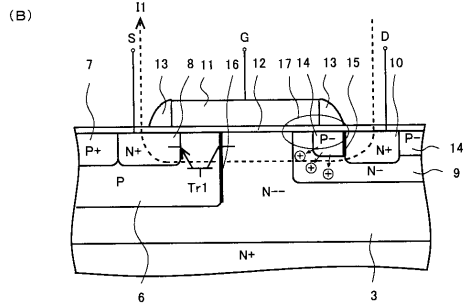
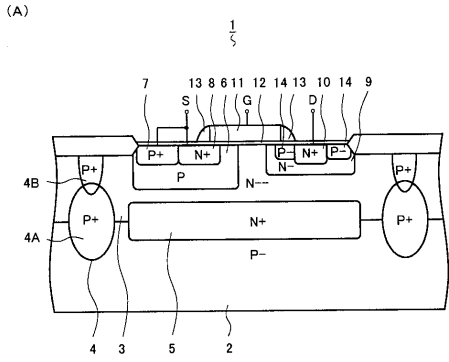
【符号の説明】

【0040】

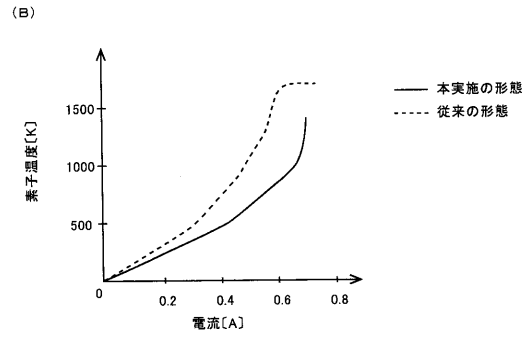
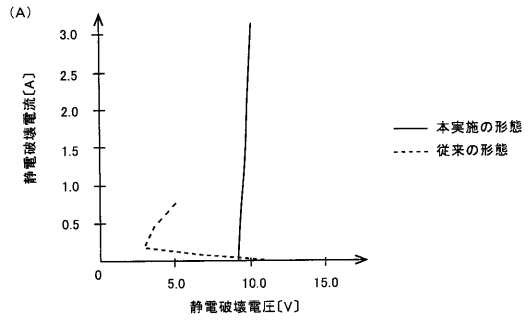
- 1 Nチャネル型MOSトランジスタ
- 2 P型の単結晶シリコン基板
- 3 エピタキシャル層
- 10 N型の拡散層
- 14 P型の拡散層
- 15 PN接合領域

40

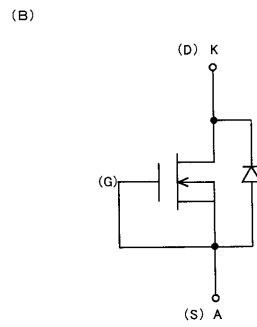
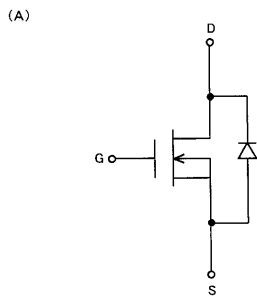
【図 1】



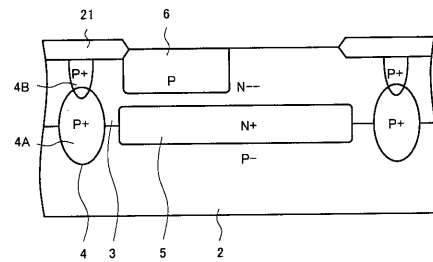
【図 2】



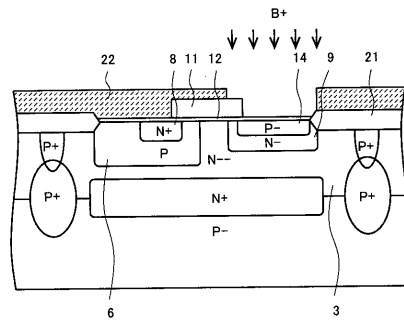
【図 3】



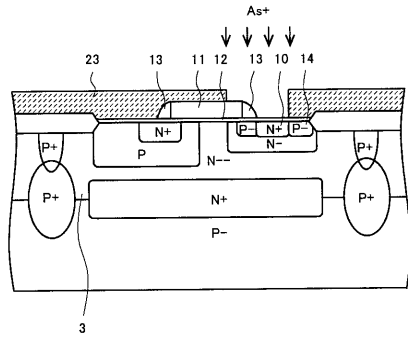
【図 4】



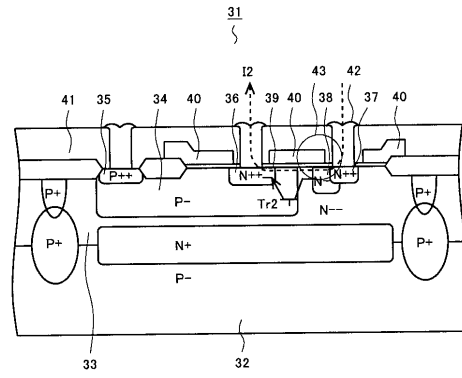
【図 5】



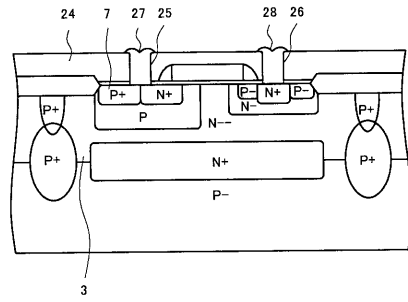
【 図 6 】



【 図 8 】



【 図 7 】



フロントページの続き

審査官 正山 旭

- (56)参考文献 特開平06 - 053490 (JP, A)
特公平06 - 052791 (JP, B2)
特開2008 - 205494 (JP, A)
特開2005 - 093456 (JP, A)
特表2008 - 507140 (JP, A)
特表2008 - 514007 (JP, A)
特開2002 - 270825 (JP, A)
国際公開第2009/087703 (WO, A1)
特開平06 - 291263 (JP, A)
特開2002 - 043579 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336
H01L 21/822
H01L 27/04
H01L 29/78