

(19) 대한민국특허청(KR)

(12) 특허공보(B1)

(51) Int. Cl.⁵

H04N 5/46

H04N 7/01

(21) 출원번호

특1991-0022088

(22) 출원일자

1991년 12월 04일

(45) 공고일자 1994년 10월 19일

(11) 공고번호 94-009970

(71) 출원인

삼성전자 주식회사 강진구

경기도 수원시 권선구 매탄동 416번지

(72) 발명자

배점한

경기도 수원시 장안구 정자동 동신아파트 105동 506호

(74) 대리인

조용식, 흥기천

심사관 : 조용식 (책자공보 제3782호)(54) 영상신호의 라인변환방법과 그 장치**요약**

내용 없음.

대표도**도1****영세서**

[발명의 명칭]

영상신호의 라인변환방법과 그 장치

[도면의 간단한 설명]

제 1 도는 이 발명에 따른 라인변환장치의 전체블럭도.

제 2 도는 제 1 도의 퍼센트블럭의 구성도.

제 3 도는 제 1 도의 연산블럭의 구성도이다.

* 도면의 주요부분에 대한 부호의 설명

100 : A/D 변환회로 110 : Y A/D 콘버터

120 : C A/D 콘버터 200 : 라인메모리부

210, 220 : 라인메모리 300 : 퍼센트블럭

310 : 카운터 320 : 조합논리회로

400 : 연산회로 410, 420, 430, 440 : 연산기

450, 460 : 덧셈기 500 : 화상메모리

MUX, MUX1, MUX2~MUX8 : 멀티플렉서

BF1, BF2 : 버퍼

ADD1, ADD2, ADD3, ADD4, ADD10, ADD20, ADD100 : 가산기

11~18 : 인버터 S1~S6 : 스위치

[발명의 상세한 설명]

이 발명은 칼라 텔레비전에 관한 것으로서, 보다 상세하게는 NTSC 방식 및 PAL 방식등에 모두 사용되도록 수평주사라인을 변환시키는 영상신호의 라인변환방법과, 이 방법을 실현시키기 위한 장치에 관한 것이다.

텔레비전의 방송방식은 그 지역에 따라 상이하므로 전지역에서 범용적으로 사용될 수 있는 칼라텔레비전이 요구되고 있다. 이러한 요구에 부응하여 NTSC 방식의 시스템으로 PAL 방식의 지역에서 영상신호를 수신하도록하거나 또, PAL 방식의 시스템으로 NTSC 방식의 지역에서 영상신호를 수신하도록 한 기술이 개발되고 있다.

그러나 NTSC 방식과 PAL 방식은 그 주사선수에서 각기 525라인과 625라인으로 커다란 차이가 있다. 따라서, NTSC 방식에서 PAL 방식으로 변환할때 525라인을 625라인으로 비례감소시킬 수도 있으나, 이러한 경우 화면이 부자연스럽게 되어 재생정도가 떨어지게 된다.

즉, 525라인을 625라인으로 증가시킬때는 5라인마다 어느 한 라인을 저장하였다가 중복시켜서 주사하여 6라인 주사가 되게 하면, 525라인 주사시 625라인이 주사되게 된다. 또한 625라인을 525라인으로 감소시킬때는 6라인 주사시 1라인을 삭제시키면 625라인 주사시에 실제로 525라인의 주사된다.

그러나, 이와같은 방법들은 동일한 주사라인을 한번 더 주사하거나 한 주사라인을 삭제하므로 영상이 완벽하게 재생되지 않고, 부자연스럽게 되며 특히, 대형의 수상관일수록 영상의 부자연스러움이 크게되는 문제가 있게 된다.

이 발명은 이와같은 문제점을 해결하기 위한 것으로서, 이 발명의 목적은 텔레비전의 방송방식에 따라 라인변환을 행하여도 재생정도가 매우 뛰어나도록 하여 지역에 구애받지 않고 선명한 화상을 수신할 수 있도록 한 영상신호의 라인변환방법과 그 장치를 제공하는데 있다.

이와 같이 목적을 달성하기 위한 이 발명은, 1라인씩 중복되는 2개의 주사라인으로 상호 영상신호의 비율을 다르게하여 매 1라인을 형성하여서 N+1라인으로 N라인을 형성하는 N+1단위 변환과정과, 매 N+1라인 단위로 상기 N+1단위 변환과정을 실행하여 1필드에서 라인을 $N/(N+1)$ 로 감소시키는 1필드 라인변환과정으로 되어 전체 K라인을 M라인으로 변환하는 영상신호의 라인변환방법에 그 특징이 있다.

이 발명의 다른 특징은, 1라인씩 중복되는 2개의 수사라인으로 상호 영상신호의 비율을 다르게하여 매 1라인을 형성하여서 N라인으로 N+1라인을 형성하는 N단위 변환과정과, 매 N라인단위로 상기 5단위 변환과정을 실행하여 1필드에서 라인을 $(N+1)/N$ 으로 증가시키는 1필드라인 변환과정으로 되어 전체 M라인을 K라인으로 변환하는 영상신호의 라인변환방법에 있다.

이 발명의 또다른 특징은, Y신호 및 C신호를 디지털신호로 변환시켜 출력하는 A/D 변환회로와, 1H 라인을 저장하여 1H 지연된 데이터를 출력하는 라인메모리부와, 각 H라인마다의 비율을 출력하는 퍼센트볼락과, 상기 퍼센트볼락에서 출력되는 각 라인마다의 상수와 A/D 변환회로에서 출력되는 Y 및 C신호의 디지털신호와 라인메모리부에서 출력되는 1H 지연된 출력을 연산하여 라인변환된 출력을 발생하는 연산회로와, 이 연산회로의 출력을 입력받으며, 상기 퍼센트볼락에서 제공되는 메모리콘트롤홀드신호에 의해 콘트롤되어 화상데이터를 저장 및 출력하는 화상메모리로 된 영상신호의 라인변환장치에 있다. 전술한 라인변환방법에서 N과 K 및 M은 정수이며 $N < M < K$ 의 관계이다.

이하, 이 발명의 실시예에 대하여 첨부도면에 따라서 상세히 설명한다.

먼저, 이 발명은 625라인(PAL 방식)에서 525(NTSC 방식)으로 변환시키거나, 525라인에서 625라인으로 변환시키는 방법에 있어서 각 방송방식에 따른 주사라인의 비율을 고찰하면, PAL 방식에서는 그 전체 주사라인이 625라인이며 1필드를 구성하는 주사라인수는 312.5라인이다. 그러나 실제로 영상신호가 실려있는 주사라인은 1필드당 288라인 정도이며 나머지 라인은 수직동기를 위해 사용된다. 또한, NTSC 방식에서는 그 전체 주사라인이 525라인이고, 1필드당 주사라인은 262.5라인이며, 실제로 영상신호가 실려있는 주사라인은 243라인 정도이다. 따라서 PAL 방식과 NTSC 방식에서의 주사라인의 비율은 약 6 : 5정도임을 알수 있다.

전술한 라인변환방법의 정수를 상기 PAL 방식과 NTSC 방식에 적용하여 K=288, M=243, N=5라할때, 이 발명의 영상신호의 변환방법중 먼저 PAL 방식에서 NTSC 방식으로 변환하는 방법은, PAL 방식의 625라인중 1필드를 구성하는 3125.5라인에서 실제 수상관에 주사되는 288라인을 NTSC 방식에서 1필드당 실제 수상관에 주사되는 243라인으로 변환하는 것으로서, 6 : 5의 비율에 의거하여 288라인에서 6라인을 1변환 단위로 하여 매 변환단위마다 5라인을 형성하도록 한다.

즉, 1H 지연되고 1라인씩 중복되는 2개의 주사라인으로 상호 영상신호의 비율을 다르게 하여 매 1라인을 형성하여서 6라인으로 5라인을 형성하는 6단위 변환과정을 실행한다. 또한, 이 6단위 변환과정을 매 6라인을 단위로 하여 288라인 전체에 대해 실행하여서 1필드에서 라인수를 5/6로 감소시키는 1필드 라인변환과정을 실행한다. 따라서, 1필드가 288라인에서 243라인으로 감소되게 된다. 더욱 상세하게는 [표-1]에서와 같이,

[표-1]

PAL	NTSC	변환식
라인 NO 1p	라인 NO 1H 지연	
2p	1n	$1p \times 0.833 + 2p \times 0.166$
3p	2n	$2p \times 0.66 + 3p \times 0.33$
4p	3n	$3p \times 0.5 + 4p \times 0.5$
5p	4n	$4p \times 0.33 + 5p \times 0.66$
6p	5n	$5p \times 0.166 + 6p \times 0.833$
7p		
8p	6n	$7p \times 0.833 + 8p \times 0.166$
9p	7n	$8p \times 0.66 + 9p \times 0.33$
:	:	:

* 라인 NO에서 p는 PAL, n은 NTSC 방식의 주사라인임

PAL 1라인은 NTSC 1라인에 대해 약 5/6인 0.8333의 값을 가진다고 할수 있다. 따라서 [표-1]의 변환식에서 우변항의 상수값의 합은 1이 되어야 되므로 전술한 변환식이 도출된다.

이와 같이 변환시키면 PAL의 6라인 데이터가 NTSC의 5라인 데이터에 모두 포함되며, 연산을 행할때에 6단위마다 1H 지연된 데이터가 있어야 된다.

한편, NTSC 방식에 PAL 방식으로 영상신호를 변환하는 방법은, 전술한 주사라인의 비율이 NTSC → 5, PAL → 6이므로 NTSC 1라인은 PAL 1라인에 대해 약 6/5임을 알 수 있다. 이 변환방식은, 1라인씩 중복되는 2개의 주사라인으로 상호 영상신호의 비율을 다르게 하여 매 1라인을 형성하여서 5라인으로 6라인을 형성하는 5단위 변환과정을 실행한다. 따라서 라인수가 243라인에서 288라인으로 변환되어 PAL 방식의 실제주사되는 1필드의 주사라인을 형성하게 된다. [표-2]에서는 전술한 NTSC 방식을 PAL 방식으로 변환하는 방식을 나타내었다.

[표-2]

NTSC	PAL	변환식
라인 NO 1n	라인 NO 1p	$0 + 1n \times 1$
2n	2p	$1n \times 0.2 + 2n \times 0.8$
3n	3p	$2n \times 0.4 + 3n \times 0.6$
4n	4p	$3n \times 0.6 + 4n \times 0.4$
5n	5p	$4n \times 0.8 + 5n \times 0.2$
	6p	$5n + 6n \times 1$
6n	7p	$0 + 6n \times 1$
7n	8p	$6n \times 0.2 + 7n \times 0.8$
:	:	:

상기 [표-2]에서 변환식의 우변항의 상수합은 [표-1]에서와 같이 1이 되며, PAL의 6라인에는 NTSC의 5 라인이 포함되었다.

제 1 도는 전술한 PAL→NTSC 변환과, NTSC→PAL 변환을 실행하기 위한 영상기기의 라인변환장치의 일실시예를 나타낸 블럭구성도이다.

제 1 도는 Y(회도)신호 C(색)신호를 디지털신호로 변환시켜 출력하는 A/D변환회로(100)와, 1H 라인을 저장하여 1H 지연된 데이터를 출력하는 라인메모리부(200)와, 각 H 라인마다의 비율을 출력하는 퍼센트클럭(300)과, 이 퍼센트클럭(300)에서 출력되는 각 라인마다의 상수와 A/D 변환회로(100)에서 출력되는 Y 및 C신호의 디지털신호와 라인메모리부(200)에서 출력되는 1H 지연된 출력을 연산하여 라인변환된 출력을 발생하는 연산회로(400)와, 상기 연산회로(400)의 출력을 입력받으며, 상기 퍼센트클럭(300)에 의해 콘트롤되어 화상데이터를 저장 및 출력하는 화상메모리부(500)를 구비한 구성으로 되었다.

상기 A/D 변환회로(100)는 Y클럭을 제공받아 Y신호에 대해 디지털 변환하는 Y A/D 콘버터(110)와, R-Y신호와 B-Y신호를 멀티플렉싱하는 멀티플렉서(MUX) 와, 이 멀티플렉서(MUX)의 출력을 C 클럭을

제공받아 디지털변환하는 C A/D 콘버터(120)로 이루어졌다.

라인메모리부(200)는 Y 클럭을 제공받아 Y A/D 콘버터(110)에서 출력되는 신호를 저장하여 1H 지연된 신호를 출력하는 라인메모리(210)와, C 클럭을 제공받아 C A/D 콘버터(120)에서 출력되는 신호를 저장하여 1H 지연된 신호를 출력하는 라인메모리(220)로 이루어졌다.

상기 연산회로(400)는 라인메모리(210)로부터 1H 지연된 Y신호와, 퍼센트블럭(300)에서 제공되는 각 라인마다 상수를 제공받아 연산하는 연산기(410), (420)와, 이 연산기 1, 2(410), (420)의 출력을 합산하여 변환된 Y신호를 출력하는 덧셈기(450)와, 라인메모리(220)로부터 1H 지연된 C신호와 퍼센트블럭(300)에서 제공되는 각 라인마다의 상수를 제공받아 연산하는 연산기 3, 4(430), (440)와, 이 연산기 3, 4(430), (440)의 출력을 합산하여 변환된 C신호를 출력하는 덧셈기(460)로 이루어졌다.

한편, 상기 퍼센트블럭(300)은 제 2 도에서와 같이 수직블랭킹신호에 의해 클리어되며, 수평동기신호를 클럭으로 제공받아 계수를 행하여 6개의 수평동기를 주기로 동일한 로직을 출력하는 카운터(310)와, 상기 카운터(310)의 출력을 입력받아 입력되는 주사라인에 따라 출력의 각 비율을 변환시키며, 메모리 콘트롤 헤드 신호(MCH)를 발생하는 조합논리회로(320)로 이루어졌다.

한편, 연산회로(400)의 연산기 1, 2, 3, 4(410), (420), (430), (440)는 각기 제 3 도와 같은 구성으로 되었다.

즉, 라인메모리회로(200)의 출력신호를 클럭에 따라 출력하는 버퍼(BF1)와, 상기 버퍼(BF1)의 출력과 퍼센트블럭(300)에서 제공되는 출력의 1비트 신호와를 멀티플렉싱하여 각각의 다른 비트의 출력을 발생하는 멀티플렉서(MUX1, MUX2~MUX8)들과, 상기 멀티플렉서(MUX1), (MUX2)에서 출력되는 각기 8비트의 2입력을 가산하여 9비트로 출력하는 가산기 1(ADD1)와, 상기 멀티플렉서(MUX3)의 7비트 출력과 멀티플렉서(MUX4)의 6비트 출력을 가산하여 7비트로 출력하는 가산기 2(ADD2)와, 상기 멀티플렉서(MUX5)의 5비트 출력과 멀티플렉서(MUX6)의 4비트 출력을 가산하여 5비트로 출력하는 가산기 3(ADD3)와, 상기 멀티플렉서(MUX7)의 3비트 출력과 멀티플렉서(MUX8)의 2비트 출력을 가산하여 3비트로 출력하는 가산기 4(ADD4)가 구비되었다.

또한, 상기 가산기 1(ADD1)의 9비트 출력과 2(ADD2)의 7비트 출력을 가산하여 10비트의 출력을 발생하는 가산기(ADD10)와, 상기 가산기 3(ADD3)의 5비트 출력과 가산기 4(ADD4)의 3비트 출력을 가산하여 6비트의 출력을 발생하는 가산기(A DD2)와, 상기 가산기(ADD10)의 10비트 출력과 가산기(ADD20)의 6비트의 출력을 가산하여 10비트의 출력중 상위 8비트의 출력을 발생하는 가산기(A100)와, 상기 가산기(A100)의 8비트 출력을 클럭신호에 따라 출력하는 버퍼(BF2)를 구비한 구성으로 되었다.

한편, 상기 Y A/D 콘버터(110)의 라인메모리(210), C A/D 콘버터(120)와 라인메모리(220), 덧셈기(450)의 출력측과 화상메모리(800)의 Y입력단, 덧셈기(460)의 출력측과 화상메모리(500) C입력단에는 각기 스위치(S1)~(S4)가 설치된다. 또한, 상기 화상메모리(500)의 Y출력단과 C출력단 및 상기 덧셈기(450), (460)의 Y출력측과 C출력측은 스위치(S5), (S6)에 의해 선택되어 D/A 콘버터부(도시하지 않음)에 연결된다.

여기서 상기 각 스위치(S1)~(S6)의 2개의 선택단(a, b)이 구비되어 PAL 방식에서 NTSC 방식으로 변환하는 경우에는 선택단(a)이 연결되고, NTSC 방식에서 PAL 방식으로 변환하는 경우에는 선택단(b)이 연결되는 연동스위치이다.

더욱 상세하게는 스위치(S1), (S2)의 각 선택단(a)은 각기 스위치(S3), (S4)의 선택단(b)에 연결되고, 스위치(S1)의 선택단(b)은 화상메모리(500)의 C출력단과 스위치(S6)의 선택단(a)에 연결된다. 또한, 스위치(S2)의 선택단(b)은 화상메모리(500)의 Y출력단과 스위치(S5)의 선택단(a)에 연결된다.

한편, 스위치(S3)의 선택단(a)은 스위치(S5)의 선택단(b)에 연결되고, 스위치(S4)의 선택단(a)은 스위치(S6)의 선택단(b)에 연결된다.

여기서, 클럭신호(Y-AD-CLK), (C-AD-CLK)는 입력되는 비데오 신호의 동기에 의해 출력되고, 클럭신호(Y-CLK), (C-CLK), 퍼센트클럭(300)의 수평동기, 수직블랭킹신호는 PAL→NTSC 변환일때는 NTSC 방식의 동기에 의해 출력된다. 이것은 라인변환을 할때,

PAL→NTSC 경우 : A/D 변환→라인변환→화상메모리에 저장→D/A 변환

NTSC→PAL 경우 : A/D 변환→화상메모리저장→라인변환→D/A 변환의 순서로 하여야 하기 때문이다.

NTSC→PAL로 변환하는 경우 먼저 화상 메모리에 저장하는 이유는 적은수의 주사선에서 많은 수의 주사선으로 변환하기 위해서는 실제로 시간을 늘여야 한다. 즉, 입력되는 신호가 변환되는 신호보다 느리게 들어와야 한다. 그러나 이것은 불가능하므로 입력되는 영상신호를 먼저 화상메모리에 라이트(WRITE)한후 필요할때 리드하면된다.

이와같은 이 발명은, 입력신호가 PAL 방식의 신호일때, 이 신호를 NTSC 방식으로 변환시킬 경우에는 제 1 도의 각 스위치(S1)~(S6)를 선택단(a)로 연결되게 한다. 따라서, PAL 방식의 Y신호가 Y A/D 콘버터(110)에 입력되어 디지털신호로 변환된 후 스위치(S1)를 통해서 라인메모리(210)에 저장된다. 이 라인메모리(210)에서 Y신호가 1H 지연되고 이 지연된 신호가 연산기1(410)에 입력된다.

한편, R-Y신호와 B-Y신호가 멀티플렉서(MUX)에서 멀티플렉싱되어 출력된 C신호는 C A/D 콘버터(120)에 의해 디지털신호로 변환된 후 스위치(S2)를 통해 라인메모리(220)에 저장되며, 이 라인메모리(220)에서 1H 지연된 신호가 연산기 3(430)에 입력된다.

상기 Y A/D 콘버터(110)의 출력은 연산기 2(420)에도 입력되며, C A/D 콘버터(120)의 출력은 연산기 4(440)에도 입력된다. 또한, 퍼센트블럭(300)의 출력은 연산기 2, 4(420), (440)에 입력되어 각 H라인에 따라 다른 상수값을 제공한다. 다른 한편으로 퍼센트블럭(300)의 출력은 인버터(11~18)를 통해 반전되어 연산기 1, 3(410), (430)에 입력된다.

즉, 퍼센트블럭(300)에서는 6비트 카운터인 카운터(310)에서 6개의 수평동기를 주기로 동일한 로직의 출력을 발생하며, 수직블랭킹의 로직 "L"에서 클리어되어 수직으로 동기를 일치시키게 된다. 상기 카운터(310)의 출력단(A, B, C)의 신호는 조합논리회로(320)에 입력된다.

이 조합논리회로(320)는 주사라인 즉, NTSC 방식의 신호일때는 정레벨의 입력으로 되며, 주사라인 즉, PAL 방식의 신호일때는 부 레벨의 입력으로 된다.

[표-3]

525/625	퍼센트 출력												Hex	MCH	변환모드
	C 0	B 0	A 0	7	6	5	4	3	2	1	0				
0	0	0	X	X	X	X	X	X	X	X	X	XX	L	PAL 입력	
0	0	0	1	0	0	1	0	1	0	1	0	2A	H	↓	
0	0	1	0	0	1	0	1	0	1	0	1	55	H	NTSC 출력	
0	0	1	1	1	0	0	0	0	0	0	0	80	H		
0	1	0	0	1	0	1	0	1	0	1	0	AA	H		
0	1	0	1	1	1	0	1	0	1	0	1	D5	H		
0	1	1	0	X	X	X	X	X	X	X	X	XX	X		
0	1	1	1	X	X	X	X	X	X	X	X	XX	X		
1	0	0	0	1	1	1	1	1	1	1	1	FF	H	NTSC 입력	
1	0	0	1	1	1	0	0	1	1	0	0	CC	H	↓	
1	0	1	0	1	0	0	1	1	0	0	1	99	H	PAL 출력	
1	0	1	1	0	1	1	0	0	1	1	0	66	H		
1	1	0	0	0	0	1	1	0	0	0	1	33	H		
1	1	0	1	0	0	0	0	0	0	0	0	00	L		
1	1	0	X	X	X	X	X	X	X	X	X	XX	X		
1	1	1	X	X	X	X	X	X	X	X	X	XX	X		

[표-3]에서와 같이 입력되는 신호의 방식과 관계없이 카운터(310)의 출력은 8종류로 되나 조합논리회로(320)에서 취하는 값은 각기 6종류이다.

이 카운터(310)의 출력이 조합논리회로(320)에 의해 각 퍼센트 출력으로 발생된다. 즉, 입력되는 신호가 PAL 방식이므로, 이때는 8비트의 데이터값은 그 주사라인이 6의 배수단위로 6종의 값이 순차로되어 제1라인, 7라인 등등, 6씩 증가되는 라인은 퍼센트블럭(300)의 출력이 돈트케어(Don't Care)상태로 된다. 이후, 순차적으로 다른 출력을 발생한다.

전술한 PAL→NTSC 변환방법에서의 [표-1]에서 변환식의 우변항의 상수들을 각기 2진 및 16진 변환하면,

$$1n\text{의 상수 } 0.166\dots = \underline{\underline{0.0010}} \quad \underline{\underline{101010}} \dots = 2A$$

$$2n\text{의 상수 } 0.33\dots = \underline{\underline{0.0101}} \quad \underline{\underline{010101}} \dots = 55$$

$$3n\text{의 상수 } 0.5\dots = \underline{\underline{0.1000}} \quad \underline{\underline{0000}} \dots = 80$$

$$4n\text{의 상수 } 0.66\dots = \underline{\underline{0.0010}} \quad \underline{\underline{1010}} \dots = AA$$

$$5n\text{의 상수 } 0.833\dots = \underline{\underline{0.1101}} \quad \underline{\underline{010101}} \dots = D5$$

상기에서 2진수의 소수점 좌변을 버리고 밑줄친 8비트만 취해 16진 변환하면 각기 2A, 55, 80, AA, D5의 값이 된다. 이와 같이 8비트로 취한 값이 조합논리회로(320)의 출력의 각 퍼센트 출력 단(PER0, PER1, PER2, ..., PER7)에서 출력되어 연산기 2, 4(420), (440)에 입력되며 인버터(11~18)를 통해서는 연산기 1, 3(410), (430)에 입력된다. 상기 연산기 1(410)은 [표-1]의 내용에서 변환식의 우측항의 곱셈 계산을 하게 되며, 연산기 2(420)는 변환식 좌측항의 곱셈 계산을 하게 된다.

즉, 연산기 1(410)에서는 1H 딜레이된 신호인 1p라인을 퍼센트블럭(300)의 출력인 [표-3]은 00101010의 상수와 연산하여 출력을 발생하며, 연산기 2(420)는 2p라인을 퍼센트블럭(300)의 출력인 1101 0101값과 연산하여 출력을 발생한다. 이 연산기 1(410)의 출력값은 $1p \times 0.833$ 이고, 연산기 2(420)의 출력값은 $2p \times 0.166$ 이다. 따라서 덧셈기(450)에서 상기 값들이 가산되어 "1"의 1n라인의 Y 출력이 발생된다.

연산기 3(430)에서는 1H 딜레이된 C신호인 1p 라인이 퍼센트블럭(300)의 출력인 [표-3]의 0010

1010의 상수와 연산되어 출력을 발생하며 연산기 4(440)에서는 2p라인이 퍼센트블럭(300)의 출력인 1101 0101값과 연산되어 출력이 발생된다. 따라서 연산기 3(430)의 출력은 연산기 1(410)과, 연산기 4(440)의 출력은 연산기 2(420)의 값과 동일하다. 이 값들이 덧셈기(460)에서 가산되어 1n의 C신호가 출력된다. 상기 변환 출력된 1n라인의 Y 및 C신호는 각기 스위치(S3), (S4)를 통해 화상메모리(500)에 입력되고, 다시 스위치(S5), (S6)를 통해서는 D/A 콘버터로 최종 출력된다.

상기에서 알 수 있듯이 [표-1] 좌변항의 상수와 우변항의 상수의 2진값은 서로 인버팅되는 관계이다.

다음의 주사라인 2p는 라인메모리(210), (220)에서 각기 Y신호, C신호가 1H 딜레이되므로 [표-1]의 2n의 변환식의 상수값이 퍼센트블럭(300)에서 출력되어 연산기 1, 2, 3, 4(410), (420), (430), (440)에 입력되므로 각 덧셈기(450), (460)에서는 2n의 Y신호와 C신호가 출력되게 된다.

3n, 4n, 5n도 동일한 동작에 의해 각기 퍼센트블럭(300)에서 제공되는 상수와 연산하여 각 라인의 Y 신호와 C신호를 형성하게 된다. 그러나 7p에서는 [표-3]에서와 같이 퍼센트블럭에서 출력되는 메모리 콘트롤 헤드신호(CMCH)가 로직 "L"로 되어 Y 및 C출력을 화상메모리(500)가 스테이 상태로 된다. 따라서 6p와의 연산이 없게 된다.

이 7p는 다시 8p와 연산되어 6n의 Y와 C신호를 형성하게 된다.

이와 같이 퍼센트블럭(300)의 출력이 6라인을 추가로 하여 동일한 상수를 출력하므로 전술한 1n에서 5n까지의 변환식과 동일한 상수가 제공되므로 각각의 Y 및 C신호가 형성되어 전체 1필드의 288라인에서 243라인이 출력되어 NTSC 방식의 주사라인으로 된다.

한편, 입력되는 신호가 NTSC 방식의 신호일 경우에는, 상기 제 1 도에 나타낸 스위치(S1)~(S6)들이 선택단(b)로 모두 연결되게 한다. 따라서, Y신호 및 C신호는 PAL 방식의 입력때와 동일하게 Y A/D 콘버터(110)과 C A/D 콘버터(120)에 의해 각기 Y신호와 C신호가 디지털신호로 변환된 후, Y신호는 스위치(S1)의 선택단(a)과 스위치(S3)의 선택단(b)을 통해 화상메모리(500)에 입력되어 저장되고, C신호는 스위치(S2)의 선택단(a)과 스위치(S4)의 선택단(b)을 통해 화상메모리(500)에 입력되어 저장된다. 이 저장된 Y 및 C신호는 리드되어 라인메모리(210), (220)에 입력된 후 연산기 1(410), 연산기 3(430)에 각기 입력된다.

또한, 다른 한편으로 퍼센트블럭(300)에서 출력되는 각 라인별 상기 연산기 1, 2, 3, 4(410), (420), (430), (440)에 제공하게 된다.

이 퍼센트블럭(300)의 카운터(310)에서 수평동기를 카운트하여 조합논리회로 (320)에 출력하면 조합 논리회로에는 NTSC 방식이므로 [표-3]에서와 같이 로직 "1"의 신호가 입력된다.

상기 카운터(310)의 출력중 6종만이 유효하며, 다른 2종의 출력값은 취하지 않게 되는데, 전술한 NTSC →PAL 변환방법에서의 [표-2]에서와 같은 변환식이 우변항의 상수드를 각기 2진 및 16진 변환하면,

1p의 상수 $1 = \underline{\underline{0}} \underline{\underline{1111}} \underline{\underline{1111}} \underline{\underline{111}} \dots = FF$

2p의 상수 $0.8 = \underline{\underline{0}} \underline{\underline{1100}} \underline{\underline{1100}} \underline{\underline{1}} \dots = CC$

3p의 상수 $0.6 = \underline{\underline{0}} \underline{\underline{1001}} \underline{\underline{1001}} \underline{\underline{1}} \dots = 99$

4p의 상수 $0.4 = \underline{\underline{0}} \underline{\underline{0110}} \underline{\underline{0111}} \underline{\underline{1}} \dots = 66$

5p의 상수 $0.2 = \underline{\underline{0}} \underline{\underline{0011}} \underline{\underline{0011}} \underline{\underline{1}} \dots = 33$

6p의 상수 $0 = \underline{\underline{0}} \underline{\underline{0000}} \underline{\underline{0000}} \underline{\underline{1}} \dots = 00$

상기에서 소수점 좌변을 버리고 밑줄친 8비트만 취해 16진 변환하면 각기 FF, CC, 99, 66, 33, 00의 16진 값이 된다.

이와 같이 8비트로 취한 값이 조합논리회로(320)의 각 퍼센트 출력단(PERO, PER1, PER2, ..., PER7)에서 출력되어 연산기 2, 4(420), (440)에 입력되며, 인버터(I1, I2, ..., I8)를 통해서는 연산기 1, 3(410), (430)에 입력된다.

상기, 연산기 1, 3(410), (430)은 각기 Y신호 및 C신호에 대하여 [표-2]에 변환식에서 우측항의 곱셈을 계산하게 되고, 연산기 2, 4(420), (440)는 각기 Y신호 및 C신호에 대하여 [표-2]의 변환식에서 좌측항의 곱셈을 계산하게 된다.

즉, 연산기 1, (410)에서는 라인메모리(210)에 의해 1n의 1H 지연되어 신호가 없게 되며, 이때의 퍼센트블럭(300)의 출력은 [표-3]에서와 같이 로직 "1"의 신호가 출력되나 인버터(I1, I2, ..., I8)에 의해 모두 로직 "0"로 되므로 연산기 1, (410)의 출력은 00이 되고, 연산기 3(430)의 입력도 연산기 (410)의 입력과 동일한 로직으로 되어 그 출력이 00이 된다.

이때, 연산기 2, 4(420), (440)에는 각기 Y A/D 콘버터(110)와 C A/D 콘버터(120)의 1n의 출력이 입

력된다. 또한, 퍼센트블럭(300)으로부터 각기 모든 출력이 로직 "1"인 신호를 제공받아 Y신호와 C신호에 대해 각기 1p의 신호가 형성되어 덧셈기(450), (460)를 통해 출력된다. 이 1p의 Y, C신호는 각기 스위치(S5), (S6)를 통해 최종적으로 D/A 콘버터로 출력된다.

다음의 입력 주사라인인 2n이 A/D 변환회로(100)에 의해 연산기 2, 4(420), (440)에 입력되면 연산기 1, 3(410), (430)에는 라인메모리부(200)에 의해 1H 지연된 1n 신호가 출력되어서 각기 [표-3]에서와 같은 퍼센트블럭(300)의 출력을 상수로 제공받아 연산을 행하게 되고, 그 연산값이 덧셈기(450), (460)에 합산되어 2p의 Y신호와 C신호가 출력된다.

3p, 4p, 5p도 동일한 동작에 의해 각기 퍼센트블럭(300)에서 제공되는 상수와 연산하여 각 라인의 Y신호와 C신호가 형성되게 된다.

이후, 6p에서는 퍼센트블럭(300)의 퍼센트출력(PER0, …, PER7)이 모두 로직 "0"으로 되어 연산기 2, 4(420), (440)에서의 연산출력이 없게 된다. 연산기 1, 3(410), (430)에서는 라인메모리부(200)에서 제공되는 1H 지연된 신호인 5n이 출력되므로 인버터(I1, I2, …, I8)에 의해 로직 "1"로 모두 반전된 상수를 제공받아 연산출력을 덧셈기(440), (460)를 통해 출력하게 되어 6p의 Y신호와 C신호가 발생된다.

또한, 6p에서는 퍼센트블럭(300)에서 출력되는 메모리콘트를 출드신호(MCH)가 로직 "L"로 되어 화상메모리(500)의 리드를 일시 중지시킨다.

이후의 라인은 상기 1p에서 6p까지의 변환식과 동일한 상수에 의해 형성되어 1필드 243라인의 주사라인에 대해 1필드 288라인의 PAL 출력을 발생하게 된다.

한편, 상기 연산회로(400)의 연산기 1, 2, 3, 4(410), (420), (430), (440)들은 모두 제 3 도와 동일한 구조으로된 것으로 제 3 도에 의거 연산기 1, 2, 3, 4(410), (420), (430), (440)의 상세한 동작관계를 설명한다.

먼저, 라인메모리부(200)에서 제공되는 1H 지연된 신호 또는 A/D 변환회로(100)에서 제공되는 8비트의 신호입력이 버퍼(BF1)를 통해서 각 멀티플렉서(MUX1), (MUX2)…(MUX8)에 입력되고, 퍼센트블럭(300)의 퍼센트 출력단(PER0…PER7)에서 출력되는 신호 각각이 상기 멀티플렉서(MUX1)…(MUX8)의 입력을 선택하게 된다.

일예로 퍼센트블럭(300)의 출력이 [표-3]에서와 같이 00101010일 경우에 멀티플렉서(MUX1)…(MUX8)의 출력은 MUX1, MUX2, MUX4, MUX6, MUX8에서는 모두 로직 "0"로 되며 MUX3, MUX5, MUX7에서는 버퍼(BF1)로부터 입력되는 8비트의 데이터가 출력된다. 이 멀티플렉서(MUX1)의 8비트 출력은 9비트 가산기(ADD1)의 입력단(A)에 1입력씩 비트가 상향되어 입력된다.

또한, 멀티플렉서(MUX2)의 8비트의 출력은 그대로 가산기(ADD1)에 동일 비트로 입력되어서 상기 입력단(A)을 통해 입력되는 신호와 가산되어 9비트 출력된다. 멀티플렉서(MUX3)는 하위 비트 1자리를 버리고 상위 7비트만을 7비트 가산기(ADD2)의 입력단(A)에 출력하며, 멀티플렉서(MUX4)는 상위 6비트만을 상기 가산기(ADD2)의 입력단(A)의 하위 6비트에 입력시킨다. 가산기(ADD2)에서는 상기 멀티플렉서(MUX3), (MUX4)의 출력이 가산되어 7비트의 출력이 나타난다. 멀티플렉서(MUX5)는 상위 5비트를 가산기(ADD3)의 입력단(A)에 입력시키고, 멀티플렉서(MUX6)는 상위 4비트를 가산기(ADD3)의 입력단(B)의 하위 4비트에 입력시키며, 가산기(ADD3)에서는 상기 멀티플렉서(MUX5), (MUX6)에서부터 입력되는 신호가 가산되어 5비트의 출력이 발생된다.

또한, 멀티플렉서(MUX7)는 상위 3비트만을 가산기(ADD4)의 입력단(A)에 입력시키며, 멀티플렉서(MUX8)는 상위 2비트만을 가산기(ADD4)의 입력단(B)의 하위 2비트에 입력시킨다.

따라서, 가산기(ADD4)에서는 상기 멀티플렉서(MUX7), (MUX8)에서부터 입력되는 신호가 가산되어 3비트의 출력이 발생된다.

상기 가산기(ADD1)의 9비트 출력은 10비트의 가산기(ADD10)의 입력단(A)에 입력되고, 가산기(ADD2)의 7비트 출력은 입력단(B)에 입력되어 10비트의 출력이 발생된다.

또한, 가산기(ADD3)의 5비트 출력은 가산기(ADD20)의 입력단(A)에 입력되고, 가산기(ADD4)의 3비트 출력은 가산기(ADD20)의 입력단(B)에 입력되어 6비트의 출력이 발생된다. 가산기(A100)는 상기 가산기(ADD10)로부터 입력되는 10비트 신호와, 가산기(ADD20)로부터 입력되는 6비트 신호를 가산하여 8비트의 출력을 발생하며, 버퍼(BF2)는 클럭에 동기되어서 상기 가산기(A100)에서 출력되는 신호를 출력한다.

이와 같이 연산기 1, 2, 3, 4(410), (420), (430), (440)들은 각기 전술한 동작을 행하여 연산출력을 발생하게 된다. 연산동작의 예로서 버퍼(BF1)에 입력되는 신호가 "1111 1111"이라고 하고, 퍼센트블럭(300)에서 출력되는 상수값이 0.9999…라고 가정하면, 0.999…의 2진수는 0.1111…로 된다.

이와 같이 2진수로 된 상수값(퍼센트블럭의 출력)이 각 멀티플렉서(MUX1)…(MUX8)에서 1비트씩 시프트된다.

데이터 번호	D7 D6 … ..	D1 D0
신호값	1 1 1 1	1 1 1 1
1비트 시프값	0 1 1 1	1 1 1 1.1
2비트 시프값	0 0 1 1	1 1 1 1.1 1
3비트 시프값	0 0 0 1	1 1 1 1.1 1

7비트 시프값	0 0 0 0	0 0 0 1.1 1
8비트 시프값	0 0 0 0	0 0 0 0.1 1

이 된다.

상기 1비트 시프트값과 2비트 시프트값은 9비트의 가산기(ADD1)에서 9비트 가산 출력된다. 즉, 상수 값을 2진수로 표시하여 시프트되는 비트가 "1"일때는 그 시프트된 값을 더하고 "0"일때는 시프트되는 값 대신에 00을 더하여 준다.

이를 계속 더하면 상수값을 곱한 결과가 된다. 물론 보다 정확한 결과를 얻기 위해서는 시프트되는 비트를 증가시키고 소숫점 이하의 숫자를 늘리면 된다.

따라서, 3비트 시프트값과 4비트 시프트값은 7비트 가산기(ADD2)에서 가산되어 7비트로 출력된다. 또한, 4, 5비트 시프트값은 5비트 가산기(ADD3)에서, 6, 7비트 시프트값은 3비트 가산기(ADD4)에서 각기 가산되어 5비트 및 3비트의 출력이 나타난다.

또한, 10비트의 가산기(ADD10)에서 상기 가산기(ADD1), (ADD2)의 가산출력을 10비트로 가산하여 출력하고, 6비트의 가산기(ADD20)에서는 상기 가산기(ADD3), (ADD4)의 가산출력을 다시 가산하여 6비트로 출력한다.

또한, 10비트 가산기(A100)는 상기 가산기(ADD10), (ADD20)의 출력을 가산한 후 하위 2비트를 버리고 즉, 소숫점 이하값을 버린 가산출력을 발생한다.

따라서, 버퍼(BF2)에서는 버퍼(BF1)의 출력에 퍼센트블럭(300)의 상수를 곱한 값이 출력되어 변환된 1H 값이 나타난다. 이 1H 값은 [표-1] 및 [표-2]에서의 변환식에서 좌변항 또는 우변항의 값이 된다.

예컨대 [표-1]에서 1n의 연산을 행한 경우에는 $1p \times 0.833$ 의 값이거나 $2p \times 0.166$ 의 계산값이 출력된다.

이와 같이 각 연산기 1, 2, 3, 4(410), (420), (430), (440)의 연산출력이 각기 덧셈기(450)에서는 연산기 1, 2(410), (420)의 출력이 가산되어 변환되어 Y신호가 출력되고, 연산기 3, 4(430), (440)의 출력은 덧셈기(450)에서 가산되어 변환된 C신호가 출력된다.

이와 같이 PAL→NTSC 변환일때는 A/D 변환회로(100)에 의해 PAL 방식의 Y 및 C신호가 디지털신호로 변환된 후 라인메모리부(200)와 퍼센트블럭(300)과 연산회로(400)를 통해서 라인변환된 후 화상메모리(500)에 저장되어 D/A 콘버터로 출력된다.

또한, NTSC→PAL 변환일때는 A/D 변환회로(100)에 의해 NTSC 방식의 Y 및 C신호가 디지털신호로 변환된 후 화상메모리(500)에 저장되고, 이 저장된 데이터가 리드되어 라인메모리부(200)와 퍼센트블럭(300)과 연산회로(400)를 통해서 라인변환된 후 D/A 콘버터로 출력된다.

전술한 설명에서는 NTSC 방식과 PAL 방식의 변환예만을 설명하였으나 이 이외의 방식에 대해서도 동일하게 적용할 수가 있다.

이상에서와 같이 이 발명에 따른 영상신호가 라인변환방법과 그 장치에 의하면, PAL→NTSC로 변환하거나 NTSC→PAL로 변환시킬때 각 방식의 수평주사라인의 비율을 적용하여 NTSC로 변환시킬때는 N+1라인을 2라인씩 비율을 상이하게 하여 N 라인으로 변환 출력하고, PAL로 변환시킬때는 N라인을 2라인씩 그 비율을 상이하게 N+1라인으로 변환 출력하므로 라인변환에 따른 영상데이터의 손실이 없게 되고, 디스 플레이되는 영상의 재생도가 매우 높게 되어 칼라텔레비전의 품질이 크게 향상되게 된다.

(57) 청구의 범위

청구항 1

1라인씩 중복되는 매 2개의 주사라인의 상호 영상신호의 비율을 다르게 하여 1라인을 형성하여서 N+1라인으로 N라인을 형성하는 N+1단위 변환과정과, 매 N+1라인 단위로 상기 N+1단위 변환과정을 실행하여 1필드에서 라인을 $N/(N+1)$ 감소시키는 1필드 라인변환과정으로 구성되어 전체 K라인을 M 라인으로 변환하는 영상신호의 라인변환방법.

청구항 2

제 1 항에 있어서, 상기 N+1단위 변환과정은, 매 연산시마다 첫번째 주사라인을 1H 지연시킨 후 다음 라인과의 비율에 의해 1라인을 형성하도록 한 것을 특징으로 하는 영상신호의 라인변환방법.

청구항 3

제 2 항에 있어서, 상기 연산은 1H 지연된 주사라인과 현재의 주사라인에 각 라인의 상수를 곱한 후 그 값을 가산하여서 되며, 상기 변환된 1라인을 형성하는 상수들의 합이 " 1"로 되게 한 것을 특징으로 하는 영상신호의 라인변환방법.

청구항 4

1라인씩 중복되는 2개의 주사라인으로 상호영상신호의 비율을 다르게 하여 매 1라인을 형성하여서 N 라인으로 N+1라인을 형성하는 N단위 변환과정과, 매 N라인 단위로 상기 N단위 변환과정을 실행하며 1필드에서 라인을 $(N+1)/N$ 로 증가시키는 1필드라인 변환과정으로 구성되어 전체 M라인을 K라인으로 변환하는 영상신호의 라인변환방법.

청구항 5

제 4 항에 있어서, 상기 N단위 변환과정은, 첫 주사라인과 마지막 주사라인은 형성되는 라인의 첫 라인과 마지막 라인을 형성하고, 다른 라인들은 각기 1H 전라인과 현라인을 비율에 의한 연산으로 1 라인씩을 형성하도록 한 것을 특징으로 하는 영상신호의 라인변환방법.

청구항 6

제 4 항에 있어서, 상기 N단위 변환과정시 1H 전라인과 현라인의 비율에 의한 연산은 1H 전라인과 현재의 주사라인에 각 라인의 상수를 곱한 후 그 값을 상수들의 합이 " 1"로 되게 한 것을 특징으로 하는 영상신호의 라인변환방법.

청구항 7

Y신호 및 C신호를 디지털신호로 변환시켜 출력하는 A/D 변환회로(100)와, 1H 라인을 저장하여 1H 지연된 데이터를 출력하는 라인메모리부(200)와, 각 1H 라인마다 비율을 출력하는 퍼센트블럭(300)과, 상기 퍼센트블럭(300)에서 출력되는 각 라인마다의 상수와 A/D 변환회로(100)에서 출력되는 Y 및 C 신호의 디지털신호와 라인메모리부(200)에서 출력되는 1H 지연된 출력을 연산하여 라인변환된 출력을 발생하는 연산회로(400)와, 이 연산회로(400)의 출력을 입력받으며 상기 퍼센트블럭(300)에서 제공되는 메모리콘트를 훌드신호에 의해 콘트롤되어 화상데이터를 저장 및 출력하는 화상메모리(500)로 된 영상신호의 라인변환장치.

청구항 8

제 7 항에 있어서, 상기 퍼센트블럭(300)은, 수평동기신호를 카운트하며 6종의 출력이 6개의 수평동기 신호를 주기로 하여 반복되고, 수직블랭킹신호에 의해 클리어되는 6비트의 카운터(310)와, 입력 신호가 626라인일때는 로우신호를 제공받고, 525라인일때는 하이신호를 제공받으며, 상기 카운터(310)의 출력을 논리조합하여 각 수평주사라인별로 상수의 출력을 8개의 퍼센트출력단(PER0, PER1…PER7)에 발생하며, 라인메모리부(200)의 콘트롤 훌드신호를 발생하는 조합논리회로(320)로 구성된 영상신호의 라인변환장치.

청구항 9

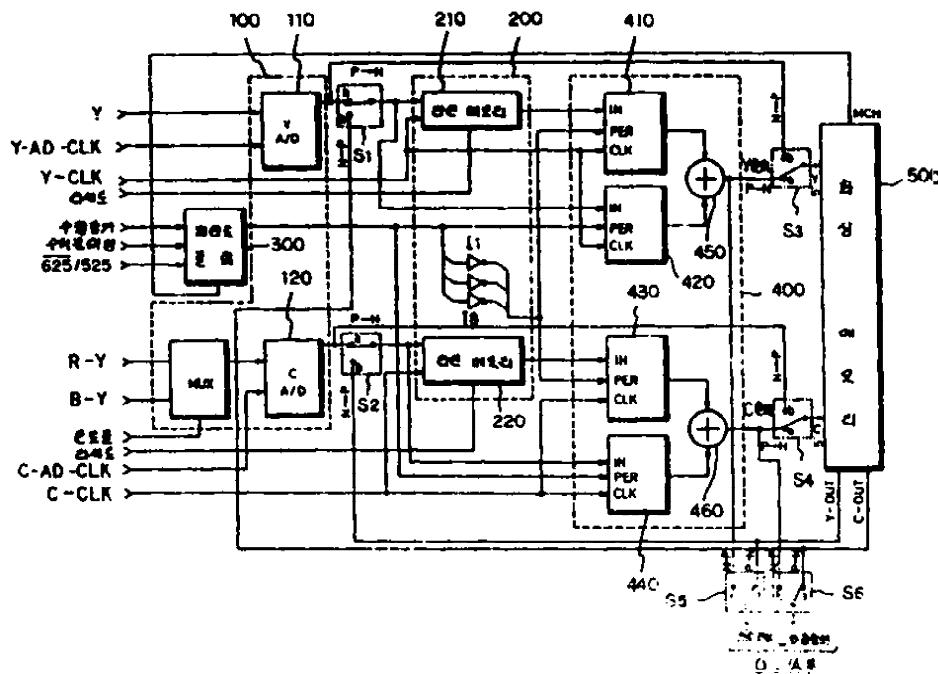
제 7 항에 있어서, 상기 연산회로(400)는, 라인메모리부(200)에서 1H 지연된 주사라인의 Y신호를 제공받으며, 퍼센트블럭(300) 출력의 반전된 신호를 상기 Y신호의 데이터와 연산하여 출력하는 연산기(410)와, A/D 변환회로(100)로부터 현재라인의 디지털 변환된 Y신호를 제공받으며, 퍼센트블럭(300)에서 제공되는 신호와 상기 Y신호의 데이터를 연산하여 출력하는 연산기(420)와, 라인메모리부(200)에서 1H 지연된 주사라인의 C신호를 C신호의 데이터와 연산하여 출력하는 연산기(430)와, A/D 변환회로(100)로부터 현재라인의 디지털변환된 C신호를 제공받으며, 퍼센트블럭(300)에서 제공되는 신호와 상기 C신호의 데이터를 연산하여 출력하는 연산기(440)와, 상기 연산기(410), (420)들의 출력을 합산하여 변환된 주사라인의 Y신호를 출력하는 덧셈기(450)와, 상기 연산기(430), (440)들의 출력을 합산하여 변환된 주사라인의 Y신호를 출력하는 덧셈기(450)와, 상기 연산기(430), (440)들의 출력을 합산하여 변환된 주사라인의 C신호를 출력하는 덧셈기(460)로 구성된 영상신호의 라인변환장치.

청구항 10

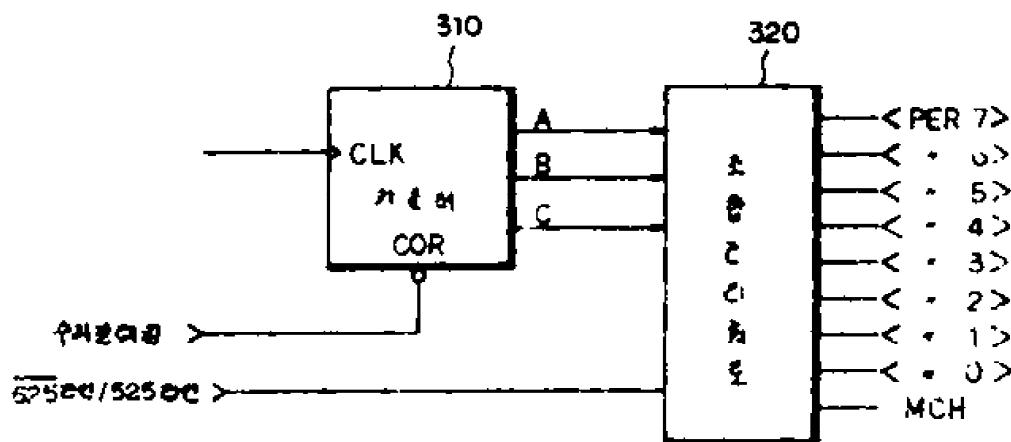
제 9 항에 있어서, 상기 연산기(410)…(440)들은 각기 A/D 변환회로(100) 또는 라인메모리부(200)로부터 8비트의 주사라인 데이터를 입력받는 버퍼(BF1)와, 상기 버퍼(BF1)로부터 8비트의 데이터를 각기 입력받으며, 퍼센트블럭(300)에서 동시에 발생되는 8개의 로직신호를 제공받아 출력을 발생하는 8멀티플렉서(MUX1, MUX2…MUX8)와, 상기 멀티플렉서(MUX1, MUX2…MUX8)중 2개단의 출력을 양 입력으로 각기 제공받으며 순차적으로 멀티플렉서(MUX1…MUX8)로부터 제공되는 출력을 상위 비트로 감소시켜서 하위 비트로 입력받는 각기 9비트, 7비트, 5비트, 3비트의 가산기(ADD1), (ADD2), (ADD3), (ADD4)와, 상기 가산기(ADD1)…(ADD4)의 9비트, 7비트, 5비트, 3비트의 각 출력을 각기 자리올림하여 입력받는 10비트, 6비트의 가산기(ADD10), (ADD20)와, 상기 가산기(ADD10), (ADD0)의 출력을 양 입력으로 제공받아 8비트의 출력을 발생하는 가산기(A100)와, 상기 가산기(A100)의 출력을 제공받아 연산출력신호를 발생하는 버퍼(BF2)로 구성된 것을 특징으로 하는 영상신호의 라인변환장치.

도면

도면1



도면2



도면3

