



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년05월04일
(11) 등록번호 10-2248765
(24) 등록일자 2021년04월29일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01)
(52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 29/78612 (2013.01)
(21) 출원번호 10-2015-7016783
(22) 출원일자(국제) 2013년11월19일
심사청구일자 2018년10월16일
(85) 번역문제출일자 2015년06월23일
(65) 공개번호 10-2015-0092191
(43) 공개일자 2015년08월12일
(86) 국제출원번호 PCT/JP2013/081577
(87) 국제공개번호 WO 2014/084152
국제공개일자 2014년06월05일
(30) 우선권주장
JP-P-2012-261795 2012년11월30일 일본(JP)
(56) 선행기술조사문헌
JP2010157702 A*
JP2011124360 A*
JP2012134467 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
마츠바야시 다이ске
일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
시노하라 사토시
일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
세키네 와타루
일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(74) 대리인
김태홍, 김진희

전체 청구항 수 : 총 11 항

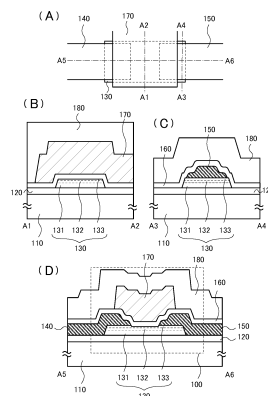
심사관 : 이양근

(54) 발명의 명칭 반도체 장치

(57) 요약

본 발명은 미세화에 따라 현저하게 되는 전기 특성의 저하를 억제할 수 있는 구성의 반도체 장치를 제공한다. 기판 위에 기판측으로부터 제 1 산화물 반도체층, 제 2 산화물 반도체층, 제 3 산화물 반도체층의 순서로 적층한 산화물 반도체층과; 산화물 반도체층과 접촉하는 소스 전극층 및 드레인 전극층과; 산화물 반도체층, 소스 전극층 및 드레인 전극층 위에 형성된 게이트 절연막과; 게이트 절연막 위에 형성된 게이트 전극층을 포함한다. 제 1 산화물 반도체층은 제 1 영역을 포함한다. 게이트 절연막은 제 2 영역을 포함한다. 제 1 영역의 막 두께를 T_{S1} , 제 2 영역의 막 두께를 T_{G1} 로 할 때, $T_{S1} \geq T_{G1}$ 로 한다.

대표도 - 도1



(52) CPC특허분류

H01L 29/78639 (2013.01)

H01L 29/78696 (2013.01)

H01L 2924/13069 (2013.01)

명세서

청구범위

청구항 1

반도체 장치에 있어서,

기관;

상기 기관 위에 상기 기관측으로부터 제 1 산화물 반도체층, 제 2 산화물 반도체층, 및 제 3 산화물 반도체층의 순서로 적층한 산화물 반도체 적층체;

상기 제 1 산화물 반도체층, 상기 제 2 산화물 반도체층, 및 상기 제 3 산화물 반도체층과 접촉하는 소스 전극층 및 드레인 전극층;

상기 산화물 반도체 적층체, 상기 소스 전극층, 및 상기 드레인 전극층 위의 게이트 절연막; 및

상기 소스 전극층, 상기 드레인 전극층, 및 상기 산화물 반도체 적층체와 중첩하는 상기 게이트 절연막 위의 게이트 전극층을 포함하고,

상기 제 1 산화물 반도체층은 제 1 영역을 포함하고,

상기 게이트 절연막은 제 2 영역을 포함하고,

상기 제 1 영역의 막 두께를 T_{S1} , 상기 제 2 영역의 막 두께를 T_{G1} 로 할 때, $T_{S1} \geq T_{G1}$ 이고,

상기 게이트 전극층은 상기 게이트 절연막 사이에 끼우고 상기 제 2 산화물 반도체층의 측면의 일부를 덮는, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 소스 전극층은 상기 산화물 반도체 적층체와 접촉하는 제 1 소스 전극층과, 상기 제 1 소스 전극층을 덮고, 상기 산화물 반도체 적층체와 접촉하는 제 2 소스 전극층을 포함하고,

상기 드레인 전극층은 상기 산화물 반도체 적층체와 접촉하는 제 1 드레인 전극층과, 상기 제 1 드레인 전극층을 덮고, 상기 산화물 반도체 적층체와 접촉하는 제 2 드레인 전극층을 포함하는, 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 소스 전극층은 상기 산화물 반도체 적층체와 접촉하는 제 2 소스 전극층과, 상기 제 2 소스 전극층 위에 있고, 상기 산화물 반도체 적층체와 접촉하는 제 1 소스 전극층을 포함하고,

상기 드레인 전극층은 상기 산화물 반도체 적층체와 접촉하는 제 2 드레인 전극층과, 상기 제 2 드레인 전극층 위에 있고, 상기 산화물 반도체 적층체와 접촉하는 제 1 드레인 전극층을 포함하는, 반도체 장치.

청구항 4

제 2 항에 있어서,

상기 제 1 소스 전극층 및 상기 제 1 드레인 전극층 각각은 Al, Cr, Cu, Ta, Ti, Mo, 및 W, 또는 이것들을 주성분으로 하는 합금 재료를 사용하여 형성되고,

상기 제 2 소스 전극층 및 상기 제 2 드레인 전극층 각각은 질화 탄탈, 질화 티탄, 또는 루테튬을 포함하는 재료를 사용하여 형성되는, 반도체 장치.

청구항 5

제 3 항에 있어서,

상기 제 1 소스 전극층 및 상기 제 1 드레인 전극층 각각은 Al, Cr, Cu, Ta, Ti, Mo, 및 W, 또는 이것들을 주성분으로 하는 합금 재료를 사용하여 형성되고,

상기 제 2 소스 전극층 및 상기 제 2 드레인 전극층 각각은 질화 탄탈, 질화 티탄, 또는 루테튬을 포함하는 재료를 사용하여 형성되는, 반도체 장치.

청구항 6

반도체 장치에 있어서,

기관 위의 제 1 산화물 반도체층;

상기 제 1 산화물 반도체층 위의 제 2 산화물 반도체층;

상기 제 2 산화물 반도체층 위의 제 1 소스 전극층 및 제 1 드레인 전극층;

상기 제 2 산화물 반도체층, 상기 제 1 소스 전극층, 및 상기 제 1 드레인 전극층 위의 제 3 산화물 반도체층;

상기 제 1 소스 전극층을 덮는 제 2 소스 전극층;

상기 제 1 드레인 전극층을 덮는 제 2 드레인 전극층;

상기 제 3 산화물 반도체층, 상기 제 2 소스 전극층, 및 상기 제 2 드레인 전극층 위의 게이트 절연막; 및

상기 게이트 절연막 위의 게이트 전극층을 포함하고,

상기 제 1 소스 전극층과 상기 제 1 드레인 전극층은 상기 제 1 산화물 반도체층 내지 상기 제 3 산화물 반도체층과 접촉하고,

상기 제 2 소스 전극층과 상기 제 2 드레인 전극층은 상기 제 3 산화물 반도체층과 접촉하고,

상기 제 1 산화물 반도체층은 제 1 영역을 포함하고,

상기 게이트 절연막은 제 2 영역을 포함하고,

상기 제 1 영역의 막 두께를 T_{S1} , 상기 제 2 영역의 막 두께를 T_{G1} 로 할 때, $T_{S1} \geq T_{G1}$ 인, 반도체 장치.

청구항 7

제 6 항에 있어서,

상기 제 1 소스 전극층 및 상기 제 1 드레인 전극층 각각은 Al, Cr, Cu, Ta, Ti, Mo, 및 W, 또는 이것들을 주성분으로 하는 합금 재료를 사용하여 형성되는, 반도체 장치.

청구항 8

제 6 항에 있어서,

상기 제 2 소스 전극층 및 상기 제 2 드레인 전극층 각각은 질화 탄탈, 질화 티탄, 또는 루테튬을 포함하는 재료를 사용하여 형성되는, 반도체 장치.

청구항 9

반도체 장치에 있어서,

기관 위의 제 1 산화물 반도체층;

상기 제 1 산화물 반도체층 위의 제 2 산화물 반도체층;

상기 제 2 산화물 반도체층 위의 제 3 산화물 반도체층;

상기 제 3 산화물 반도체층 위의 게이트 절연막; 및

상기 게이트 절연막 위의 게이트 전극층을 포함하고,

상기 제 1 산화물 반도체층의 두께는 상기 게이트 절연막의 두께보다 두껍고,

상기 게이트 전극층은 상기 게이트 절연막을 사이에 끼우고 상기 제 2 산화물 반도체층의 측면의 일부를 덮고,

상기 게이트 전극층의 측면은 상기 제 1 산화물 반도체층의 측면과 마주보지 않고,

상기 게이트 절연막과 접촉하는 상기 제 3 산화물 반도체층의 영역의 두께는, 상기 게이트 절연막과 접촉하지 않는 상기 제 3 산화물 반도체층의 영역의 두께보다 작은, 반도체 장치.

청구항 10

제 1 항, 제 6 항, 및 제 9 항 중 어느 한 항에 있어서,

상기 제 1 산화물 반도체층 및 상기 제 3 산화물 반도체층 각각의 전도대 하단의 에너지는, 상기 제 2 산화물 반도체층의 전도대 하단의 에너지보다 진공 준위에 더 가깝고,

상기 제 2 산화물 반도체층과 상기 제 1 산화물 반도체층 사이의 전도대 하단의 에너지 차이와, 상기 제 2 산화물 반도체층과 상기 제 3 산화물 반도체층 사이의 전도대 하단의 에너지 차이는, 각각 0.05 eV 이상 2 eV 이하인, 반도체 장치.

청구항 11

제 1 항, 제 6 항, 및 제 9 항 중 어느 한 항에 있어서,

상기 제 1 산화물 반도체층 내지 상기 제 3 산화물 반도체층은 각각 In-M-Zn 산화물(M은 Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf)을 사용하여 형성되고,

상기 제 1 산화물 반도체층 및 상기 제 3 산화물 반도체층 각각에서의 원자수비에 있어서의 In에 대한 M의 비율은, 상기 제 2 산화물 반도체층에서의 원자수비에 있어서의 In에 대한 M의 비율보다 큰, 반도체 장치.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

발명의 설명

기술 분야

[0001] 본 발명은 물건, 방법, 또는 제조 방법, 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 특히, 본 발명은, 예를 들면, 반도체 장치, 표시 장치, 발광 장치, 이들의 구동 방법, 또는 이들의 제조 방법에 관한 것이다. 특히, 본 발명은, 예를 들면, 산화물 반도체를 포함하는 반도체 장치, 표시 장치, 또는, 발광 장치에 관한 것이다.

[0002] 또한, 본 명세서에서 "반도체 장치"란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키고; 전기 광학 장치, 반도체 회로 및 전자기기는 모두 반도체 장치의 카테고리에 포함된다.

배경 기술

[0003] 절연 표면을 갖는 기판 위에 형성된 반도체 박막을 이용하여 트랜지스터(박막 트랜지스터(TFT)라고도 함)를 형성하는 기술이 주목받고 있다. 상기 트랜지스터는 집적 회로(IC)나 화상 표시 장치(표시 장치)와 같은 전자 디

바이스에 널리 응용되고 있다. 트랜지스터에 적용 가능한 반도체 박막으로서 실리콘계 반도체 재료가 널리 알려져 있다. 그 외의 재료로서 산화물 반도체가 주목받고 있다.

[0004] 예를 들면, 트랜지스터의 활성층으로서 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함한 비정질 산화물 반도체를 포함하는 트랜지스터가 특허문헌 1에 개시되어 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본국 특개 2006-165528호 공보

발명의 내용

해결하려는 과제

[0006] 일반적으로, 고집적화 회로의 형성에 있어서 트랜지스터의 미세화는 필수 기술이다. 한편, 트랜지스터를 미세화하면, 문턱 전압이나 S값(subthreshold value) 등의 트랜지스터의 전기 특성이 악화되는 것이 알려져 있다.

[0007] 따라서, 본 발명의 일 양태는 미세화에 따라 현저하게 되는 전기 특성의 저하를 억제할 수 있는 구성의 반도체 장치를 제공하는 것을 목적의 하나로 한다. 또는, 저소비 전력의 반도체 장치를 제공하는 것을 목적의 하나로 한다. 또는, 신뢰성이 높은 반도체 장치를 제공하는 것을 목적의 하나로 한다. 또는, 본 발명의 일 양태는 S값(subthreshold value)의 악화를 저감한 반도체 장치를 제공하는 것을 목적의 하나로 한다. 또는, 본 발명의 일 양태는 문턱 전압의 악화를 저감한 반도체 장치를 제공하는 것을 목적의 하나로 한다. 또는, 본 발명의 일 양태는 기생 채널을 저감한 반도체 장치를 제공하는 것을 목적의 하나로 한다. 또는, 본 발명의 일 양태는 전원이 차단되어도 데이터가 유지되는 반도체 장치를 제공하는 것을 목적의 하나로 한다.

[0008] 단, 이러한 과제의 기재는 다른 과제의 존재를 방해하는 것은 아니다. 단, 본 발명의 일 양태는 이들 과제를 모두 해결할 필요는 없는 것으로 한다. 이것들 이외의 과제는, 명세서, 도면, 청구항 등의 기재로부터, 저절로 분명해지는 것이며, 명세서, 도면, 청구항 등의 기재로부터, 이들 이외의 과제를 추출하는 것이 가능하다.

과제의 해결 수단

[0009] 본 발명의 일 양태는 적층된 산화물 반도체층을 포함하는 반도체 장치에 관한 것이다.

[0010] 본 발명의 일 양태는 절연 표면을 갖는 기판과; 기판 위에 기판측으로부터 제 1 산화물 반도체층, 제 2 산화물 반도체층, 제 3 산화물 반도체층의 순으로 적층한 산화물 반도체층과; 산화물 반도체층과 접촉하는 소스 전극층 및 드레인 전극층과; 산화물 반도체층, 소스 전극층 및 드레인 전극층 위에 형성된 게이트 절연막과; 게이트 절연막 위에 형성된 게이트 전극층을 포함하는 반도체 장치이다. 제 1 산화물 반도체층은 제 1 영역을 포함한다. 게이트 절연막은 제 2 영역을 포함한다. 제 1 영역의 막 두께를 T_{S1} , 제 2 영역의 막 두께를 T_{G1} 로 할 때, $T_{S1} \geq T_{G1}$ 이다.

[0011] 단, 본 명세서 등에서의 "제 1", "제 2" 등의 서수사는 구성 요소의 혼동을 피하기 위하여 붙인 것이며, 수적으로 한정하는 것이 아니라는 것을 부기한다.

[0012] 상기 구성에 있어서, 제 1 산화물 반도체층 및 제 3 산화물 반도체층의 전도대 하단의 에너지가 제 2 산화물 반도체층보다 진공 준위에 가까운 것이 바람직하다. 제 2 산화물 반도체층 및 제 1 산화물 반도체층의 전도대 하단의 에너지 차이 및 제 2 산화물 반도체층 및 제 3 산화물 반도체층의 전도대 하단의 에너지 차이가 각각 0.05 eV 이상 2 eV 이하의 범위인 것이 바람직하다.

[0013] 제 1 산화물 반도체층 내지 제 3 산화물 반도체층은 In-M-Zn 산화물(M은 Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf)이며, 제 1 산화물 반도체층 및 제 3 산화물 반도체층은 In에 대한 M의 원자수비가 제 2 산화물 반도체층보다 큰 것이 바람직하다.

[0014] 소스 전극층은 산화물 반도체층에 접촉하는 제 1 소스 전극층과, 제 1 소스 전극층을 덮고, 산화물 반도체층에 접촉하는 제 2 소스 전극층을 포함한다. 드레인 전극층은 산화물 반도체층에 접촉하는 제 1 드레인 전극층과,

제 1 드레인 전극층을 덮고, 산화물 반도체층에 접촉하는 제 2 드레인 전극층을 포함한다.

[0015] 소스 전극층은 산화물 반도체층에 접촉하는 제 2 소스 전극층과, 제 2 소스 전극층 위에 형성되고, 산화물 반도체층에 접촉하는 제 1 소스 전극층을 포함한다. 드레인 전극층은 산화물 반도체층에 접촉하는 제 2 드레인 전극층과, 제 2 드레인 전극층 위에 형성되고, 산화물 반도체층에 접촉하는 제 1 드레인 전극층을 포함한다.

[0016] 여기서, 제 1 소스 전극층 및 제 1 드레인 전극층은 Al, Cr, Cu, Ta, Ti, Mo, W, 또는 이것들을 주성분으로 하는 합금 재료로 형성되고, 제 2 소스 전극층 및 제 2 드레인 전극층은 질화 탄탈, 질화 티탄, 또는 루테튬을 포함한 재료로 형성되어 있는 것이 바람직하다.

[0017] 본 발명의 다른 일 양태는 절연 표면을 갖는 기판과; 기판 위에 형성된 제 1 산화물 반도체층과; 제 1 산화물 반도체층에 형성된 제 2 산화물 반도체층과; 제 2 산화물 반도체층 위에 형성된 제 1 소스 전극층 및 제 1 드레인 전극층과; 제 2 산화물 반도체층, 제 1 소스 전극층, 및 제 1 드레인 전극층 위에 형성된 제 3 산화물 반도체층과; 제 1 소스 전극층을 덮도록 형성된 제 2 소스 전극층과; 제 1 드레인 전극층을 덮도록 형성된 제 2 드레인 전극층과; 제 3 산화물 반도체층, 제 2 소스 전극층, 및 제 2 드레인 전극층 위에 형성된 게이트 절연막과; 게이트 절연막 위에 형성된 게이트 전극층을 포함하는 반도체 장치이다. 제 1 소스 전극층 및 제 1 드레인 전극층은 제 1 산화물 반도체층 내지 제 3 산화물 반도체층과 접촉한다. 제 2 소스 전극층 및 제 2 드레인 전극층은 제 3 산화물 반도체층과 접촉한다. 제 1 산화물 반도체층은 제 1 영역을 포함한다. 게이트 절연막은 제 2 영역을 포함한다. 제 1 영역의 막 두께를 T_{S1} , 제 2 영역의 막 두께를 T_{G1} 로 할 때, $T_{S1} \geq T_{G1}$ 이다.

[0018] 상기 구성에 있어서, 제 1 산화물 반도체층 및 제 3 산화물 반도체층의 전도대 하단의 에너지가 제 2 산화물 반도체층보다 진공 준위에 가까운 것이 바람직하다. 또한, 제 2 산화물 반도체층 및 제 1 산화물 반도체층의 전도대 하단의 에너지 차이 및 제 2 산화물 반도체층 및 제 3 산화물 반도체층의 전도대 하단의 에너지 차이가 각각 0.05 eV 이상 2 eV 이하의 범위인 것이 바람직하다.

[0019] 제 1 산화물 반도체층 내지 제 3 산화물 반도체층은 In-M-Zn 산화물(M은 Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf)이며, 제 1 산화물 반도체층 및 제 3 산화물 반도체층은 In에 대한 M의 원자수비가 제 2 산화물 반도체층보다 큰 것이 바람직하다.

[0020] 상기 구성에서, 제 1 소스 전극층 및 제 1 드레인 전극층은 Al, Cr, Cu, Ta, Ti, Mo, W, 또는 이것들을 주성분으로 하는 합금 재료인 것이 바람직하다.

[0021] 제 2 소스 전극층 및 제 2 드레인 전극층은 질화 탄탈, 질화 티탄, 또는 루테튬을 포함한 재료로 형성되어 있는 것이 바람직하다.

발명의 효과

[0022] 본 발명의 일 양태를 이용함으로써, 다음의 반도체 장치를 제공할 수 있다: 미세화에 따라 현저하게 되는 전기 특성의 저하를 억제할 수 있고, 저소비 전력의 신뢰성이 높고, S값(subthreshold value)의 악화가 저감되고, 문턱 전압의 악화가 저감되고, 기생 채널이 저감되고, 전원이 차단되어도 데이터가 유지되는 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

[0023] 도 1의 (A) 내지 도 1의 (D)는 트랜지스터를 설명하는 상면도 및 단면도.

도 2의 (A) 및 도 2의 (B)는 산화물 반도체층의 밴드 구조를 설명하는 도면.

도 3은 트랜지스터의 확대 단면도.

도 4의 (A) 및 도 4의 (B)는 트랜지스터의 확대 단면도.

도 5의 (A)는 트랜지스터를 설명하는 상면도, 단면도, 도 5의 (B)는 산화물 반도체층의 밴드 구조를 설명하는 도면.

도 6은 트랜지스터의 확대 단면도.

도 7의 (A) 내지 도 7의 (D)는 트랜지스터를 설명하는 상면도 및 단면도.

도 8의 (A) 내지 도 8의 (D)는 디바이스 시뮬레이션에 이용하는 모델을 설명하는 상면도 및 단면도.

도 9의 (A) 내지 도 9의 (D)는 디바이스 시뮬레이션에 이용하는 모델을 설명하는 상면도 및 단면도.
 도 10의 (A) 내지 도 10의 (D)는 디바이스 시뮬레이션에 이용하는 모델을 설명하는 상면도 및 단면도.
 도 11의 (A) 내지 도 11의 (D)는 디바이스 시뮬레이션에 이용하는 모델을 설명하는 상면도 및 단면도.
 도 12의 (A) 및 도 12의 (B)는 디바이스 시뮬레이션의 결과를 설명하는 도면.
 도 13의 (A) 내지 도 13의 (D)는 디바이스 시뮬레이션에 이용하는 모델을 설명하는 상면도 및 단면도.
 도 14의 (A) 내지 도 14의 (D)는 디바이스 시뮬레이션에 이용하는 모델을 설명하는 상면도 및 단면도.
 도 15는 디바이스 시뮬레이션의 결과를 설명하는 도면.
 도 16은 디바이스 시뮬레이션의 결과를 설명하는 도면.
 도 17의 (A) 내지 도 17의 (C)는 디바이스 시뮬레이션의 결과를 설명하는 도면.
 도 18의 (A) 내지 도 18의 (D)는 디바이스 시뮬레이션에 이용하는 모델을 설명하는 상면도 및 단면도.
 도 19는 디바이스 시뮬레이션의 결과를 설명하는 도면.
 도 20의 (A) 내지 도 20의 (D)는 트랜지스터를 설명하는 상면도 및 단면도.
 도 21의 (A) 내지 도 21의 (D)는 트랜지스터를 설명하는 상면도 및 단면도.
 도 22의 (A) 내지 도 22의 (C)는 트랜지스터의 제작 방법을 설명하는 도면.
 도 23의 (A) 내지 도 22의 (C)는 트랜지스터의 제작 방법을 설명하는 도면.
 도 24의 (A) 및 도 24의 (B)는 트랜지스터의 제작 방법을 설명하는 도면.
 도 25의 (A) 및 도 25의 (B)는 반도체 장치의 단면도 및 회로도.
 도 26은 반도체 장치의 회로도.
 도 27은 반도체 장치의 블록도.
 도 28은 기억 장치를 설명하는 회로도.
 도 29는 기억 장치의 동작을 설명하는 타이밍 차트.
 도 30의 (A) 내지 도 30의 (C)는 반도체 장치를 적용할 수 있는 전자기기를 설명하는 도면.
 도 31의 (A) 및 도 31의 (B)는 소스 전극 및 드레인 전극의 형상을 설명하는 트랜지스터의 단면도.
 도 32의 (A) 및 도 32의 (B)는 소스 전극 및 드레인 전극의 형상을 설명하는 트랜지스터의 단면도.
 도 33의 (A) 및 도 33의 (B)는 디바이스 시뮬레이션의 결과를 설명하는 도면.

발명을 실시하기 위한 구체적인 내용

- [0024] 실시형태에 대하여, 도면을 이용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되는 것은 아니고, 본 발명의 취지 및 그 범위로부터 벗어나지 않고, 그 형태 및 상세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 단, 이하에 설명하는 발명의 구성에 있어서, 동일 부분 또는 동일한 기능을 갖는 부분에는 동일한 부호를 다른 도면 간에 공통으로 이용하고, 그 반복 설명은 생략하는 경우가 있다.
- [0025] 단, 본 명세서 등에 있어서, X와 Y가 접속되어 있다고 명시적으로 기재하는 경우는, X와 Y가 전기적으로 접속되어 있는 경우와, X와 Y가 기능적으로 접속되어 있는 경우와, X와 Y가 직접 접속되어 있는 경우를 포함하는 것으로 한다. 여기서, X, Y는 대상물(예를 들면, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)이라고 한다. 따라서, 소정의 접속 관계, 예를 들면, 도면 또는 문장에 나타난 접속 관계로 한정되지 않고, 도면 또는 문장에 나타난 접속 관계 이외의 것도 포함하는 것으로 한다.
- [0026] X와 Y가 전기적으로 접속되어 있는 경우의 일례로서는, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들면, 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)가 X와 Y

사이에 하나 이상 접속되는 것이 가능하다. 단, 스위치는 온 오프가 제어되는 기능을 가진다. 즉, 스위치는 도통 상태(온 상태), 또는, 비도통 상태(오프 상태)가 되고, 전류를 흘릴지 여부를 제어하는 기능을 가진다. 또는, 스위치는 전류를 흘리는 경로를 선택하여 전환하는 기능을 가진다.

[0027] X와 Y가 기능적으로 접속되어 있는 경우의 일례로서는, X와 Y의 기능적인 접속을 가능하게 하는 회로(예를 들면, 인버터, NAND 회로, NOR 회로 등의 논리 회로; DA 변환 회로, AD 변환 회로, 감마 보정 회로 등의 신호 변환 회로; 전원 회로(승압 회로, 강압 회로 등), 신호의 전위 레벨을 바꾸는 레벨 시프터 회로 등의 전위 레벨 변환 회로; 전압원; 전류원; 변환 회로; 신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 연산 증폭기(operational amplifier), 차동 증폭 회로(differential amplifier circuit), 소스 폴로어 회로(source follower circuit), 버퍼 회로 등의 증폭 회로; 신호 생성 회로; 기억 회로; 및/또는 제어 회로 등)가 X와 Y 사이에 하나 이상 접속되는 것이 가능하다. 단, 일례로서 X와 Y 사이에 다른 회로를 개재하고 있어도, X로부터 출력된 신호가 Y에 전달되는 경우, X와 Y는 기능적으로 접속되어 있는 것으로 한다.

[0028] 단, X와 Y가 접속되어 있다고 명시적으로 기재하는 경우는, X와 Y가 전기적으로 접속되어 있는 경우(즉, X와 Y 사이에 다른 소자 또는 다른 회로를 개재하여 접속되어 있는 경우)와, X와 Y가 기능적으로 접속되어 있는 경우(즉, X와 Y 사이에 다른 회로를 개재하여 기능적으로 접속되어 있는 경우)와, X와 Y가 직접 접속되어 있는 경우(즉, X와 Y 사이에 다른 소자 또는 다른 회로를 사이에 두지 않고 접속되어 있는 경우)를 포함하는 것으로 한다. 즉, "A와 B가 전기적으로 접속되어 있다"고 명시적으로 기재하는 경우는, 단지 "A와 B가 접속되어 있다"라고만 명시적으로 기재되어 있는 경우와 같은 것으로 한다.

[0029] 회로도 상은 독립되어 있는 구성 요소들이 전기적으로 접속하도록 도시하고 있는 경우에도, 하나의 구성 요소가 복수의 구성 요소의 기능을 겸비하고 있는 경우도 있다. 예를 들면 배선의 일부가 전극으로서도 기능하는 경우는, 하나의 도전막이 배선의 기능, 및 전극의 기능의 양쪽 모두의 구성 요소의 기능을 겸비하고 있다. 따라서, 본 명세서에서의 "전기적으로 접속"이란, 이와 같이 하나의 도전막이 복수의 구성 요소의 기능을 겸비하고 있는 경우도 그 범주에 포함한다.

[0030] 단, 본 명세서 등에서, 다양한 기판을 이용하여, 트랜지스터를 형성할 수 있다. 기판의 종류는 특정의 것으로 한정되는 것은 아니다. 그 기판의 일례로서는, 반도체 기판(예를 들면 단결정 기판 또는 실리콘 기판), SOI 기판, 유리 기판, 석영 기판, 플라스틱 기판, 금속 기판, 스테인리스 스틸 기판, 스테인리스 스틸 포일을 포함하는 기판, 텅스텐 기판, 텅스텐 포일을 포함하는 기판, 가요성 기판, 부착 필름, 섬유상의 재료를 포함한 종이, 또는 기재 필름 등이 있다. 유리 기판의 일례로서는, 바륨 붕규산 유리, 알루미늄 붕규산 유리, 또는 소다 석회 유리 등이 있다. 가요성 기판의 일례로서는, 폴리에틸렌 테레프탈레이트(PET), 폴리에틸렌 나프탈레이트(PEN), 폴리에테르 설펜(PES)으로 대표되는 플라스틱, 또는 아크릴 등의 가요성을 갖는 합성 수지 등이 있다. 부착 필름의 일례로서는, 폴리프로필렌, 폴리에스터, 폴리 불화 비닐, 또는 폴리염화비닐 등이 있다. 기재 필름의 일례로서는, 폴리에스터, 폴리아마이드, 폴리이미드, 무기 증착 필름, 또는 종이 등이 있다. 특히, 반도체 기판, 단결정 기판, 또는 SOI 기판 등을 이용하여 트랜지스터를 형성하는 것에 의해, 특성, 사이즈, 또는 형상 등의 편차가 적고, 전류 능력이 높고, 사이즈가 작은 트랜지스터를 형성할 수 있다. 이러한 트랜지스터에 의해 회로를 형성하면, 회로의 저소비 전력화, 또는 회로의 고집적화를 도모할 수 있다.

[0031] 단, 어느 기판을 이용하여 트랜지스터를 형성하고, 그 후, 다른 기판에 트랜지스터를 전치하고, 다른 기판 위에 트랜지스터를 배치해도 좋다. 트랜지스터가 전치되는 기판의 일례로서는, 상술한 트랜지스터를 형성하는 것이 가능한 기판에 더하여, 종이 기판, 셀로판 기판, 석재 기판, 목재 기판, 직물 기판(천연 섬유(견, 면, 마), 합성 섬유(나일론, 폴리우레탄, 폴리에스터) 혹은 재생 섬유(아세테이트, 큐프라, 레이온, 재생 폴리에스터) 등을 포함함), 피혁 기판, 또는 고무 기판 등이 있다. 이러한 기판을 이용함으로써, 특성이 좋은 트랜지스터의 형성, 소비 전력이 작은 트랜지스터의 형성, 내구성이 좋은 장치의 제조, 내열성의 부여, 경량화, 또는 박형화를 도모할 수 있다.

[0032] (실시형태 1)

[0033] 본 실시형태에서는, 본 발명의 일 양태의 반도체 장치에 대하여 도면을 이용하여 설명한다.

[0034] 도 1의 (A), (B), (C), (D)는 본 발명의 일 양태의 트랜지스터의 상면도 및 단면도이다. 도 1의 (A)는 상면도이다. 도 1의 (A)에 나타내는 일점 쇄선 A1-A2의 단면이 도 1의 (B)에 상당한다. 일점 쇄선 A3-A4의 단면이 도 1의 (C)에 상당한다. 일점 쇄선 A5-A6의 단면이 도 1의 (D)에 상당한다. 단, 도 1의 (A)의 상면도에서는, 도면의 명료화를 위하여 일부 요소를 생략하여 도시하였다. 일점 쇄선 A1-A2 방향을 채널 폭 방향, 일점 쇄선

A5-A6 방향을 채널 길이 방향이라고 칭하는 경우가 있다.

- [0035] 도 1의 (A), (B), (C), (D)에 나타내는 트랜지스터(100)는 기판(110) 위에 형성된 하지 절연막(120)과; 이 하지 절연막(120) 위에 형성된 산화물 반도체층(130)과; 이 산화물 반도체층(130) 위에 형성된 소스 전극층(140) 및 드레인 전극층(150)과; 이 소스 전극층(140), 이 드레인 전극층(150), 및 산화물 반도체층(130) 위에 형성된 게이트 절연막(160)과; 이 게이트 절연막(160) 위에 형성된 게이트 전극층(170)을 포함한다. 또한, 이 게이트 절연막(160) 및 이 게이트 전극층(170) 위에 산화물 절연층(180)이 형성되어 있어도 좋다. 단, 상기 산화물 절연층(180)은 필요에 따라 제공하면 좋고, 또한, 그 상부에 다른 절연층을 제공해도 좋다.
- [0036] 단, 트랜지스터의 "소스"나 "드레인"의 기능은 다른 극성의 트랜지스터를 채용하는 경우나, 회로 동작에 있어서 전류의 방향이 변화하는 경우 등에는 바뀌는 경우가 있다. 이 때문에, 본 명세서에서는, "소스"나 "드레인"이라는 용어는, 서로 바꾸어 이용할 수 있는 것으로 한다.
- [0037] 기판(110)은 단순한 지지 재료에 한정하지 않고, 다른 트랜지스터 등의 디바이스가 형성된 기판이어도 좋다. 이 경우, 트랜지스터(100)의 게이트 전극층(170), 소스 전극층(140), 및 드레인 전극층(150) 중 적어도 하나는 상기 다른 디바이스와 전기적으로 접속되어 있어도 좋다.
- [0038] 하지 절연막(120)은 기판(110)으로부터의 불순물의 확산을 방지하는 역할을 갖는 것 외에 산화물 반도체층(130)에 산소를 공급하는 역할을 담당할 수 있기 때문에; 산소를 포함한 절연막인 것이 바람직하고, 과잉인 산소를 포함한 절연막이 보다 바람직하다. 단, 위에서 설명한 바와 같이 기판(110)이 다른 디바이스가 형성된 기판인 경우, 하지 절연막(120)은 층간 절연막으로서의 기능도 가진다. 그 경우는, 표면이 평탄하게 되도록 CMP(Chemical Mechanical Polishing)법 등으로 평탄화 처리를 행하는 것이 바람직하다.
- [0039] 또한, 산화물 반도체층(130)은 기판(110)측으로부터 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)이 적층된 구조를 가지고 있다. 여기서, 일례로서는, 제 2 산화물 반도체층(132)에는 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)보다 전자 친화력(진공 준위로부터 전도대 하단까지의 에너지)이 큰 산화물 반도체를 이용한다. 전자 친화력은 진공 준위와 가전자대 상단과의 에너지차(이온화 퍼텐셜)로부터, 전도대 하단과 가전자대 상단과의 에너지차(에너지 갭)를 뺀 값으로 구할 수 있다.
- [0040] 또한, 본 실시형태에서는, 산화물 반도체층(130)이 3층의 적층인 경우에 대하여 설명하지만, 산화물 반도체층(130)이 1층, 2층, 또는 4층 이상이어도 좋다. 1층인 경우는, 예를 들면, 제 2 산화물 반도체층(132)에 상당하는 층을 이용하면 좋다. 2층인 경우는, 예를 들면, 기판(110)측에 제 2 산화물 반도체층(132)에 상당하는 층을 이용하여 게이트 절연막(160)측에 제 1 산화물 반도체층(131) 또는 제 3 산화물 반도체층(133)에 상당하는 층을 제공하는 구조, 또는, 기판(110)측에 제 1 산화물 반도체층(131) 또는 제 3 산화물 반도체층(133)에 상당하는 층을 제공하고, 게이트 절연막(160)측에 제 2 산화물 반도체층(132)에 상당하는 층을 제공하는 구조로 하면 좋다. 4층 이상인 경우는, 예를 들면, 본 실시형태의 설명과 같이 제 2 산화물 반도체층(132)이 제 1 산화물 반도체층(131) 또는 제 3 산화물 반도체층(133)에 상당하는 층으로 개재하는 구조로 하면 좋다.
- [0041] 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)은 제 2 산화물 반도체층(132)을 형성하는 금속 원소를 일종 이상 포함한다. 예를 들면, 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)은 전도대 하단의 에너지가 제 2 산화물 반도체층(132)보다, 진공 준위에 가까운 산화물 반도체로 형성하는 것이 바람직하다. 제 2 산화물 반도체층(132) 및 제 1 산화물 반도체층(131)의 전도대 하단의 에너지 차이 및 제 2 산화물 반도체층(132) 및 제 3 산화물 반도체층(133)의 전도대 하단의 에너지 차이가 각각 0.05 eV, 0.07 eV, 0.1 eV, 0.15 eV 중 어느 하나 이상이며, 2 eV, 1 eV, 0.5 eV, 0.4 eV 중 어느 하나 이하의 범위인 것이 바람직하다.
- [0042] 이러한 구조에 있어서, 게이트 전극층(170)에 전계를 인가하면, 산화물 반도체층(130) 중, 전도대 하단의 에너지가 가장 작은 제 2 산화물 반도체층(132)에 채널이 형성된다. 즉, 제 2 산화물 반도체층(132)과 게이트 절연막(160)과의 사이에 제 3 산화물 반도체층(133)이 형성되는 것에 의해, 트랜지스터의 채널을 게이트 절연막(160)과 접촉하지 않는 구조로 할 수 있다.
- [0043] 또한, 제 1 산화물 반도체층(131)은 제 2 산화물 반도체층(132)에 포함되는 금속 원소를 일종 이상 포함하여 구성되기 때문에, 제 2 산화물 반도체층(132)과 제 1 산화물 반도체층(131)의 계면에 계면 준위를 형성하기 어려워진다. 이 계면 준위는 채널을 형성하는 경우가 있기 때문에; 트랜지스터의 문턱 전압이 변동하기도 한다. 따라서, 제 1 산화물 반도체층(131)을 형성함으로써, 트랜지스터의 문턱 전압 등의 전기 특성의 편차를 저감할 수 있다.
- [0044] 또한, 제 3 산화물 반도체층(133)은 제 2 산화물 반도체층(132)에 포함되는 금속 원소를 일종 이상 포함하여 구

성되기 때문에, 제 2 산화물 반도체층(132)과 제 3 산화물 반도체층(133)과의 계면에서는 캐리어의 산란이 일어나기 어려워진다. 따라서, 제 3 산화물 반도체층(133)을 형성함으로써, 트랜지스터의 전계 효과 이동도를 높게 할 수 있다.

[0045] 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)에는, 예를 들면, Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf를 제 2 산화물 반도체층(132)보다 높은 원자수비로 포함하는 재료를 이용할 수 있다. 구체적으로는, 상기 원자수비를 1.5배 이상, 바람직하게는 2배 이상, 더욱 바람직하게는 3배 이상으로 한다. 상술한 원소는 산소와 강하게 결합하기 때문에, 산소 결손이 산화물 반도체층에 생기는 것을 억제하는 기능을 가진다. 즉, 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)은 제 2 산화물 반도체층(132)보다 산소 결손이 생기기가 어렵다고 할 수 있다.

[0046] 단, 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 제 3 산화물 반도체층(133)이 적어도 인듐, 아연, 및 M(Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf 등의 금속)을 포함한 In-M-Zn 산화물일 때, 제 1 산화물 반도체층(131)을 $\text{In} : \text{M} : \text{Zn} = x_1 : y_1 : z_1$ [원자수비], 제 2 산화물 반도체층(132)을 $\text{In} : \text{M} : \text{Zn} = x_2 : y_2 : z_2$ [원자수비], 제 3 산화물 반도체층(133)을 $\text{In} : \text{M} : \text{Zn} = x_3 : y_3 : z_3$ [원자수비]로 하면, y_1/x_1 및 y_3/x_3 이 y_2/x_2 보다 커지는 것이 바람직하다. y_1/x_1 및 y_3/x_3 은 y_2/x_2 보다 1.5배 이상, 바람직하게는 2배 이상, 더욱 바람직하게는 3배 이상으로 한다. 이 때, 제 2 산화물 반도체층(132)에 있어서, y_2 가 x_2 이상이면 트랜지스터의 전기 특성을 안정시킬 수 있다. 단, y_2 가 x_2 의 3배 이상이 되면, 트랜지스터의 전계 효과 이동도가 저하되기 때문에; y_2 는 x_2 의 3배 미만인 것이 바람직하다.

[0047] 또한, 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)의 In과 M의 원자수 비율은, In 및 M의 합을 100 atomic%로 했을 때, 바람직하게는 In이 50 atomic% 미만, M이 50 atomic% 이상, 더욱 바람직하게는 In이 25 atomic% 미만, M이 75 atomic% 이상으로 한다. 또한, 제 2 산화물 반도체층(132)의 In과 M의 원자수 비율은 In 및 M의 합을 100 atomic%로 했을 때, 바람직하게는 In이 25 atomic% 이상, M이 75 atomic% 미만, 더욱 바람직하게는 In이 34 atomic% 이상, M이 66 atomic% 미만으로 한다.

[0048] 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)의 두께는 3 nm 이상 100 nm 이하, 바람직하게는 3 nm 이상 50 nm 이하로 한다. 제 2 산화물 반도체층(132)의 두께는 3 nm 이상 200 nm 이하, 바람직하게는 3 nm 이상 100 nm 이하, 더욱 바람직하게는 3 nm 이상 50 nm 이하로 한다.

[0049] 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)에는, 예를 들면, 인듐, 아연, 및 갈륨을 포함한 산화물 반도체를 이용할 수 있다. 단, 제 2 산화물 반도체층(132)에 인듐을 포함시키면, 캐리어 이동도가 높아지기 때문에 바람직하다.

[0050] 단, 산화물 반도체층을 채널로 하는 트랜지스터에 안정된 전기 특성을 부여하기 위해서는, 산화물 반도체층 내의 불순물 농도를 저감하여, 산화물 반도체층을 진성 또는 실질적으로 진성으로 하는 것이 효과적이다. 여기서, "실질적으로 진성"이란, 산화물 반도체층의 캐리어 밀도가 $1 \times 10^{17} / \text{cm}^3$ 미만인 것, 바람직하게는 $1 \times 10^{15} / \text{cm}^3$ 미만인 것, 더욱 바람직하게는 $1 \times 10^{13} / \text{cm}^3$ 미만인 것을 가리킨다.

[0051] 또한, 산화물 반도체층에 있어서, 수소, 질소, 탄소, 실리콘, 및 주성분 이외의 금속 원소는 불순물이 된다. 예를 들면, 수소 및 질소는 도너 준위의 형성에 기여하고, 캐리어 밀도를 증대시킨다. 실리콘은 산화물 반도체층 내에서 불순물 준위를 형성한다. 상기 불순물 준위는 트랩이 되어, 트랜지스터의 전기 특성을 열화시키는 경우가 있다. 따라서, 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)의 층 내나, 각각의 계면에서 불순물 농도를 저감시키는 것이 바람직하다.

[0052] 산화물 반도체층을 진성 또는 실질적으로 진성으로 하기 위해서는, SIMS(Secondary Ion Mass Spectrometry) 분석에서, 예를 들면, 산화물 반도체층의 어느 깊이에서, 또는, 산화물 반도체층의 어느 영역에서, 실리콘 농도를 $1 \times 10^{19} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 미만, 더욱 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 미만으로 하는 부분을 가지고 있는 것이 바람직하다. 또한, 수소 농도는, 예를 들면, 산화물 반도체층의 어느 깊이에서, 또는, 산화물 반도체층의 어느 영역에서, $2 \times 10^{20} \text{ atoms/cm}^3$ 이하, 바람직하게는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 보다 바람직하게는 $1 \times 10^{19} \text{ atoms/cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하로 하는 부분을 가지고 있는 것이 바람직하다. 또한, 질소 농도는, 예를 들면, 산화물 반도체층의 어느 깊이에서, 또는, 산화물 반도체층의

어느 영역에서, 5×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 이하, 보다 바람직하게는 1×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{17} atoms/cm³ 이하로 하는 부분을 가지고 있는 것이 바람직하다.

[0053] 산화물 반도체층이 결정을 포함한 경우, 실리콘이나 탄소가 고농도로 포함되면, 산화물 반도체층의 결정성을 저하시키는 경우가 있다. 산화물 반도체층의 결정성을 저하시키지 않기 위해서는, 예를 들면, 산화물 반도체층의 어느 깊이에서, 또는, 산화물 반도체층의 어느 영역에서, 실리콘 농도를 1×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 미만, 더욱 바람직하게는 1×10^{18} atoms/cm³ 미만으로 하는 부분을 가지고 있으면 좋다. 또한, 예를 들면, 산화물 반도체층의 어느 깊이에서, 또는, 산화물 반도체층의 어느 영역에서, 탄소 농도를 1×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 미만, 더욱 바람직하게는 1×10^{18} atoms/cm³ 미만으로 하는 부분을 가지고 있으면 좋다.

[0054] 또한, 위에서 설명한 바와 같이 고순도화된 산화물 반도체층을 채널 형성 영역에 이용한 트랜지스터의 오프 전류는 매우 작고, 트랜지스터의 채널 폭으로 정규화한 오프 전류는, 수 $\text{yA}/\mu\text{m} \sim \text{zA}/\mu\text{m}$ 까지 저감하는 것이 가능해진다. 그 경우의 소스와 드레인 사이의 전압은 예를 들면, 0.1 V, 5 V, 또는, 10 V 정도이다.

[0055] 단, 트랜지스터의 게이트 절연막으로서는, 실리콘을 포함한 절연막이 많이 이용되기 때문에; 상기 이유에 의해 산화물 반도체층의 채널이 되는 영역은 게이트 절연막과 접촉하지 않는 것이 바람직하다고 할 수 있다. 게이트 절연막과 산화물 반도체층과의 계면에 채널이 형성되는 경우, 이 계면에서 캐리어의 산란이 일어나, 트랜지스터의 전계 효과 이동도가 낮아지는 경우가 있다. 이러한 관점에서도, 산화물 반도체층의 채널이 되는 영역은 게이트 절연막으로부터 떼어 놓는 것이 바람직하다.

[0056] 따라서, 산화물 반도체층(130)을 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 제 3 산화물 반도체층(133)의 적층 구조로 함으로써, 트랜지스터의 채널이 형성되는 제 2 산화물 반도체층(132)을 게이트 절연막으로부터 떼어 놓을 수 있어; 높은 전계 효과 이동도를 갖고, 안정된 전기 특성의 트랜지스터를 형성할 수 있다.

[0057] 다음에, 산화물 반도체층(130)의 밴드 구조를 설명한다. 밴드 구조의 해석은 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)에 해당하는 층으로서 에너지 갭이 3.5 eV인 In-Ga-Zn 산화물, 제 2 산화물 반도체층(132)에 해당하는 층으로서 에너지 갭이 3.15 eV인 In-Ga-Zn 산화물을 이용하여 산화물 반도체층(130)에 해당하는 적층을 제작하여 행한다. 단, 편의적으로 상기 적층을 산화물 반도체층(130), 상기 적층을 형성하는 각각의 층을 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 제 3 산화물 반도체층(133)이라고 칭하여 설명한다.

[0058] 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 제 3 산화물 반도체층(133)의 막 두께는 각각 10 nm로 한다. 에너지 갭은 분광 타원 해석기(HORIBA JOBIN YVON사, UT-300)를 이용하여 측정했다. 또한, 진공 준위와 가전자대 상단의 에너지차는 자외선 광전자 분광 분석(UPS: Ultraviolet Photoelectron Spectroscopy) 장치(ULVAC-PHI사(ULVAC-PHI, Inc.), VersaProbe)를 이용하여 측정했다.

[0059] 도 2의 (A)는, 진공 준위와 가전자대 상단의 에너지차와 각층의 에너지 갭과의 차분으로서 산출되는 진공 준위와 전도대 하단의 에너지차(전자 친화력)로부터 모식적으로 나타나는 밴드 구조의 일부이다. 도 2의 (A)는 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)과 접촉하고, 산화 실리콘막을 제공한 경우의 밴드도이다. 여기서, E_v 는 진공 준위의 에너지, E_{c1} 및 E_{c2} 는 산화 실리콘막의 전도대 하단의 에너지, E_{cS1} 은 제 1 산화물 반도체층(131)의 전도대 하단의 에너지, E_{cS2} 는 제 2 산화물 반도체층(132)의 전도대 하단의 에너지, E_{cS3} 은 제 3 산화물 반도체층(133)의 전도대 하단의 에너지이다. 또한, 트랜지스터를 형성하는 경우, 게이트 전극층(트랜지스터(100)에서는 게이트 전극층(170)에 상당)은 E_{c2} 를 갖는 산화 실리콘막에 접촉하는 것으로 한다.

[0060] 도 2의 (A)에 나타내는 바와 같이, 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 제 3 산화물 반도체층(133)에서 전도대 하단의 에너지가 연속적으로 변화한다. 이것은 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 제 3 산화물 반도체층(133)의 조성이 근사(近似)하여, 산소가 서로 확산되기 쉬운 점에서도 이해된다. 따라서, 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 제 3 산화물 반도체층(133)은 조성이 다른 층의 적층체이지만, 물성적으로 연속이라고 할 수도 있다. 본 명세서의 도면에서, 상기 적층체의 각각의 계면은 점선으로 나타낸다.

[0061] 주성분을 공통으로 하여 적층된 산화물 반도체층(130)은 각층을 단순히 적층하는 것이 아니라 연속 접합(여기에

서는 특히 전도대 하단의 에너지가 각층의 사이에 연속적으로 변화하는 U자형의 우물 구조(U Shape Well))가 형성되도록 제작한다. 즉, 각층의 계면에 트랩 중심이나 재결합 중심과 같은 결함 준위를 형성하는 불순물이 존재하지 않도록 적층 구조를 형성한다. 만일, 적층된 산화물 반도체층의 층간에 불순물이 혼재하고 있다면, 에너지 밴드의 연속성이 없어져 계면에서 캐리어가 트랩 혹은 재결합에 의해 소멸하게 된다.

[0062] 연속 접합을 형성하기 위해서는, 로드록실을 구비한 멀티 체임버 방식의 성막 장치(스퍼터링 장치)를 이용하여 각층을 대기에 노출시키지 않고 연속하여 적층하는 것이 필요하다. 스퍼터링 장치에서의 각 체임버는 산화물 반도체에서 불순물이 되는 물 등을 가능한 한 제거하기 위하여, 크라이오 펌프와 같은 흡착식의 진공 배기 펌프를 이용하여 고진공 배기(1×10^{-4} Pa $\sim$ 10^{-7} Pa 정도까지)할 수 있는 것, 또한, 성막되는 기판을 100℃ 이상, 바람직하게는 500℃ 이상으로 가열할 수 있는 것이 바람직하다. 또는, 터보 분자 펌프와 콜드 트랩을 조합하여 배기계로부터 체임버 내에 탄소 성분이나 수분 등을 포함한 기체가 역류하지 않게 해 두는 것이 바람직하다.

[0063] 고순도 진성 산화물 반도체를 얻기 위해서는, 체임버 내를 고진공 배기할 뿐만 아니라 스퍼터링 가스의 고순도화도 필요하다. 스퍼터링 가스로서 이용하는 산소 가스나 아르곤 가스는 노점이 -40℃ 이하, 바람직하게는 -80℃ 이하, 보다 바람직하게는 -100℃ 이하까지 고순도화한 가스를 이용함으로써 산화물 반도체층에 수분 등이 들어가는 것을 가능한 한 막을 수 있다.

[0064] 단, 도 2의 (A)에서는, EcS1과 EcS3이 서로 유사한 경우에 대하여 나타냈지만; 각각 상이하여도 좋다. 예를 들면, EcS3보다 EcS1이 높은 에너지를 갖는 경우, 밴드 구조의 일부는 도 2의 (B)와 같이 나타난다.

[0065] 예를 들면, EcS1 = EcS3인 경우는, 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)에 In : Ga : Zn = 1 : 3 : 2, 1 : 6 : 4, 또는 1 : 9 : 6(원자수비), 제 2 산화물 반도체층(132)에 In : Ga : Zn = 1 : 1 : 1 또는 3 : 1 : 2(원자수비)의 In-Ga-Zn 산화물 등을 이용할 수 있다. 또한, EcS1 > EcS3인 경우는, 제 1 산화물 반도체층(131)에 In : Ga : Zn = 1 : 6 : 4 또는 1 : 9 : 6(원자수비), 제 2 산화물 반도체층(132)에 In : Ga : Zn = 1 : 1 : 1 또는 3 : 1 : 2(원자수비), 제 3 산화물 반도체층(133)에 In : Ga : Zn = 1 : 3 : 2(원자수비)의 In-Ga-Zn 산화물 등을 이용할 수 있다.

[0066] 도 2의 (A), (B)로부터, 산화물 반도체층(130)에서의 제 2 산화물 반도체층(132)이 웰(우물)이 되고, 산화물 반도체층(130)을 이용한 트랜지스터에서, 채널이 제 2 산화물 반도체층(132)에 형성되는 것을 알 수 있다. 단, 산화물 반도체층(130)은 전도대 하단의 에너지가 연속적으로 변화하고 있기 때문에, U자형 우물이라고도 부를 수 있다. 또한, 이러한 구성으로 형성된 채널을 매립형 채널(buried channel)이라고 할 수도 있다.

[0067] 단, 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)과, 산화 실리콘막 등의 절연막과의 계면 근방에는 불순물이나 결함에 기인한 트랩 준위가 형성될 수 있다. 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)이 있음으로써, 제 2 산화물 반도체층(132)과 상기 트랩 준위를 멀리할 수 있다. 단, EcS1 또는 EcS3과, EcS2와의 에너지차가 작은 경우, 제 2 산화물 반도체층(132)의 전자가 이 에너지차를 넘어 트랩 준위에 달하는 일이 있다. 트랩 준위에 전자가 포획됨으로써, 절연막 계면에 마이너스의 전하가 생겨 트랜지스터의 문턱 전압은 플러스 방향으로 시프트하게 된다.

[0068] 따라서, EcS1 및 EcS3과, EcS2와의 에너지차를 각각 0.1 eV 이상, 바람직하게는 0.15 eV 이상으로 함으로써, 트랜지스터의 문턱 전압의 변동이 저감되어, 안정된 전기 특성을 얻을 수 있다.

[0069] 단, 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133) 중 어느 하나 이상의 층에는 결정부가 포함되는 것이 바람직하다. 예를 들면, 제 1 산화물 반도체층(131)을 비정질로 하고, 제 2 산화물 반도체층(132) 및 제 3 산화물 반도체층(133)을 결정부가 포함되는 층으로 한다. 채널이 형성되는 제 2 산화물 반도체층(132)이 결정부를 포함함으로써, 트랜지스터는 안정된 전기 특성을 가질 수 있다.

[0070] 특히, 제 2 산화물 반도체층(132) 및 제 3 산화물 반도체층(133)에 포함되는 결정부는 표면과 대략 수직인 방향으로 c축이 배향된 결정을 포함하는 것이 바람직하다.

[0071] 도 1의 (A) 내지 도 1의 (C) 구조의 트랜지스터에서, 제 3 산화물 반도체층(133)은 소스 전극층(140) 및 드레인 전극층(150)에 접촉하고, 전류를 효율적으로 추출하기 위해서는 에너지 갭이 절연체와 같이 크지 않은 것, 및 막 두께가 얇은 것이 바람직하다. 또한, 산화물 반도체층(130)에 In-Ga-Zn 산화물을 이용하는 경우는, In의 게이트 절연막으로의 확산을 막기 위하여, 제 3 산화물 반도체층(133)은 제 2 산화물 반도체층(132)보다 In을 줄이는 조성으로 하는 것이 바람직하다.

[0072] 저소비 전력의 반도체 장치를 형성하기 위해서는, 트랜지스터의 오프 전류, 특히 게이트 전압이 0 V 시의 전류

(I_{cut} 이라고도 함)를 저감시키는 것이 효과적이다. 그러나, 트랜지스터를 미세화하면 문턱 전압이나 S값(subthreshold value) 등의 트랜지스터의 전기 특성이 악화되는 것이 알려져 있어, 미세화와 저소비 전력화와의 양립이 요구되고 있었다.

[0073] 본 발명의 일 양태의 트랜지스터에서는, 도 3에 나타내는 도 1의 (B)의 확대 단면도와 같이, 제 1 산화물 반도체층(131)의 일부인 제 1 영역의 막 두께를 T_{S1} , 게이트 절연막(160)의 일부인 제 2 영역의 막 두께를 T_{G1} 로 했을 때, $T_{S1} \geq T_{G1}$ (T_{S1} 은 T_{G1} 이상)로 하여 형성한다. 이와 같이 함으로써, 게이트 전극층(170)이 게이트 절연막(160)을 사이에 끼우고 제 2 산화물 반도체층(132)의 측면을 덮게 된다.

[0074] 제 2 산화물 반도체층(132)은 채널이 형성되는 층이다. 제 2 산화물 반도체층(132)의 측면에 게이트 전극층(170)으로부터 전계를 인가하기 쉬운 구조로 함으로써, 제 2 산화물 반도체층(132)에 대하여 전체적으로 전계가 인가되게 되어, 트랜지스터의 문턱 전압이나 S값을 향상시킬 수 있다. 상기 구조를 갖는 트랜지스터에서는 W 길이가 짧은 경우에 특히 효과적이기 때문에; 트랜지스터를 미세화하여도 I_{cut} 을 낮출 수 있어, 소비 전력을 저감시킬 수 있다. 또한, 트랜지스터의 문턱 전압이 안정화됨으로써; 반도체 장치의 장기 신뢰성을 향상시킬 수 있다.

[0075] 본 발명의 일 양태의 트랜지스터에서는, 도 1의 (A)의 트랜지스터의 상면도에 나타내는 바와 같이, 소스 전극층(140) 및 드레인 전극층(150)의 채널 폭 방향의 길이는 산화물 반도체층(130)의 채널 폭 방향의 길이보다 작고, 상기 산화물 반도체층의 채널 길이 방향의 단부를 덮도록 형성하는 것이 바람직하다. 이러한 구조로 함으로써, 게이트 전극층(170)으로부터 제 2 산화물 반도체층(132)의 측면에 대한 전계 인가에 대한 장애물이 감소하기 때문에, 상술한 $T_{S1} \geq T_{G1}$ 에 의한 트랜지스터의 문턱 전압이나 S값을 향상시키는 효과를 조장할 수 있다.

[0076] 도 4의 (A)의 트랜지스터의 확대 단면도(채널 길이 방향의 단면의 일부)에 나타내는 바와 같이, 산화물 반도체층(130)의 단부에 곡면을 갖는 영역(134)을 제공해도 좋다. 산화물 반도체층(130)을 In-M-Zn 산화물(M은 Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf)로 형성하는 경우, 제 2 산화물 반도체층(132)을 구성하는 M(M_{S2})과 영역(134)을 구성하는 M(M_{S4})의 양적 관계는, $M_{S4} > M_{S2}$ 인 것이 바람직하다. 보다 바람직하게는, M_{S4} 는 제 1 산화물 반도체층(131)에 포함되는 M(M_{S1})과 동등하게 한다. 이러한 구성으로 함으로써, 제 2 산화물 반도체층(132)을 보호할 수 있다.

[0077] 산화물 반도체층(130)의 단부에서의 영역(134)은 드라이 에칭법으로 제 1 산화물 반도체층(131)의 성분을 재부착시키는, 소위 래빗 이어(rabbit ear)를 이용하여 형성할 수 있다. 또한, 산화 처리에 의해 래빗 이어 형성시에 부착되는 에칭 가스 성분을 제거하여, M 성분을 산화함으로써 영역(134)의 절연성을 높일 수 있다.

[0078] 게이트 전극층이 중첩하는 산화물 반도체층(130)의 단부는 외적 요인에 의한 불순물의 혼입이나 산소 결손의 발생 등에 의해 n형화하기 쉽고, 기생 채널이 되는 일이 있다. 특히 에너지 갭이 작은 제 2 산화물 반도체층(132)에서는 n형화가 현저하게 일어나기 쉽다. 따라서, 도 4의 (B)에 나타내는 트랜지스터의 확대 단면도(채널 폭 방향의 단면의 일부)와 같이 영역(134)이 형성되는 것에 의해, 기생 채널의 발생을 억제할 수 있다.

[0079] 도 5의 (A)는 영역(134)을 갖는 트랜지스터의 상면도 및 산화물 반도체층(130)의 단면도이다. 제 1 산화물 반도체층(131)과 영역(134)의 주성분이 동일할 때, 제 2 산화물 반도체층(132)의 전도대 하단의 에너지(E_{CS2})와 영역(134)의 전도대 하단의 에너지(E_{CS4})의 차분(ΔE)이 클수록 기생 채널의 발생을 억제하는 효과가 높다. 또한, 영역(134)의 두께는 제 1 산화물 반도체층(131) 또는 제 3 산화물 반도체층(133)보다 두꺼운 것이 바람직하고, 두꺼울수록 제 2 산화물 반도체층(132) 단부의 n형화에 의한 기생 채널의 발생을 억제할 수 있다.

[0080] 영역(134)은 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 제 3 산화물 반도체층(133)과 조성이 근사하여, 산화물 반도체층의 밴드 구조의 일부를 나타내는 도 5의 (B)와 같이 전도대 하단의 에너지가 연속적으로 변화된다. 즉, 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 제 3 산화물 반도체층(133), 및 영역(134)은 연속 접합을 형성한다고 할 수 있다. 단, 도 5의 (B)에 나타내는 D1-D2는 도 5의 (A)의 산화물 반도체층(130)의 단면도에 나타내는 일점 채선 D1-D2 방향에 상당하고, 도 5의 (B)에 나타내는 E1-E2는 도 5의 (A)에 나타내는 일점 채선 E1-E2 방향에 상당한다.

[0081] 소스 전극층(140) 및 드레인 전극층(150)에는, 산소와 결합하기 쉬운 도전 재료를 이용하는 것이 바람직하다. 예를 들면, Al, Cr, Cu, Ta, Ti, Mo, W 등을 이용할 수 있다. 상기 재료에서 특히 산소와 결합하기 쉬운 Ti나, 후의 프로세스 온도를 비교적 높게 할 수 있는 것 등으로 인하여, 용점이 높은 W를 이용하는 것이 보다 바람직

하다. 단, 산소와 결합하기 쉬운 도전 재료에는 산소가 확산되기 쉬운 재료도 포함된다.

- [0082] 산소와 결합하기 쉬운 도전 재료와 산화물 반도체층을 접촉시키면, 산화물 반도체층 내의 산소가, 산소와 결합하기 쉬운 도전 재료층으로 확산되는 현상이 일어난다. 상기 현상은 온도가 높을수록 현저하게 일어난다. 트랜지스터의 제작 공정에는 몇 개의 가열 공정이 있으므로, 상기 현상에 의해, 산화물 반도체층의 소스 전극층 또는 드레인 전극층과 접촉한 근방의 영역에 산소 결손이 발생하여, 상기 영역은 n형화한다. 따라서, n형화한 상기 영역은 트랜지스터의 소스 또는 드레인으로서 작용시킬 수 있다.
- [0083] 상기 n형화한 영역은 도 6의 트랜지스터의 확대 단면도(채널 길이 방향의 단면)에 나타난다. 산화물 반도체층(130) 내에 점선으로 나타나는 경계(135)는 진성 반도체 영역과 n형 반도체 영역의 경계이다. 산화물 반도체층(130)에서의 소스 전극층(140) 또는 드레인 전극층(150)과 접촉한 근방의 영역이 n형화한 영역이 된다. 경계(135)는 모식적으로 나타낸 것이며, 실제로는 명료하지 않은 경우가 있다. 또한, 도 6에서는, 경계(135)가 제 2 산화물 반도체층(132) 내에서 횡 방향으로 연장되도록 위치하고 있는 상태를 나타냈지만; 경계(135)는 제 1 산화물 반도체층(131) 내, 또는 제 3 산화물 반도체층(133) 내에서 횡 방향으로 연장되도록 위치하는 경우도 있다. 산화물 반도체층(130)의 소스 전극층(140) 또는 드레인 전극층(150)과 하지 절연막(120)과의 사이에 끼워진 영역의 막 두께 방향 전체가 n형화하는 경우도 있다.
- [0084] 그러나, 채널 길이가 매우 짧은 트랜지스터를 형성하는 경우, 상기 산소 결손의 발생에 의해 n형화한 영역이 트랜지스터의 채널 길이 방향으로 연장되는 경우가 있다. 이 경우, 트랜지스터의 전기 특성은 변하는데; 예를 들면, 문턱 전압의 시프트나 게이트 전압으로 온 오프의 제어를 할 수 없는 상태(도통 상태)가 나타난다. 그 때문에, 채널 길이가 매우 짧은 트랜지스터를 형성하는 경우는, 소스 전극층 및 드레인 전극층에 산소와 결합하기 쉬운 도전 재료를 이용하는 것이 반드시 바람직하다고는 할 수 없다.
- [0085] 따라서, 도 7의 (A), (B), (C), (D)에 나타내는 트랜지스터(200)와 같이 소스 전극층 및 드레인 전극층을 적층으로 하는 구조로 해도 좋다. 도 7의 (A)는 상면도이다. 도 7의 (A)에 나타내는 일점 쇄선 B1-B2의 단면이 도 7의 (B)에 상당한다. 도 7의 (A)에 나타내는 일점 쇄선 B3-B4의 단면이 도 7의 (C)에 상당한다. 도 7의 (A)에 나타내는 일점 쇄선 B5-B6의 단면이 도 7의 (D)에 상당한다. 일점 쇄선 B1-B2 방향을 채널 폭 방향, 일점 쇄선 B5-B6 방향을 채널 길이 방향이라고 칭하는 경우가 있다.
- [0086] 제 1 소스 전극층(141) 및 제 1 드레인 전극층(151)에는, 상술한 티탄막을 이용하고, 채널 길이를 정하는 제 2 소스 전극층(142) 및 제 2 드레인 전극층(152)에는 산소와 결합하기 어려운 도전 재료를 이용한다. 상기 도전 재료로서는, 예를 들면, 질화 탄탈, 질화 티탄, 또는 루테튬을 포함한 재료 등을 이용하는 것이 바람직하다. 단, 산소와 결합하기 어려운 도전 재료에는, 산소가 확산되기 어려운 재료도 포함된다.
- [0087] 단, 도 7의 (A) 내지 도 7의 (C) 구조의 트랜지스터에서, 채널 길이란, 제 2 소스 전극층(142)과 제 2 드레인 전극층(152)의 간격을 말한다.
- [0088] 또한, 도 7의 (A) 내지 도 7의 (C) 구조의 트랜지스터에서, 채널이란, 제 2 소스 전극층(142)과 제 2 드레인 전극층(152) 사이의 제 2 산화물 반도체층(132)을 말한다.
- [0089] 또한, 도 7의 (A) 내지 도 7의 (C)의 구조의 트랜지스터에서, 채널 형성 영역이란, 제 2 소스 전극층(142)과 제 2 드레인 전극층(152) 사이의 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 제 3 산화물 반도체층(133)을 말한다.
- [0090] 상기 산소와 결합하기 어려운 도전 재료를 제 2 소스 전극층(142) 및 제 2 드레인 전극층(152)에 이용함으로써, 산화물 반도체층(130)에 형성되는 채널 형성 영역에 산소 결손이 형성되는 것을 억제할 수 있어, 채널의 n형화를 억제할 수 있다. 따라서, 채널 길이가 매우 짧은 트랜지스터인 경우에도 양호한 전기 특성을 가질 수 있다.
- [0091] 상기 산소와 결합하기 어려운 도전 재료만으로 소스 전극층 및 드레인 전극층을 형성하면, 산화물 반도체층(130)과의 콘택트 저항이 너무 높아지기 때문에; 도 7의 (C)에 나타내는 바와 같이, 제 1 소스 전극층(141) 및 제 1 드레인 전극층(151)을 산화물 반도체층(130) 위에 형성하여, 제 1 소스 전극층(141) 및 제 1 드레인 전극층(151)을 덮도록 제 2 소스 전극층(142) 및 제 2 드레인 전극층(152)을 형성하는 것이 바람직하다.
- [0092] 이 때, 제 1 소스 전극층(141) 및 제 1 드레인 전극층(151)과 산화물 반도체층(130)과의 접촉 면적을 크게 하고, 제 2 소스 전극층(142) 및 제 2 드레인 전극층(152)과 산화물 반도체층(130)과의 접촉 면적은 작게 하는 것이 바람직하다. 제 1 소스 전극층(141) 및 제 1 드레인 전극층(151)과 산화물 반도체층(130)이 접촉한 영역은 산소 결손의 생성에 의해 n형화한 영역이 된다. 이 n형화한 영역에 의해 제 1 소스 전극층(141) 및 제 1 드

레인 전극층(151)과 산화물 반도체층(130)의 콘택트 저항을 낮출 수 있다. 따라서, 제 1 소스 전극층(141) 및 제 1 드레인 전극층(151)과 산화물 반도체층(130)의 접촉 면적을 크게 함으로써, n형화한 영역의 면적도 크게 하는 것이 가능해진다.

[0093] 단, 제 2 소스 전극층(142) 및 제 2 드레인 전극층(152)에 질화 탄탈이나 질화 티탄 등의 질화물을 이용하는 경우에, 제 1 소스 전극층(141) 및 제 1 드레인 전극층(151)과 산화물 반도체층(130)의 접촉 면적을 크게 할 필요는 없다. 질화물 내의 질소가 산화물 반도체층(130)과의 계면 근방으로 약간 확산하고, 산화물 반도체층(130) 내로 질소가 도너로서 작용하여 n형 영역을 형성하여; 산화물 반도체층(130) 및 제 2 소스 전극층(142) 또는 제 2 드레인 전극층(152) 사이의 콘택트 저항을 저하시킬 수 있다.

[0094] 여기서, 제 1 소스 전극층(141)과 제 1 드레인 전극층(151)과의 간격은 $0.8\mu\text{m}$ 이상, 바람직하게는 $1.0\mu\text{m}$ 이상으로 한다. 상기 간격이 $0.8\mu\text{m}$ 보다 작으면 채널 형성 영역에서 발생하는 산소 결손의 영향을 배제할 수 없게 되어, 트랜지스터의 전기 특성이 저하되게 된다.

[0095] 한편, 제 2 소스 전극층(142)과 제 2 드레인 전극층(152)과의 간격은 예를 들면, 30 nm 이하로 해도 양호한 트랜지스터의 전기 특성을 가질 수 있다.

[0096] 또한, 게이트-드레인 간 및 게이트-소스 간의 기생 용량을 작게 하고, 반도체 장치의 주파수 특성을 향상시키도록, 게이트 전극층과 소스 전극층 또는 드레인 전극층이 가능한 중첩되지 않는 구조로 하는 것이 바람직하다.

[0097] 또한, 트랜지스터(100)의 소스 전극층(140) 및 드레인 전극층(150)의 단부, 트랜지스터(200)의 제 1 소스 전극층(141) 및 제 1 드레인 전극층(151)의 단부는 계단상으로 복수의 단을 포함한 형상으로 하는 것이 바람직하다. 이러한 복수의 단을 포함한 형상으로 함으로써, 이들의 상부에 형성되는 막의 피복성이 향상되어, 트랜지스터의 전기 특성이나 장기 신뢰성을 향상시킬 수 있다. 도 31의 (A)에 나타내는 트랜지스터(102), 도 31의 (B)에 나타내는 트랜지스터(202)와 같이, 소스 전극층(140) 및 드레인 전극층(150)의 단부, 또는 제 1 소스 전극층(141) 및 제 1 드레인 전극층(151)의 단부는 계단상의 단을 가지지 않는 형상이어도 좋다.

[0098] 게이트 절연막(160)에는, 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈을 일종 이상 포함한 절연막을 이용하여 형성할 수 있다. 게이트 절연막(160)은 상기 재료의 적층이어도 좋다.

[0099] 게이트 전극층(170)은, Al, Ti, Cr, Co, Ni, Cu, Y, Zr, Mo, Ru, Ag, Ta, 및 W 등의 도전막을 이용할 수 있다. 또한, 상기 게이트 전극층은 상기 재료의 적층이어도 좋다.

[0100] 게이트 절연막(160), 및 게이트 전극층(170) 위에는 산화물 절연층(180)이 형성되어 있어도 좋다. 상기 산화물 절연층(180)에는, 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄 및 산화 탄탈을 일종 이상 포함한 절연막을 이용하여 형성할 수 있다. 또한, 상기 산화물 절연층(180)은 상기 재료의 적층이어도 좋다.

[0101] 여기서, 산화물 절연층(180)은 과잉 산소를 포함하는 것이 바람직하다. 과잉 산소를 포함한 산화물 절연층이란, 가열 처리 등에 의해 산소를 방출할 수 있는 산화물 절연층을 말한다. 바람직하게는, 승온 이탈 가스 분광법 분석에서, 산소 원자로 환산한 산소의 방출량이 $1.0 \times 10^{19} \text{ atoms/cm}^3$ 이상인 막으로 한다. 상기 산화물 절연층(180)으로부터 방출되는 산소는 게이트 절연막(160)을 경유하여 산화물 반도체층(130)의 채널 형성 영역으로 확산시킬 수 있으므로, 예상치 않게 형성된 산소 결손에 산소를 보충할 수 있다. 따라서, 안정된 트랜지스터의 전기 특성을 얻을 수 있다.

[0102] 이상이 본 발명의 일 양태에서의 트랜지스터이다. 상기 트랜지스터는 전기 특성이 양호하고, 장기 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0103] 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.

[0104] (실시형태 2)

[0105] 본 실시형태에서는, 실시형태 1에 설명한 본 발명의 일 양태의 트랜지스터의 구성에 대하여, 시뮬레이션을 실시한 결과를 설명한다.

[0106] 도 8의 (A), (B), (C), (D), 도 9의 (A), (B), (C), (D), 도 10의 (A), (B), (C), (D), 도 11의 (A), (B),

(C), (D)는, 제 1 시뮬레이션에 이용한 디바이스 모델을 설명하는 도면이다. 도 8의 (A)는 상면도이다. 도 8의 (A)에 나타내는 일점 쇄선 H1-H2의 단면이 도 8의 (B)에 상당한다. 도 8의 (A)에 나타내는 일점 쇄선 H3-H4의 단면이 도 8의 (C)에 상당한다. 도 8의 (A)에 나타내는 일점 쇄선 H5-H6의 단면이 도 8의 (D)에 상당한다. 도 9의 (A)는 상면도이다. 도 9의 (A)에 나타내는 일점 쇄선 J1-J2의 단면이 도 9의 (B)에 상당한다. 도 9의 (A)에 나타내는 일점 쇄선 J3-J4의 단면이 도 9의 (C)에 상당한다. 도 9의 (A)에 나타내는 일점 쇄선 J5-J6의 단면이 도 9의 (D)에 상당한다. 도 10의 (A)는 상면도이다. 도 10의 (A)에 나타내는 일점 쇄선 K1-K2의 단면이 도 10의 (B)에 상당한다. 도 10의 (A)에 나타내는 일점 쇄선 K3-K4의 단면이 도 10의 (C)에 상당한다. 도 10의 (A)에 나타내는 일점 쇄선 K5-K6의 단면이 도 10의 (D)에 상당한다. 도 11의 (A)는 상면도이다. 도 11의 (A)에 나타내는 일점 쇄선 M1-M2의 단면이 도 11의 (B)에 상당한다. 도 11의 (A)에 나타내는 일점 쇄선 M3-M4의 단면이 도 11의 (C)에 상당한다. 도 11의 (A)에 나타내는 일점 쇄선 M5-M6의 단면이 도 11의 (D)에 상당한다. 일점 쇄선 H1-H2, J1-J2, K1-K2, M1-M2 방향을 채널 폭 방향, 일점 쇄선 H5-H6, J5-J6, K5-K6, M5-M6 방향을 채널 길이 방향이라고 칭하는 경우가 있다.

[0107] 도 8의 (A), (B), (C), (D)에 나타내는 디바이스 모델 1(이후, DM1)은 하지 절연막(520) 위에 제 1 산화물 반도체층(531), 제 2 산화물 반도체층(532), 제 3 산화물 반도체층(533)으로 이루어지는 산화물 반도체층(530), 소스 전극층(540), 드레인 전극층(550), 게이트 절연막(560), 게이트 전극층(570)을 포함한다. 게이트 전극층(570)은 채널 폭 방향에서 산화물 반도체층(530)의 단부를 덮는 구성으로 되어 있다.

[0108] DM1에서는, 트랜지스터의 채널 길이(L)를 30 nm, 채널 폭(W)을 40 nm; 산화물 반도체층(530)과 소스 전극층(540) 또는 드레인 전극층(550)이 채널 길이 방향과 중첩되는 길이를 30 nm; 하지 절연막(520)의 막 두께를 300 nm; 게이트 절연막(560)의 비유전율을 4.1; 막 두께를 20 nm; 게이트 전극층의 일 함수를 4.9 eV; 소스 전극층(540) 및 드레인 전극층(550)의 일 함수를 4.4 eV로 했다. 제 1 산화물 반도체층(531)(S1), 제 2 산화물 반도체층(532)(S2), 제 3 산화물 반도체층(533)(S3)으로서 이용하는 In-Ga-Zn 산화물의 원자수비(In : Ga : Zn) 및 시뮬레이션에 이용하는 수치는 표 1에 나타내는 바와 같다. 시뮬레이션에는 시놉시스사(Synopsys, Inc.)제, Sentaurus Device를 이용했다. 각층이나 계면에 국재하는 고정 전하나 전자 트랩 등은 가정하지 않았다.

표 1

	원자수비	전자 친화력 [eV]	E _g [eV]	비유전율	N _d [cm ⁻³]	전자 이동도 [cm ² /Vs]	정공 이동도 [cm ² /Vs]	막 두께 [nm]
S1	1:3:2	4.4	3.4	15	1.00E+13	2	0.1	20
S2	1:1:1	4.6	3.15	15	1.00E+13	10	0.1	15
S3	1:3:2	4.4	3.4	15	1.00E+13	2	0.1	5

[0109]

[0110] 도 9의 (A), (B), (C), (D)에 나타내는 디바이스 모델 2(이후, DM2)는 DM1과 게이트 전극층(570)의 형상이 다르다. 채널 폭 방향에서 게이트 전극층(570)은 산화물 반도체층(530)의 단부를 덮지 않는다. 즉, 상면 형상은 산화물 반도체층(530)과 동등하게 되어 있다. 그 외의 조건은 DM1과 같다.

[0111] 도 10의 (A), (B), (C), (D)에 나타내는 디바이스 모델 3(이후, DM3)은 산화물 반도체층(580)을 표 1에 나타내는 S2와 같은 조건의 단층으로 하고, 그 외의 조건은 DM1과 같다(게이트 전극층(570)이 채널 폭 방향에서 산화물 반도체층(530)의 단부를 덮는 구성).

[0112] 도 11의 (A), (B), (C), (D)에 나타내는 디바이스 모델 4(이후, DM4)는 산화물 반도체층(580)을 표 1에 나타내는 S2와 같은 조건의 단층으로 하고, 그 외의 조건은 DM2와 같다(게이트 전극층(570)이 채널 폭 방향에서 산화물 반도체층(530)의 단부를 덮지 않는 구성).

[0113] 도 12의 (A), (B)에 상기 조건의 디바이스 모델(DM1, DM2, DM3, DM4)을 이용한 시뮬레이션에 의해 얻어진 Id-V_g 특성을 나타낸다.

[0114] 우선, 산화물 반도체층이 적층 구조를 갖는 DM1과 DM2의 비교에서는, 게이트 전극층(570)이 채널 폭 방향에서 산화물 반도체층(530)의 단부를 덮는 구성인 DM1의 특성이 양호해진다(도 12의 (A) 참조). 산화물 반도체층이 단층 구조를 갖는 DM3과 DM4의 비교에서는, 게이트 전극층(570)이 채널 폭 방향에서 산화물 반도체층(580)의 단

부를 덮는 구성인 DM3의 특성이 양호해진다(도 12의 (B) 참조). 여기서, DM1과 DM3의 비교에서는, DM1이 S값 및 문턱 전압이 양호하다. 따라서, Icut을 작게 할 목적에서는, DM1의 구조, 즉, 산화물 반도체층이 적층 구조이며, 게이트 전극층이 채널 폭 방향에서 산화물 반도체층의 단부를 덮는 구성이 우위라고 할 수 있다.

[0115] 이것은, DM1에서의 제 1 산화물 반도체층(531)의 일부의 영역과 게이트 절연막(560)의 일부의 영역의 막 두께를 같게 설정했던 것에 기인한다. 이 경우, 산화물 반도체층(530)에서, 채널이 형성되는 제 2 산화물 반도체층(532)의 상대 위치가 높아진다. 따라서, 제 2 산화물 반도체층(532)의 단부가 게이트 절연막(560)을 사이에 끼우고 게이트 전극층(570)으로 덮인다. 따라서, 제 2 산화물 반도체층(532)의 전체에 대하여 게이트 전극층(570)으로부터의 전계가 인가되기 쉬워진다. 한편, DM2, DM3, DM4에서는, 산화물 반도체층(530, 580)의 단부가 게이트 절연막(560)을 사이에 끼우고 게이트 전극층(570)으로 덮이는 구조가 되지는 않는다. 따라서, 모두 불충분한 Id-Vg 특성을 가진다.

[0116] 따라서, 제 1 시뮬레이션 결과로부터, 산화물 반도체층을 적층 구조로 하고, 상기 적층 구조에서 채널이 되는 층의 상대 위치를 높게 하는 것, 그리고 상기 채널이 되는 층에 대하여 횡 방향으로부터도 게이트 전극층으로부터의 전계가 인가되기 쉬운 구성으로 하는 것이 효과적이라는 것을 알 수 있었다. 구체적으로는, 채널이 되는 층의 하층에 위치하는 층의 일부의 영역의 막 두께를 게이트 절연막의 일부의 영역의 막 두께와 동등하거나 그 이상으로 하고, 산화물 반도체층 단부를 덮도록 게이트 전극층을 형성하면 좋다.

[0117] 도 13의 (A), (B), (C), (D), 도 14의 (A), (B), (C), (D)는, 제 2 시뮬레이션에 이용한 디바이스 모델을 설명하는 도면이다. 도 13의 (A)는 상면도이다. 도 13의 (A)에 나타내는 일점 쇄선 N1-N2의 단면이 도 13의 (B)에 상당한다. 도 13의 (A)에 나타내는 일점 쇄선 N3-N4의 단면이 도 13의 (C)에 상당한다. 도 13의 (A)에 나타내는 일점 쇄선 N5-N6의 단면이 도 13의 (D)에 상당한다. 도 14의 (A)는 상면도이다. 도 14의 (A)에 나타내는 일점 쇄선 P1-P2의 단면이 도 14의 (B)에 상당한다. 도 14의 (A)에 나타내는 일점 쇄선 P3-P4의 단면이 도 14의 (C)에 상당한다. 도 14의 (A)에 나타내는 일점 쇄선 P5-P6의 단면이 도 14의 (D)에 상당한다. 일점 쇄선 N1-N2, P1-P2 방향을 채널 폭 방향, 일점 쇄선 N5-N6, P5-P6 방향을 채널 길이 방향이라고 칭하는 경우가 있다.

[0118] 도 13의 (A), (B), (C), (D)에 나타내는 디바이스 모델 5(이후, DM5)는 DM1과 소스 전극층(540) 또는 드레인 전극층(550)의 형상이 다르다. 소스 전극층(540) 또는 드레인 전극층(550)이 산화물 반도체층(530)의 채널 길이 방향의 단부를 덮는 구성으로 되어 있다. 그 외의 조건은 DM1과 같다.

[0119] 도 14의 (A), (B), (C), (D)에 나타내는 디바이스 모델 6(이후, DM6)은 DM1과 소스 전극층(540) 또는 드레인 전극층(550)의 형상이 다르다. 소스 전극층(540) 또는 드레인 전극층(550)이 산화물 반도체층(530)의 채널 길이 방향의 단부 및 채널 폭 방향의 단부의 일부를 덮는 구성으로 되어 있다. 그 외의 조건은 DM1과 같다. 즉, DM5와 DM6에서는, 소스 전극층(540) 또는 드레인 전극층(550)이 채널 폭 방향의 단부의 일부를 덮는지 아닌지가 다르다.

[0120] 도 15는 상기 조건의 디바이스 모델(DM1, DM5, DM6)을 이용한 시뮬레이션에 의해 얻어진 Id-Vg 특성이다. 도 15에서의 DM5와 DM6의 비교에서는, 소스 전극층(540) 또는 드레인 전극층(550)이 산화물 반도체층(530)의 채널 폭 방향의 단부를 덮지 않는 구성인 DM5의 특성이 양호해졌다. 또한, DM5는 DM1과 비교하여 문턱 전압이 약간 마이너스측에 있지만, S값은 동등하고, 높은 온 전류를 나타냈다. 따라서, 온 전류를 포함한 특성 향상을 목적으로 하는 경우에는, DM5의 구조, 즉, 소스 전극층 또는 드레인 전극층이 산화물 반도체층의 채널 길이 방향의 단부를 덮고, 채널 폭 방향의 단부를 덮지 않는 구성이 바람직하다고 할 수 있다.

[0121] 이것은, 산화물 반도체층(530)의 채널 폭 방향의 단부를 소스 전극층(540) 또는 드레인 전극층(550)으로 덮음으로써, 게이트 전극층(570)으로부터의 전계의 일부가 차단되어, 산화물 반도체층(530), 특히 채널이 형성되는 제 2 산화물 반도체층(532)에 상기 전계가 인가되기 어려워지기 때문이다.

[0122] 따라서, 제 2 시뮬레이션 결과로부터, 산화물 반도체층을 적층 구조로 하고, 채널이 되는 층으로의 게이트 전극층으로부터의 전계 인가를 방해하지 않는 구성으로 하는 것이 효과적이라는 것을 알 수 있었다. 구체적으로는, 소스 전극층 또는 드레인 전극층이 산화물 반도체층의 채널 길이 방향의 단부를 덮고, 채널 폭 방향의 단부를 덮지 않는 구성으로 하면 좋다. 또는, 소스 전극층 또는 드레인 전극층의 채널 폭 방향의 길이가 산화물 반도체층의 채널 폭 방향의 길이와 같거나, 또는 작아지는 구성으로 할 수도 있다.

[0123] 다음에, DM5의 구성을 기본으로 하는 디바이스 모델을 이용하여, 트랜지스터의 W 길이에 관한 제 3 시뮬레이션을 행하였다. 제 3 시뮬레이션의 디바이스 모델에서는, 산화물 반도체층(530)의 채널 폭 방향의 길이, 및 소스 전극층 또는 드레인 전극층의 채널 폭 방향의 길이를 일치시켜, 상기 길이를 W 길이로서 정의했다. 그리고, W

= 300 nm, 40 nm, 30 nm, 10 nm를 시뮬레이션의 조건으로 했다. 그 외의 조건은 DM5와 같다.

- [0124] 도 16은 상기 조건의 디바이스 모델을 이용한 시뮬레이션에 의해 얻어진 Id-Vg 특성이다. W 길이가 300 nm인 경우, 오프 특성이 매우 나쁘지만, W 길이를 40 nm 이하로 함으로써 S값이 현저하게 개선되는 것을 알 수 있다.
- [0125] 이것은 제 2 산화물 반도체층(532)의 채널이 형성되는 영역에 대하여, 제 2 산화물 반도체층(532)의 측면으로부터의 전계 인가의 기여도가 W 길이가 작을수록 크기 때문이다. 도 33의 (A), (B)는 도 13의 (B)에 상당하는 DM5의 채널 폭 방향의 단면이다. 도 33의 (A), (B)에서 제 2 산화물 반도체층(532)이 횡 방향으로부터 받는 전계 강도를 모식적으로 벡터로 나타낸다. 도 33의 (A)에 나타내는 바와 같이, W 길이가 작은 경우는, 제 2 산화물 반도체층(532)에 대하여 횡 방향에 인가되는 전계는 채널 전체에 이르지 않지만, 도 33의 (B)에 나타내는 바와 같이, W 길이가 긴 경우는 상기 전계는 채널 전체에 이르지 않는다. 따라서, DM5의 구성에서의 효과는 W 길이가 작은 트랜지스터일수록 효과적이라고 할 수 있다.
- [0126] 다음에, DM5의 구성을 기본으로 하는 디바이스 모델을 이용하여, 산화물 반도체층(530)에 포함되는 제 2 산화물 반도체층(532)의 막 두께에 관하여, 제 4 시뮬레이션을 행하였다. 제 4 시뮬레이션에서는, L/W = 30 nm/40 nm의 디바이스 모델에서, 제 2 산화물 반도체층(532)의 막 두께를 5 nm 내지 90 nm로 하는 시뮬레이션 조건을 이용했다. 또한, L/W = 30 nm/300 nm의 디바이스 모델에서는 제 2 산화물 반도체층(532)의 막 두께를 5 nm 내지 50 nm로 하는 시뮬레이션 조건을 이용했다. 그 외의 조건은 DM5와 같다.
- [0127] 도 17의 (A), (B), (C)는, 상기 조건의 디바이스 모델을 이용한 시뮬레이션에 의해 얻어진 Id-Vg 특성이다. 도 17의 (A), (B)는 L/W = 30 nm/40 nm의 디바이스 모델에서의 Id-Vg 특성의 시뮬레이션 결과이다. 도 17의 (A)에 제 2 산화물 반도체층(532)의 막 두께가 5 nm, 10 nm, 15 nm, 20 nm, 25 nm, 30 nm, 40 nm, 50 nm의 결과를 나타낸다. 도 17의 (B)에 제 2 산화물 반도체층(532)의 막 두께가 60 nm, 70 nm, 80 nm, 90 nm의 결과를 나타낸다. 도 17의 (C)는 L/W = 30 nm/300 nm의 디바이스 모델에서의 Id-Vg 특성의 시뮬레이션 결과이다. 도 17의 (C)는 제 2 산화물 반도체층(532)의 막 두께가 5 nm, 10 nm, 15 nm, 20 nm, 25 nm, 30 nm, 40 nm, 50 nm의 결과를 나타낸다. 각각의 도면에서, 화살표의 시점측으로부터 종점측에 걸쳐 막 두께가 순차 증가하는 조건으로 되어 있다.
- [0128] 도 17의 (A)에 나타내는 바와 같이, L/W = 30 nm/40 nm의 디바이스 모델에서는, 제 2 산화물 반도체층(532)의 막 두께가 50 nm 정도까지는 막 두께가 두꺼울수록 S값 및 온 전류가 개선되는 결과가 나타났다. 그리고, 도 17의 (B)에 나타내는 바와 같이, 제 2 산화물 반도체층(532)의 막 두께가 60 nm 이상이 되면 S값 및 문턱 전압은 거의 변화가 없어져, 단지 온 전류만 막 두께와 함께 증가하는 경향이 나타났다.
- [0129] 한편, 도 17의 (C)에 나타내는 바와 같이, L/W = 30 nm/300 nm의 디바이스 모델에서는, 제 2 산화물 반도체층(532)의 막 두께가 5 nm 내지 50 nm 중 어디에서도 S값 및 문턱 전압은 향상되지 않는다. L/W = 30 nm/300 nm의 디바이스 모델의 막 두께의 의존에서는 L/W = 30 nm/40 nm의 디바이스 모델과는 반대의 경향이 나타났다.
- [0130] 이것은 제 2 산화물 반도체층(532)의 막 두께가 두꺼울수록 측면의 면적이 커져, 제 2 산화물 반도체층(532) 전체에 대한 게이트 전극층(570)으로부터의 전계가 인가되기 쉬워지기 때문이다. 한편, W 길이가 긴 경우는, 제 3 시뮬레이션의 결과와 마찬가지로 제 2 산화물 반도체층(532)의 측면측으로부터 인가되는 게이트 전극층(570)으로부터의 전계가 제 2 산화물 반도체층(532)에 형성되는 채널 전체에까지 미치지 않기 때문에; Id-Vg 특성은 향상되지 않는다.
- [0131] 따라서, W 길이를 매우 짧게 하는 것, 및 제 2 산화물 반도체층(532)의 막 두께를 두껍게 하는 것이 효과적이기 때문에; DM5의 구조는 트랜지스터의 구조를 핀형(산화물 반도체층(530)의 막 두께 > W 길이)으로 하는 것에 대해서도 적합하다고 할 수 있고, 미세화에 따른 온 전류의 감소의 억제에도 효과를 얻는다.
- [0132] 다음에, 트랜지스터의 활성층을 산화물 반도체(OS)로 하는 디바이스 모델과 실리콘(Si)으로 하는 디바이스 모델의 비교를 제 5 시뮬레이션으로 행하였다. 활성층을 실리콘으로 하는 디바이스 모델 7(이하, DM7)은 도 18의 (A), (B), (C), (D)에 나타내는 바와 같이, DM5를 기본으로 하여, 실리콘 활성층(630)은 n⁺형 영역(632), p⁻형 영역(631)을 포함하는 구성으로 했다. 여기서, n⁺형 영역(632)의 도너 불순물 밀도(N_D)를 1E²⁰/cm³로 하고, p⁻형 영역(631)의 억셉터 불순물 밀도(N_A)를 1E¹⁷/cm³, 1E¹⁸/cm³, 1E¹⁹/cm³로서 시뮬레이션을 행하였다.
- [0133] 도 19는 활성층을 실리콘으로 하는 DM7를 이용한 시뮬레이션에 의해 얻어진 Id-Vg 특성이다. 비교로서 도 15에 나타난 활성층을 산화물 반도체층으로 포함하는 DM5의 Id-Vg 특성을 도시한다.

- [0134] DM7에서는, N_A 가 비교적 작은 경우, 오프 특성이 매우 나쁘고, 온 오프비가 거의 얻어지지 않았다. N_A 가 비교적 큰 경우는, 온 오프비를 얻을 수 있었지만, 오프 전류는 DM5와 비교하여 충분히 낮지 않았다.
- [0135] 이상의 본 실시형태에 설명한, 제 1 내지 제 5 시뮬레이션 결과로부터, 다음의 구성들이 트랜지스터의 특성 향상에 대하여 의미가 있다는 것이 분명해졌다: 활성층을 산화물 반도체층의 적층으로 하는 구성인 것; 상기 적층에서 채널이 되는 중간층의 상대 위치를 높게 하고, 상기 중간층의 측면으로부터도 게이트 전극층으로부터의 전계가 인가되기 쉬운 구성으로 하는 것; 소스 전극층 또는 드레인 전극층에서 활성층의 채널 폭 방향의 단부를 덮지 않고, 게이트 전극층으로부터 활성층에 인가되는 전계를 차폐하지 않는 구성으로 하는 것이 트랜지스터의 특성 향상에 대하여 의미가 있다는 것이 분명해졌다. 또한, 상기 구성에서, W 길이를 작게 하는 것, 및 채널이 되는 중간층을 두껍게 하는 것이 의미가 있다는 것도 분명해졌다. 따라서, 다른 실시형태에 설명하는 본 발명의 일 양태에서의 반도체 장치는 미세 구조여도 전기 특성이 양호하고, 신뢰성이 높다고 할 수 있다.
- [0136] 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.
- [0137] (실시형태 3)
- [0138] 본 실시형태에서는, 실시형태 1에 설명한 트랜지스터와는 다른 구조의 트랜지스터에 대하여 설명한다.
- [0139] 도 20의 (A), (B), (C), (D)는 본 발명의 일 양태의 트랜지스터의 상면도 및 단면도이다. 도 20의 (A)는 상면도이다. 도 20의 (A)에 나타내는 일점 쇄선 C1-C2의 단면이 도 20의 (B)에 상당한다. 도 20의 (A)에 나타내는 일점 쇄선 C3-C4의 단면이 도 20의 (C)에 상당한다. 도 20의 (A)에 나타내는 일점 쇄선 C5-C6의 단면이 도 20의 (D)에 상당한다. 단, 도 20의 (A)의 상면도에서는, 도면의 명료화를 위하여 일부의 요소를 생략하여 도시하였다. 일점 쇄선 C1-C2 방향을 채널 폭 방향, 일점 쇄선 C5-C6 방향을 채널 길이 방향이라고 칭하는 경우가 있다.
- [0140] 도 20의 (A), (B), (C), (D)에 나타내는 트랜지스터(300)는 기판(110) 위에 형성된 하지 절연막(120)과; 이 하지 절연막(120) 위에 형성된 산화물 반도체층(130)과; 이 산화물 반도체층(130) 위에 형성된 제 2 소스 전극층(142) 및 제 2 드레인 전극층(152)과; 이 제 2 소스 전극층(142) 및 이 제 2 드레인 전극층(152)의 각각의 위에 형성된 제 1 소스 전극층(141) 및 제 1 드레인 전극층(151)과; 이 제 1 소스 전극층(141), 이 제 2 소스 전극층(142), 이 제 1 드레인 전극층(151), 이 제 2 드레인 전극층(152), 및 산화물 반도체층(130) 위에 형성된 게이트 절연막(160)과; 이 게이트 절연막(160) 위에 형성된 게이트 전극층(170)과; 이 게이트 절연막(160) 및 이 게이트 전극층(170) 위에 형성된 산화물 절연층(180)을 포함한다. 단, 산화물 절연층(180)은 필요에 따라 제공하면 좋고, 또한 그 상부에 다른 절연층을 제공해도 좋다.
- [0141] 도 7의 (A), (B), (C), (D)에 나타내는 트랜지스터(200)와 도 20의 (A), (B), (C), (D)에 나타내는 트랜지스터(300)는, 제 1 소스 전극층(141)과 제 2 소스 전극층(142)과의 적층 순서, 및 제 1 드레인 전극층(151)과 제 2 드레인 전극층(152)과의 적층 순서가 다르고, 그 외의 점에서는 같다.
- [0142] 제 1 소스 전극층(141) 및 제 1 드레인 전극층(151)은 트랜지스터(300)에서는 산화물 반도체층(130)과 접촉하지 않기 때문에, 제 1 소스 전극층(141) 및 제 1 드레인 전극층(151)에 기인한 산화물 반도체층(130)에서의 산소 결손의 발생은 일어나지 않는다. 그 때문에, 상기 산소 결손에 의해 소스 또는 드레인으로서 작용하는 n형 영역은 형성되지 않는다.
- [0143] 트랜지스터(300)에서는 제 2 소스 전극층(142) 및 제 2 드레인 전극층(152)에 실시형태 1에 설명한 도전성의 질화물(질화 탄탈 또는 질화 티탄)을 이용한다. 따라서, 상기 질화물로부터 산화물 반도체층(130)의 계면 근방에 도너가 되는 질소를 확산시킬 수 있고, 질소를 확산시킨 영역을 소스 또는 드레인으로서 작용시킬 수 있다. 단, 질소는 채널 길이 방향으로도 확산하는 경우가 있고, 도 7의 (D) 및 도 20의 (D)에 도시하는 바와 같이 채널 형성 영역의 일부를 없애는 것이 바람직하다. 상기 채널 형성 영역의 일부는 제 2 소스 전극층(142) 및 제 2 드레인 전극층(152)의 형성 시의 에칭 공정에 의해서도 없앨 수 있다. 또한, 질소는 산화물 반도체층(130) 내에 깊이 확산시킬 필요는 없고, 계면 근방에 확산시키는 것만으로 충분히 소스 또는 드레인으로서 작용시킬 수 있다.
- [0144] 또한, 트랜지스터(300)에서는 제 1 소스 전극층(141) 및 제 1 드레인 전극층(151)에 기인한 산화물 반도체층(130)에서의 산소 결손의 발생은 일어나지 않기 때문에, 제 1 소스 전극층(141)과 제 1 드레인 전극층(151)의 거리를 트랜지스터(100)보다 짧게 할 수 있다. 예를 들면, 제 2 소스 전극층(142)의 단면과 제 1 소스 전극층(141)의 단면, 및 제 2 드레인 전극층(152)의 단면과 제 1 드레인 전극층(151)의 단면을 일치시켜도 좋다. 이

와 같이 함으로써, 소스 전극층 및 드레인 전극층 전체적으로 저항을 저하시킬 수 있다.

- [0145] 트랜지스터(300)의 제 1 소스 전극층(141) 및 제 1 드레인 전극층(151)의 단부는 계단상으로 복수의 단을 포함한 형상으로 하는 것이 바람직하다. 이러한 복수의 단을 포함한 형상으로 함으로써, 그들의 상부에 형성되는 막의 피복성이 향상되어, 트랜지스터의 전기 특성이나 장기 신뢰성을 향상시킬 수 있다. 도 32의 (A)에 나타내는 트랜지스터(302)와 같이, 제 1 소스 전극층(141) 및 제 1 드레인 전극층(151)의 단부는 계단상의 단을 제공하지 않는 형상이어도 좋다.
- [0146] 저소비 전력의 반도체 장치를 형성하려면, 트랜지스터의 오프 전류, 특히 게이트 전압이 0 V일 때의 전류(I_{cut} 이라고도 함)를 저감시키는 것이 효과적이다. 그러나, 트랜지스터를 미세화하면 문턱 전압이나 S값(subthreshold value) 등의 트랜지스터의 전기 특성이 악화되는 것이 알려져 있고, 미세화와 저소비 전력화와의 양립이 요구되고 있었다.
- [0147] 본 발명의 일 양태의 트랜지스터에서는, 제 1 산화물 반도체층(131)의 일부인 제 1 영역의 막 두께를 T_{S1} , 게이트 절연막(160)의 일부인 제 2 영역의 막 두께를 T_{G1} 로 했을 때, $T_{S1} \geq T_{G1}$ (T_{S1} 은 T_{G1} 이상)로서 형성한다. 이와 같이 함으로써, 게이트 전극층(170)이 게이트 절연막(160)을 사이에 끼우고 제 2 산화물 반도체층(132)의 측면을 덮게 된다.
- [0148] 제 2 산화물 반도체층(132)은 채널이 형성되는 층이다. 제 2 산화물 반도체층(132)의 측면에 게이트 전극층(170)으로부터 전계를 인가하기 쉬운 구조로 함으로써, 제 2 산화물 반도체층(132)에 대하여 전체적으로 전계가 인가되게 되어, 트랜지스터의 문턱 전압이나 S값을 향상시킬 수 있다. 상기 구조를 갖는 트랜지스터에서는, W 길이가 짧은 경우에 특히 유효하기 때문에; 트랜지스터를 미세화해도 I_{cut} 을 낮출 수 있어 소비 전력을 저감시킬 수 있다. 또한, 트랜지스터의 문턱 전압이 안정화되기 때문에; 반도체 장치의 장기 신뢰성을 향상시킬 수 있다.
- [0149] 본 발명의 일 양태의 트랜지스터에서는, 도 20의 (A)의 트랜지스터의 상면도에 나타내는 바와 같이, 소스 전극층(140) 및 드레인 전극층(150)의 채널 폭 방향의 길이는 산화물 반도체층(130)의 채널 폭 방향의 길이보다 작고, 상기 산화물 반도체층의 채널 길이 방향의 단부를 덮도록 형성하는 것이 바람직하다. 이러한 구조로 함으로써, 게이트 전극층(170)으로부터 제 2 산화물 반도체층(132)의 측면에 대한 전계 인가에 대한 장애물이 감소되기 때문에, 상술한 $T_{S1} \geq T_{G1}$ 에 의한 트랜지스터의 문턱 전압이나 S값을 향상시키는 효과를 조장할 수 있다.
- [0150] 이상이 본 발명의 일 양태에서의 트랜지스터이다. 상기 트랜지스터는 전기 특성이 양호하고, 장기 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0151] 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.
- [0152] (실시형태 4)
- [0153] 본 실시형태에서는, 실시형태 1 및 실시형태 3에 설명한 트랜지스터와는 다른 구조의 트랜지스터에 대하여 설명한다.
- [0154] 도 21의 (A), (B), (C), (D)는 본 발명의 일 양태의 트랜지스터의 상면도 및 단면도이다. 도 21의 (A)는 상면도이다. 도 21의 (A)에 나타내는 일점 쇄선 D1-D2의 단면이 도 21의 (B)에 상당한다. 도 21의 (A)에 나타내는 일점 쇄선 D3-D4의 단면이 도 21의 (C)에 상당한다. 도 21의 (A)에 나타내는 일점 쇄선 D5-D6의 단면이 도 21의 (D)에 상당한다. 단, 도 21의 (A)의 상면도에서는, 도면의 명료화를 위하여 일부의 요소를 생략하여 도시하였다. 일점 쇄선 D1-D2 방향을 채널 폭 방향, 일점 쇄선 D5-D6 방향을 채널 길이 방향이라고 칭하는 경우가 있다.
- [0155] 도 21의 (A), (B), (C), (D)에 나타내는 트랜지스터(400)는 기판(110) 위에 형성된 하지 절연막(120)과; 상기 하지 절연막(120) 위에 형성된 제 1 산화물 반도체층(131) 및 제 2 산화물 반도체층(132)과; 상기 제 2 산화물 반도체층(132) 위에 형성된 제 1 소스 전극층(141) 및 제 1 드레인 전극층(151)과; 상기 제 2 산화물 반도체층(132), 상기 제 1 소스 전극층(141), 및 상기 제 1 드레인 전극층(151) 위에 형성된 제 3 산화물 반도체층(133)과; 제 1 소스 전극층(141)을 덮도록 중첩하고, 상기 제 1 소스 전극층(141) 및 제 3 산화물 반도체층(133)의 각각에 접촉하는 제 2 소스 전극층(142)과; 제 1 드레인 전극층(151)을 덮도록 중첩하고, 상기 제 1 드레인 전극층(151) 및 제 3 산화물 반도체층(133)의 각각에 접촉하는 제 2 드레인 전극층(152)과; 제 3 산화물 반도체층(133), 제 2 소스 전극층(142), 및 제 2 드레인 전극층(152) 위에 형성된 게이트 절연막(160)과; 상기 게이트

절연막(160) 위에 형성된 게이트 전극층(170)과; 상기 게이트 절연막(160) 및 상기 게이트 전극층(170) 위에 형성된 산화물 절연층(180)을 포함한다. 단, 산화물 절연층(180)은 필요에 따라 제공하면 좋고, 또한 그 상부에 다른 절연층을 제공해도 좋다.

[0156] 도 7의 (A), (B), (C), (D)에 나타내는 트랜지스터(200)와 도 21의 (A), (B), (C), (D)에 나타내는 트랜지스터(400)는, 제 3 산화물 반도체층(133)이 제 1 소스 전극층(141) 위 및 제 1 드레인 전극층(151) 위에 형성되어 있는 점이 다르고, 그 외의 점은 같다.

[0157] 트랜지스터(400)에서는, 채널이 형성되는 제 2 산화물 반도체층(132)과 제 1 소스 전극층(141) 위 및 제 1 드레인 전극층(151)이 접촉하고; 제 2 산화물 반도체층(132)에 고밀도의 산소 결손이 생성되어, n형 영역이 형성된다. 따라서, 캐리어의 패스(path)에 저항 성분이 적고, 효율적으로 캐리어를 이동시킬 수 있다.

[0158] 또한, 제 3 산화물 반도체층(133)은 제 1 소스 전극층(141) 및 제 1 드레인 전극층(151)의 형성 후에 형성하기 때문에, 상기 제 1 소스 전극층(141) 및 상기 제 1 드레인 전극층(151) 형성 시의 제 3 산화물 반도체층(133)의 오버 에칭이 없다. 따라서, 채널이 형성되는 제 2 산화물 반도체층(132)을 게이트 절연막(160)으로부터 충분히 떨어뜨릴 수 있어 계면으로부터의 불순물 확산의 영향을 억제하는 효과를 크게 할 수 있다.

[0159] 트랜지스터(400)의 제 1 소스 전극층(141) 및 제 1 드레인 전극층(151)의 단부는 계단상으로 복수의 단을 포함한 형상으로 하는 것이 바람직하다. 이러한 복수의 단을 포함한 형상으로 함으로써, 그들의 상부에 형성되는 막의 피복성이 향상되어, 트랜지스터의 전기 특성이나 장기 신뢰성을 향상시킬 수 있다. 도 32의 (B)에 나타내는 트랜지스터(402)와 같이, 제 1 소스 전극층(141) 및 제 1 드레인 전극층(151)의 단부는 계단상의 단을 제공하지 않는 형상이어도 좋다.

[0160] 저소비 전력의 반도체 장치를 형성하기 위해서는, 트랜지스터의 오프 전류, 특히 게이트 전압이 0 V 시의 전류(I_{cut} 라고도 함)를 저감시키는 것이 효과적이다. 그러나, 트랜지스터를 미세화하면 문턱 전압이나 S값(subthreshold value) 등의 트랜지스터의 전기 특성이 악화되는 것이 알려져 있고, 미세화와 저소비 전력화의 양립이 요구되고 있었다.

[0161] 본 발명의 일 양태의 트랜지스터에서는 제 1 산화물 반도체층(131)의 일부인 제 1 영역의 막 두께를 T_{S1} , 게이트 절연막(160)의 일부인 제 2 영역의 막 두께를 T_{G1} 로 했을 때, $T_{S1} \geq T_{G1}$ (T_{S1} 은 T_{G1} 이상)로서 형성한다. 이와 같이 함으로써, 게이트 전극층(170)이 게이트 절연막(160)을 사이에 끼우고 제 2 산화물 반도체층(132)의 측면을 덮게 된다.

[0162] 제 2 산화물 반도체층(132)은 채널이 형성되는 층이다. 제 2 산화물 반도체층(132)의 측면에 게이트 전극층(170)으로부터 전계를 인가하기 쉬운 구조로 함으로써, 제 2 산화물 반도체층(132)에 대하여 전체적으로 전계가 인가되게 되어, 트랜지스터의 문턱 전압이나 S값을 향상시킬 수 있다. 상기 구조를 갖는 트랜지스터에서는, W 길이가 짧은 경우에 특히 효과적이기 때문에; 트랜지스터를 미세화해도 I_{cut} 을 낮출 수 있어, 소비 전력을 저감시킬 수 있다. 또한, 트랜지스터의 문턱 전압이 안정화되기 때문에; 반도체 장치의 장기 신뢰성을 향상시킬 수 있다.

[0163] 본 발명의 일 양태의 트랜지스터에서는, 도 21의 (A)의 트랜지스터의 상면도에 나타내는 바와 같이, 제 1 소스 전극층(141), 제 2 소스 전극층(142), 제 1 드레인 전극층(151), 및 제 2 드레인 전극층(152)의 채널 폭 방향의 길이는, 산화물 반도체층(130)의 채널 폭 방향의 길이보다 작고, 상기 산화물 반도체층의 채널 길이 방향의 단부를 덮도록 형성하는 것이 바람직하다. 이러한 구조로 함으로써, 게이트 전극층(170)으로부터 제 2 산화물 반도체층(132)의 측면에 대한 전계 인가의 장애물이 감소되기 때문에, 상술한 $T_{S1} \geq T_{G1}$ 에 의한 트랜지스터의 문턱 전압이나 S값을 향상시키는 효과를 조장할 수 있다.

[0164] 이상이 본 발명의 일 양태에서의 트랜지스터이다. 상기 트랜지스터는 전기 특성이 양호하고, 장기 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0165] 또한, 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.

[0166] (실시형태 5)

[0167] 본 실시형태에서는, 실시형태 1에 설명한 도 7의 (A) 내지 도 7의 (D)에 나타내는 트랜지스터(200)의 제작 방법에 대하여, 도 22의 (A) 내지 도 22의 (C), 도 23의 (A) 내지 도 23의 (C), 및 도 24의 (A) 및 도 24의 (B)를 이용하여 설명한다.

- [0168] 기판(110)에는, 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을 이용할 수 있다. 또한, 실리콘이나 탄화 실리콘 등의 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, SOI(Silicon On Insulator) 기판 등을 이용할 수 있다. 이러한 기판 위에 반도체 소자가 제공된 것을 이용해도 좋다.
- [0169] 하지 절연막(120)은 플라즈마 CVD법 또는 스퍼터링법 등에 의해, 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄 및 산화 탄탈 등의 산화물 절연막; 질화 실리콘, 질화 산화 실리콘, 질화 알루미늄, 질화 산화 알루미늄 등의 질화물 절연막; 또는 상기 재료를 혼합한 막을 이용하여 형성할 수 있다. 또한, 상기 재료의 적층이어도 좋고, 적어도 산화물 반도체층(130)과 접촉하는 상층은 산화물 반도체층(130)에의 산소의 공급원 산소를 포함할 재료로 형성하는 것이 바람직하다.
- [0170] 기판(110)의 표면이 절연체이며, 후에 형성하는 산화물 반도체층(130)에의 불순물 확산의 영향이 없는 경우는, 하지 절연막(120)을 제공하지 않는 구성으로 할 수 있다.
- [0171] 다음에, 하지 절연막(120) 위에 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 제 3 산화물 반도체층(133)을 스퍼터링법, CVD법, MBE법, ALD법 또는 PLD법을 이용하여 성막하고, 선택적으로 에칭을 행함으로써 산화물 반도체층(130)을 형성한다(도 22의 (A) 참조). 단, 에칭의 전에 가열 공정을 행하여도 좋다.
- [0172] 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)에는, 실시형태 1에 설명한 재료를 이용할 수 있다. 예를 들면, 제 1 산화물 반도체층(131)에 In : Ga : Zn = 1 : 3 : 2[원자수비]의 In-Ga-Zn 산화물, 제 2 산화물 반도체층(132)에 In : Ga : Zn = 1 : 1 : 1[원자수비]의 In-Ga-Zn 산화물, 제 3 산화물 반도체층(133)에 In : Ga : Zn = 1 : 3 : 2[원자수비]의 In-Ga-Zn 산화물을 이용하여 형성할 수 있다.
- [0173] 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)으로서 이용할 수 있는 산화물 반도체는 적어도 인듐(In) 혹은 아연(Zn)을 포함하는 것이 바람직하다. 또는, In과 Zn의 쌍방을 포함하는 것이 바람직하다. 이 산화물 반도체를 포함한 트랜지스터의 전기 특성의 편차를 줄이기 위해, 그것들과 함께, 스테빌라이저(stabilizer)를 포함하는 것이 바람직하다.
- [0174] 스테빌라이저로서는, 갈륨(Ga), 주석(Sn), 하프늄(Hf), 알루미늄(Al), 또는 지르코늄(Zr) 등이 있다. 다른 스테빌라이저로서는, 란타노이드인 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 등이 있다.
- [0175] 예를 들면, 산화물 반도체로서, 다음 중 어느 것을 이용할 수 있다: 산화 인듐, 산화 주석, 산화 아연, In-Zn 산화물, Sn-Zn 산화물, Al-Zn 산화물, Zn-Mg 산화물, Sn-Mg 산화물, In-Mg 산화물, In-Ga 산화물, In-Ga-Zn 산화물, In-Al-Zn 산화물, In-Sn-Zn 산화물, Sn-Ga-Zn 산화물, Al-Ga-Zn 산화물, Sn-Al-Zn 산화물, In-Hf-Zn 산화물, In-La-Zn 산화물, In-Ce-Zn 산화물, In-Pr-Zn 산화물, In-Nd-Zn 산화물, In-Sm-Zn 산화물, In-Eu-Zn 산화물, In-Gd-Zn 산화물, In-Tb-Zn 산화물, In-Dy-Zn 산화물, In-Ho-Zn 산화물, In-Er-Zn 산화물, In-Tm-Zn 산화물, In-Yb-Zn 산화물, In-Lu-Zn 산화물, In-Sn-Ga-Zn 산화물, In-Hf-Ga-Zn 산화물, In-Al-Ga-Zn 산화물, In-Sn-Al-Zn 산화물, In-Sn-Hf-Zn 산화물, In-Hf-Al-Zn 산화물을 이용할 수 있다.
- [0176] 단, 여기서, 예를 들면, In-Ga-Zn 산화물이란, In과 Ga와 Zn을 주성분으로서 갖는 산화물이라는 의미이며, In과 Ga와 Zn의 비율은 묻지 않는다. In과 Ga와 Zn 이외의 금속 원소를 포함하고 있어도 좋다. 또한, 본 명세서에서는, In-Ga-Zn 산화물로 형성한 막을 IGZO막이라고도 부른다.
- [0177] 또한, $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 이며, M은 정수(整數)가 아님)로 표기되는 재료를 이용해도 좋다. 단, M은, Ga, Fe, Mn, 및 Co로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 또한, $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ 이며, n은 정수)로 표기되는 재료를 이용해도 좋다.
- [0178] 단, 실시형태 1에 상세하게 설명한 것처럼, 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)은 제 2 산화물 반도체층(132)보다 전자 친화력이 커지도록 재료를 선택한다.
- [0179] 단, 산화물 반도체층의 성막에는 스퍼터링법을 이용하여 형성하는 것이 바람직하다. 스퍼터링법으로서, RF 스퍼터링법, DC 스퍼터링법, AC 스퍼터링법 등을 이용할 수 있다. 특히, 성막 시에 발생하는 먼지를 저감할 수 있고, 막 두께 분포도 균일하게 함으로써 DC 스퍼터링법을 이용하는 것이 바람직하다.

- [0180] 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 제 3 산화물 반도체층(133)으로서 In-Ga-Zn 산화물을 이용하는 경우, In, Ga, Zn의 원자수비로서는, 예를 들면, In : Ga : Zn = 1 : 1 : 1, In : Ga : Zn = 2 : 2 : 1, In : Ga : Zn = 3 : 1 : 2, In : Ga : Zn = 1 : 3 : 2, In : Ga : Zn = 1 : 4 : 3, In : Ga : Zn = 1 : 5 : 4, In : Ga : Zn = 1 : 6 : 6, In : Ga : Zn = 2 : 1 : 3, In : Ga : Zn = 1 : 6 : 4, In : Ga : Zn = 1 : 9 : 6, In : Ga : Zn = 1 : 1 : 4, In : Ga : Zn = 1 : 1 : 2 중 어느 재료를 이용하여 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)의 전자 친화력이 제 2 산화물 반도체층(132)보다 커지도록 하면 좋다.
- [0181] 단, 예를 들면, "In, Ga, Zn의 원자수비가 In : Ga : Zn = a : b : c(a+b+c = 1)인 산화물의 조성인, 원자수비가 In : Ga : Zn = A : B : C(A+B+C = 1)인 산화물의 조성의 근방"이라는 것은 a, b, c가 다음의 관계를 만족시키는 것을 의미한다: $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ 를 만족시키는 것을 말하고, r로서는, 예를 들면, 0.05로 하면 좋다. 다른 산화물에서도 마찬가지이다.
- [0182] 제 2 산화물 반도체층(132)은 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)보다 인듐의 함유량이 많이 하면 좋다. 산화물 반도체에서는 주로 중금속의 s궤도가 캐리어 전도에 기여하고, In의 함유율을 높게 함으로써, 보다 많은 s궤도가 중첩된다. 그러므로, In이 Ga보다 많은 조성인 되는 산화물은 In이 Ga와 동등하거나 또는 적은 조성인 되는 산화물과 비교하여 이동도가 높아진다. 따라서, 제 2 산화물 반도체층(132)에 인듐의 함유량이 많은 산화물을 이용함으로써, 높은 이동도의 트랜지스터를 실현할 수 있다.
- [0183] 이하에서는, 산화물 반도체막의 구조에 대하여 설명한다.
- [0184] 단, 본 명세서에서, "평행"이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 포함된다. 또한, "수직"이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 포함된다.
- [0185] 본 명세서에서, 삼방정 또는 능면체정의 결정은, 육방정계에 포함된다.
- [0186] 산화물 반도체막은 단결정 산화물 반도체막과 비단결정 산화물 반도체막으로 크게 나뉜다. 비단결정 산화물 반도체막이란, 비정질 산화물 반도체막, 미결정 산화물 반도체막, 다결정 산화물 반도체막, CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막 등을 말한다.
- [0187] 비정질 산화물 반도체막은 막 중에서의 원자 배열이 불규칙하고, 결정 성분을 갖지 않는 산화물 반도체막이다. 미소 영역에서도 결정부를 가지지 않고, 막 전체가 완전한 비정질 구조의 산화물 반도체막이 전형적이다.
- [0188] 미결정 산화물 반도체막은 예를 들면, 1 nm 이상 10 nm 미만의 크기의 미결정(나노 결정이라고도 함)을 포함한다. 따라서, 미결정 산화물 반도체막은 비정질 산화물 반도체막보다 원자 배열의 규칙성이 높다. 따라서, 미결정 산화물 반도체막은 비정질 산화물 반도체막보다 결함 준위 밀도가 낮다는 특징이 있다.
- [0189] CAAC-OS막은 복수의 결정부를 포함하는 산화물 반도체막의 하나이며, 대부분의 결정부는, 한 변이 100 nm 미만의 입방체 내에 들어가는 크기이다. 따라서, CAAC-OS막에 포함되는 결정부는 한 변이 10 nm 미만, 5 nm 미만 또는 3 nm 미만의 입방체 내에 들어가는 크기의 경우도 포함된다. CAAC-OS막은 미결정 산화물 반도체막보다 결함 준위 밀도가 낮다는 특징이 있다. 이하, CAAC-OS막에 대하여 상세하게 설명한다.
- [0190] CAAC-OS막을 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의해 관찰하면, 결정부들간의 명확한 경계, 즉 결정립계(그레인 바운더리(grain boundary)라고도 함)를 확인할 수 없다. 따라서, CAAC-OS막은 결정립계에 기인한 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.
- [0191] CAAC-OS막을 시료면과 대략 평행한 방향으로부터 TEM에 의해 관찰(단면 TEM 관찰)하면, 결정부에서 금속 원자가 층상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각층은 CAAC-OS막의 막을 형성하는 면(피형성면이라고도 함) 또는 상면의 요철을 반영한 형상이며, CAAC-OS막의 피형성면 또는 상면과 평행하게 배열한다.
- [0192] 한편, CAAC-OS막을 시료면과 대략 수직인 방향으로부터 TEM에 의해 관찰(평면 TEM 관찰)하면, 결정부에서 금속 원자가 삼각 형상 또는 육각 형상으로 배열되어 있는 것을 확인할 수 있다. 그러나, 다른 결정부 간에서 금속 원자의 배열에 규칙성은 볼 수 없다.
- [0193] 단면 TEM 관찰 및 평면 TEM 관찰로부터, CAAC-OS막의 결정부는 배향성을 가지고 있는 것을 알 수 있다.
- [0194] CAAC-OS막에 대하여, X선 회절(XRD: X-Ray Diffraction) 장치를 이용하여 구조 해석을 행하면, 예를 들면 InGaZnO₄의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 회절각(2θ)이 31° 근방에 피크가 나

타나는 경우가 있다. 이 피크는 InGaZnO_4 의 결정의 (009)면에 귀속되기 때문에, CAAC-OS막의 결정이 c축 배향성을 갖고, c축이 피형성면 또는 상면에 대략 수직인 방향을 향하고 있는 것을 확인할 수 있다.

[0195] 한편, CAAC-OS막에 대하여, c축에 대략 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의한 해석에서는 2θ 가 56° 근방에 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO_4 의 결정의 (110)면에 귀속된다. 여기서, 2θ 를 56° 근방에 고정하여, 시료면의 법선 벡터를 축(ϕ 축)으로 하여 시료를 회전시키면서 분석(ϕ 스캔)을 행한다. InGaZnO_4 의 단결정 산화물 반도체막이면, 6개의 피크가 관찰된다. 6개의 피크가 (110)면과 등가인 결정면에 귀속된다. 이것에 대하여, CAAC-OS막의 경우는 2θ 를 56° 근방에 고정하여 ϕ 스캔한 경우에도, 명료한 피크가 나타나지 않는다.

[0196] 이상으로부터, CAAC-OS막에서는, 다른 결정부간에서는 a축 및 b축의 배향은 불규칙하지만, c축 배향성을 갖고, 또한, c축이 피형성면 또는 상면의 법선 벡터에 평행한 방향을 향하고 있는 것을 알 수 있다. 따라서, 상술한 단면 TEM 관찰로 확인된 층상으로 배열된 금속 원자의 각층은 결정의 ab면에 평행한 면이다.

[0197] 단, 결정부는 CAAC-OS막을 성막했을 때, 또는 가열 처리 등의 결정화 처리를 행하였을 때 형성된다. 상술한 것처럼, 결정의 c축은 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향된다. 따라서, 예를 들면, CAAC-OS막의 형상을 에칭 등에 의해 변화시킨 경우, 결정의 c축이 CAAC-OS막의 피형성면 또는 상면의 법선 벡터와 평행이 되지 않는 경우도 있다.

[0198] 또한, CAAC-OS막 내의 결정화도가 균일하지 않아도 좋다. 예를 들면, CAAC-OS막의 결정부가 CAAC-OS막의 상면 근방으로부터의 결정 성장에 의해 형성되는 경우, 상면 근방의 영역은 피형성면 근방의 영역보다 결정화도가 높아지는 일이다. 또한, CAAC-OS막에 불순물을 첨가하는 경우, 불순물이 첨가된 영역의 결정화도가 변화되어, 부분적으로 결정화도가 다른 영역이 형성되는 일도 있다.

[0199] 단, InGaZnO_4 의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는 2θ 가 31° 근방의 피크 외에 2θ 가 36° 근방에도 피크가 나타나는 경우가 있다. 2θ 가 36° 근방의 피크는 CAAC-OS막 중의 일부에, c축 배향성을 갖지 않는 결정이 포함되는 것을 나타내고 있다. CAAC-OS막은 2θ 가 31° 근방에 피크를 나타내고, 2θ 가 36° 근방에 피크를 나타내지 않는 것이 바람직하다.

[0200] CAAC-OS막을 포함한 트랜지스터는 가시광이나 자외광의 조사에 의한 전기 특성의 변동이 작다. 따라서, 상기 트랜지스터는 신뢰성이 높다.

[0201] 단, 산화물 반도체막은 예를 들면, 비정질 산화물 반도체막, 미결정 산화물 반도체막, CAAC-OS막 중, 2종 이상을 포함하는 적층막이어도 좋다.

[0202] CAAC-OS막은 예를 들면, 다결정인 산화물 반도체 스퍼터링용 타겟을 이용하여 스퍼터링법에 따라 성막할 수 있다.

[0203] CAAC-OS막을 성막하기 위하여, 이하의 조건을 적용하는 것이 바람직하다.

[0204] 성막 시의 불순물 혼입을 저감함으로써, 불순물에 의해 결정 상태가 무너지는 것을 억제할 수 있다. 예를 들면, 성막실 내에 존재하는 불순물(수소, 물, 이산화탄소 및 질소 등)을 저감하면 좋다. 또한, 성막 가스 중의 불순물을 저감하면 좋다. 구체적으로는, 노점이 -80°C 이하, 바람직하게는 -100°C 이하인 성막 가스를 이용한다.

[0205] 성막 시의 기판 가열 온도를 높임으로써, 기판 도달 후에 스퍼터링 입자의 마이그레이션(migration)이 일어난다. 구체적으로는, 기판 가열 온도를 100°C 이상 740°C 이하, 바람직하게는 200°C 이상 500°C 이하로 하여 성막한다. 성막 시의 기판 가열 온도를 높임으로써, 평판 형상의 스퍼터링 입자가 기판에 도달한 경우, 기판 위에서 마이그레이션이 일어나, 스퍼터링 입자의 평평한 면이 기판에 부착된다.

[0206] 또한, 성막 가스 중의 산소 비율을 높여 전력을 최적화함으로써 성막 시의 플라즈마 대미지를 경감하면 바람직하다. 성막 가스 중의 산소 비율은 30 체적% 이상, 바람직하게는 100 체적%로 한다.

[0207] 스퍼터링용 타겟으로서, 예를 들면, In-Ga-Zn-O 화합물 타겟을 이용할 수 있다. In-Ga-Zn-O 화합물 타겟은 InO_x 분말, GaO_y 분말 및 ZnO_z 분말을 소정의 몰수비로 혼합하여, 가압 처리 후, 1000°C 이상 1500°C 이하의 온도로 가열 처리를 함으로써 다결정체로 한다. 단, X, Y, 및 Z는 임의의 양수이다. 상기 다결정체의 입경은 예를 들면 $1\mu\text{m}$ 이하 등 작을수록 바람직하다. 여기서, 분말의 종류, 및 그 혼합하는 몰수비는 제작하는 스퍼터

링용 타겟에 따라 적절히 변경하면 좋다.

- [0208] 다음에, 제 1 가열 처리를 행하는 것이 바람직하다. 제 1 가열 처리는 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하의 온도로, 불활성 가스 분위기, 산화성 가스를 10 ppm 이상 포함한 분위기, 또는 감압 상태에서 행하면 좋다. 또한, 제 1 가열 처리의 분위기는 불활성 가스 분위기에서 가열 처리한 후에, 이탈한 산소를 보충하기 위해 산화성 가스를 10 ppm 이상 포함한 분위기에서 행하여도 좋다. 제 1 가열 처리에 의해, 제 2 산화물 반도체층(132)의 결정성을 높이고, 또한 하지 절연막(120), 제 1 산화물 반도체층(131), 및 제 3 산화물 반도체층(133)으로부터 수소나 물 등의 불순물을 제거할 수 있다. 단, 산화물 반도체층(130)을 형성하는 에칭 전에 제 1 가열 공정을 행하여도 좋다.
- [0209] 산화물 반도체층(130)을 적층으로 하는 경우, 하층에 비정질을 형성하면, 상층에는 CAAC-OS막이 형성하기 쉬워진다. 따라서, 제 1 산화물 반도체층(131)을 비정질로 하고, 제 2 산화물 반도체층(132)을 CAAC-OS막으로 해도 좋다.
- [0210] 다음에, 산화물 반도체층(130) 위에 제 1 소스 전극층(141) 및 제 1 드레인 전극층(151)이 되는 제 1 도전막을 형성한다. 제 1 도전막으로서는, Al, Cr, Cu, Ta, Ti, Mo, W, 또는 이것들을 주성분으로 하는 합금 재료를 이용할 수 있다. 예를 들면, 스퍼터링법 등에 의해 100 nm의 티탄막을 형성한다.
- [0211] 다음에, 제 1 도전막을 산화물 반도체층(130) 위에서 분단하도록 에칭하여, 제 1 소스 전극층(141) 및 제 1 드레인 전극층(151)을 형성한다(도 22의 (B) 참조). 여기서, 제 1 소스 전극층(141) 및 제 1 드레인 전극층(151)의 단부는 도시는 바와 같이 계단상으로 형성하는 것이 바람직하다. 상기 단부의 가공은 애싱에 의해 레지스트 마스크를 후퇴시키는 공정과 에칭의 공정을 번갈아 다수회 행하여 형성할 수 있다.
- [0212] 이 때, 제 1 도전막의 오버 에칭에 의해, 도시는 것처럼 산화물 반도체층(130)의 일부가 에칭된 형상이 된다. 단, 제 1 도전막과 산화물 반도체층(130)의 에칭의 선택비가 큰 경우는 산화물 반도체층(130)이 거의 에칭되지 않는 형상이 된다.
- [0213] 다음에, 산화물 반도체층(130), 제 1 소스 전극층(141) 및 제 1 드레인 전극층(151) 위에, 제 2 소스 전극층(142) 및 제 2 드레인 전극층(152)이 되는 제 2 도전막(800)(도 22의 (C)에는 도시하지 않음)을 형성한다. 제 2 도전막(800)으로서는, 질화 탄탈, 질화 티탄, 루테튬, 또는 이것들을 주성분으로 하는 합금 재료를 이용할 수 있다. 예를 들면, 스퍼터링법 등에 의해 20 nm의 질화 탄탈막을 형성한다.
- [0214] 다음에, 제 2 도전막(800)을 산화물 반도체층(130) 위에서 분단하도록 에칭하고, 제 2 소스 전극층(142) 및 제 2 드레인 전극층(152)을 형성한다(도 22의 (C) 참조). 이 때, 산화물 반도체층(130)의 일부가 에칭되어도 좋다.
- [0215] 단, 채널 길이(제 2 소스 전극층(142)과 제 2 드레인 전극층(152) 사이)가 매우 짧은 트랜지스터를 형성하는 경우는 도 24의 (A)에 나타내는 상면도와 같이, 우선, 제 1 소스 전극층(141) 및 제 1 드레인 전극층(151)을 덮는 형상으로 제 2 도전막(800)을 에칭한다.
- [0216] 그리고, 도 24의 (B)에 나타내는 제 2 도전막(800)을 분단하는 영역(900)에 대하여, 전자빔 노광 등의 세션 가공에 적합한 방법을 이용하여 레지스트 마스크 가공을 행하고, 에칭 공정에 의해 영역(900)을 에칭하여; 제 2 소스 전극층(142) 및 제 2 드레인 전극층(152)을 형성한다. 단, 상기 레지스트 마스크로서는, 포지티브형 레지스트를 이용하면, 노광 영역을 최소한으로 할 수 있어 스루풋(throughput)을 향상시킬 수 있다. 이러한 방법을 이용하면, 채널 길이를 30 nm 이하로 하는 트랜지스터를 형성할 수 있다.
- [0217] 다음에, 제 2 가열 처리를 행하는 것이 바람직하다. 제 2 가열 처리는 제 1 가열 처리와 같은 조건으로 행할 수 있다. 제 2 가열 처리에 의해, 산화물 반도체층(130)으로부터, 수소나 물 등의 불순물을 더욱 제거할 수 있다.
- [0218] 다음에, 산화물 반도체층(130), 제 2 소스 전극층(142) 및 제 2 드레인 전극층(152) 위에 게이트 절연막(160)을 형성한다(도 23의 (A) 참조). 게이트 절연막(160)은, 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄 및 산화 탄탈 등을 이용하여 형성할 수 있다. 게이트 절연막(160)은 상기 재료의 적층이어도 좋다. 게이트 절연막(160)은 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법 등을 이용하여 형성할 수 있다.
- [0219] 다음에, 게이트 절연막(160) 위에 제 3 도전막을 형성한다. 제 3 도전막으로서는, Al, Ti, Cr, Co, Ni, Cu,

Y, Zr, Mo, Ru, Ag, Ta, W, 또는 이것들을 주성분으로 하는 합금 재료를 이용할 수 있다. 제 3 도전막은 스퍼터링법 등에 의해 형성할 수 있다. 채널 형성 영역과 중첩하도록 에칭하여, 게이트 전극층(170)을 형성한다(도 23의 (B) 참조).

- [0220] 다음에, 게이트 절연막(160), 게이트 전극층(170) 위에 산화물 절연층(180)을 형성한다(도 23의 (C) 참조). 산화물 절연층(180)은 하지 절연막(120)과 같은 재료, 방법을 이용하여 형성할 수 있다. 산화물 절연층(180)은, 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈, 혹은 질소를 포함한 산화물 절연층을 이용하여 형성하면 좋다. 산화물 절연층(180)은 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법을 이용하여 형성할 수 있고, 산화물 반도체층(130)에 대하여 산소를 공급할 수 있도록 과잉으로 산소를 포함한 막으로 형성하는 것이 바람직하다.
- [0221] 산화물 절연층(180)에 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법 등을 이용하여 산소를 첨가해도 좋다. 산소를 첨가하는 것에 의해, 산화물 절연층(180)으로부터 산화물 반도체층(130)에의 산소의 공급을 더욱 용이하게 할 수 있다.
- [0222] 다음에, 제 3 가열 처리를 행하는 것이 바람직하다. 제 3 가열 처리는, 제 1 가열 처리와 같은 조건에서 행할 수 있다. 제 3 가열 처리에 의해, 하지 절연막(120), 게이트 절연막(160), 산화물 절연층(180)으로부터 과잉 산소가 방출되기 쉬워져, 산화물 반도체층(130)의 산소 결손을 저감할 수 있다.
- [0223] 이상의 공정으로, 도 7의 (A) 내지 도 7의 (D)에 나타내는 트랜지스터(200)를 형성할 수 있다.
- [0224] 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.
- [0225] (실시형태 6)
- [0226] 본 실시형태에서는, 본 발명의 일 양태인 트랜지스터를 사용하여, 전력이 공급되지 않는 상황에서도 기억 내용의 유지가 가능하고, 또한, 기입 횟수에도 제한이 없는 반도체 장치(기억 장치)의 일례를, 도면을 이용하여 설명한다.
- [0227] 도 25의 (A)에 반도체 장치의 단면도, 도 25의 (B)에 반도체 장치의 회로도를 각각 나타낸다.
- [0228] 도 25의 (A) 및 도 25의 (B)에 나타내는 반도체 장치는, 하부에 제 1 반도체 재료를 포함한 트랜지스터(3200)를 포함하고, 상부에 제 2 반도체 재료를 포함한 트랜지스터(3300), 및 용량 소자(3400)를 포함하고 있다. 트랜지스터(3300)로서는 실시형태 1, 3, 4에 설명한 트랜지스터를 이용할 수 있고, 본 실시형태에서는 실시형태 1의 도 7의 (A) 내지 도 7의 (D)에 나타내는 트랜지스터(200)를 적용하는 예를 나타낸다. 단, 도 25의 (A)에는, 도 7의 (A)에 나타내는 일점 쇄선 B5-B6으로 나타난 위치의 단면이 포함된다.
- [0229] 용량 소자(3400)는 한쪽의 전극을 트랜지스터(3300)의 소스 전극층 또는 드레인 전극층, 다른 한쪽의 전극을 트랜지스터(3300)의 게이트 전극층, 유전체를 트랜지스터(3300)의 게이트 절연막(160)과 같은 재료를 이용하는 구조로 함으로써; 트랜지스터(3300)와 동시에 형성할 수 있다.
- [0230] 여기서, 제 1 반도체 재료와 제 2 반도체 재료는 다른 금속대족을 갖는 재료로 하는 것이 바람직하다. 예를 들면, 제 1 반도체 재료를 산화물 반도체 이외의 반도체 재료(실리콘 등)로 하고, 제 2 반도체 재료를 실시형태 1에 설명한 산화물 반도체로 할 수 있다. 산화물 반도체 이외의 재료를 포함한 트랜지스터는 고속 동작이 용이하다. 한편, 산화물 반도체를 포함한 트랜지스터는 오프 전류가 낮은 전기 특성에 의해 장시간의 전하 유지를 가능하게 한다.
- [0231] 상기 트랜지스터는 모두 n채널형 트랜지스터인 것으로서 설명하지만, p채널형 트랜지스터를 이용할 수 있는 것은 말할 필요도 없다. 정보를 유지하기 위하여 산화물 반도체를 이용한 실시형태 1, 3, 4에 나타내는 바와 같은 트랜지스터를 이용하는 것 외에는, 반도체 장치에 이용되는 재료나 반도체 장치의 구조 등, 반도체 장치의 구체적인 구성을 여기서 나타내는 것으로 한정할 필요는 없다.
- [0232] 도 25의 (A)에서의 트랜지스터(3200)는 반도체 재료(예를 들면, 결정성 실리콘 등)를 포함한 기판(3000)에 제공된 채널 형성 영역과, 채널 형성 영역을 개재하도록 제공된 불순물 영역과, 불순물 영역에 접촉하는 금속 간 화합물 영역과, 채널 형성 영역 위에 제공된 게이트 절연막과, 게이트 절연막 위에 제공된 게이트 전극층을 포함한다. 단, 도면에서, 명시적으로는 소스 전극층이나 드레인 전극층을 가지지 않는 경우가 있지만, 편의상, 이러한 상태를 포함하여 트랜지스터라고 부르는 경우가 있다. 또한, 이 경우, 트랜지스터의 접속 관계를 설명하

기 위하여, 소스 영역이나 드레인 영역을 포함하여 소스 전극층이나 드레인 전극층이라고 표현하는 경우가 있다. 즉, 본 명세서에서, "소스 전극층"이라는 기재에는, 소스 영역이 포함될 수 있다.

- [0233] 기판(3000) 위에는 트랜지스터(3200)를 둘러싸도록 소자 분리 절연층(3100)이 형성되고, 트랜지스터(3200)를 덮도록 절연층(3150)이 형성되어 있다. 단, 소자 분리 절연층(3100)은 LOCOS(Local Oxidation of Silicon)나, STI(Shallow Trench Isolation) 등의 소자 분리 기술을 이용하여 형성할 수 있다.
- [0234] 예를 들면, 결정성 실리콘 기판을 이용하여 형성하는 경우, 트랜지스터(3200)는 고속 동작이 가능해진다. 이 때문에, 상기 트랜지스터를 관독용의 트랜지스터로서 이용함으로써, 정보의 관독을 고속으로 행할 수 있다.
- [0235] 절연층(3150) 위에는 트랜지스터(3300)가 제공되고, 그 소스 전극층 또는 드레인 전극층의 한쪽은 연장하여, 용량 소자(3400)의 한쪽의 전극으로서 작용한다. 또한, 상기 전극은 트랜지스터(3200)의 게이트 전극층에 전기적으로 접속된다.
- [0236] 도 25의 (A)에 나타내는 트랜지스터(3300)는 산화물 반도체층에 채널이 형성되는 탑 게이트형 트랜지스터이다. 트랜지스터(3300)는 오프 전류가 낮기 때문에, 이것을 이용함으로써 장기에 걸쳐 기억 내용을 유지하는 것이 가능하다. 즉, 리프래시 동작을 필요로 하지 않거나, 혹은, 리프래시 동작의 빈도가 매우 적은 반도체 기억 장치로 하는 것이 가능해지기 때문에, 소비 전력을 충분히 저감할 수 있다.
- [0237] 또한, 트랜지스터(3300)와 중첩하도록 절연층(3150)을 사이에 끼우고 전극(3250)이 제공되어 있다. 상기 전극에 적절한 전위를 공급함으로써, 트랜지스터(3300)의 문턱 전압을 제어할 수 있다. 또한, 트랜지스터(3300)의 장기 신뢰성을 높일 수 있다. 단, 전극(3250)이 제공될 필요는 없다.
- [0238] 도 25의 (A)에 나타내는 바와 같이, 트랜지스터(3200)와 트랜지스터(3300) 또는 용량 소자(3400)는 중첩하도록 형성할 수 있기 때문에, 그 점유 면적을 저감할 수 있다. 따라서, 반도체 장치의 집적도를 높일 수 있다.
- [0239] 도 25의 (A)에 대응하는 회로 구성의 일례를 도 25의 (B)에 나타낸다.
- [0240] 도 25의 (B)에서, 제 1 배선(3001)은 트랜지스터(3200)의 소스 전극층에 전기적으로 접속된다. 제 2 배선(3002)은 트랜지스터(3200)의 드레인 전극층에 전기적으로 접속되어 있다. 제 3 배선(3003)은 트랜지스터(3300)의 소스 전극층 또는 드레인 전극층의 한쪽에 전기적으로 접속된다. 제 4 배선(3004)은 트랜지스터(3300)의 게이트 전극층에 전기적으로 접속되어 있다. 트랜지스터(3200)의 게이트 전극층, 및 트랜지스터(3300)의 소스 전극층 또는 드레인 전극층의 다른 한쪽은 용량 소자(3400)의 전극의 한쪽에 전기적으로 접속된다. 제 5 배선(3005)은 용량 소자(3400)의 전극의 다른 한쪽과 전기적으로 접속되어 있다.
- [0241] 도 25의 (B)에 나타내는 반도체 장치에서는, 트랜지스터(3200)의 게이트 전극층의 전위를 유지할 수 있다는 특징을 살림으로써, 다음과 같이, 정보의 기입, 유지, 관독이 가능하다.
- [0242] 정보의 기입 및 유지에 대하여 설명한다. 우선, 제 4 배선(3004)의 전위를, 트랜지스터(3300)가 온 상태가 되는 전위로 하고, 트랜지스터(3300)를 온 상태로 한다. 이것에 의해, 제 3 배선(3003)의 전위가 트랜지스터(3200)의 게이트 전극층, 및 용량 소자(3400)에 인가된다. 즉, 트랜지스터(3200)의 게이트 전극층에는 소정의 전하가 공급된다(기입). 여기에서는, 다른 2개의 전위 레벨을 공급하는 전하(이하 Low 레벨 전하, High 레벨 전하라고 함) 중 한쪽이 공급되는 것으로 한다. 그 후, 제 4 배선(3004)의 전위를 트랜지스터(3300)가 오프 상태가 되는 전위로 하고, 트랜지스터(3300)를 오프 상태로 한다. 따라서, 트랜지스터(3200)의 게이트 전극층에 공급된 전하가 유지된다(유지).
- [0243] 트랜지스터(3300)의 오프 전류는 매우 낮기 때문에, 트랜지스터(3200)의 게이트 전극층의 전하는 장시간에 걸쳐 유지된다.
- [0244] 다음에 정보의 관독에 대하여 설명한다. 제 1 배선(3001)에 소정의 전위(정전위)를 공급한 상태에서, 제 5 배선(3005)에 적절한 전위(관독 전위)를 공급하면, 트랜지스터(3200)의 게이트 전극층에 유지된 전하량에 따라, 제 2 배선(3002)은 다른 전위를 취한다. 일반적으로, 트랜지스터(3200)를 n채널형으로 하면, 트랜지스터(3200)의 게이트 전극층에 High 레벨 전하가 주어지는 경우의 외관의 문턱 전압($V_{th,H}$)은 트랜지스터(3200)의 게이트 전극층에 Low 레벨 전하가 주어지는 경우의 외관의 문턱 전압($V_{th,L}$)보다 낮아지기 때문이다. 여기서, 외관의 문턱 전압이란, 트랜지스터(3200)를 온 상태로 하기 위해 필요한 제 5 배선(3005)의 전위를 의미하는 것으로 한다. 따라서, 제 5 배선(3005)의 전위를 전위($V_{th,H}$)와 전위($V_{th,L}$) 사이의 전위(V_0)로 함으로써, 트랜지스터(3200)의 게이트 전극층에 공급되는 전하를 판별할 수 있다. 예를 들면, 기입에서 High 레벨 전하가 공급된 경

우에는, 제 5 배선(3005)의 전위가 $V_0(>V_{th,H})$ 가 되면, 트랜지스터(3200)는 온 상태가 된다. Low 레벨 전하가 공급된 경우에는, 제 5 배선(3005)의 전위가 $V_0(<V_{th,L})$ 가 되어도 트랜지스터(3200)는 오프 상태인 채이다. 이 때문에, 제 2 배선(3002)의 전위를 판별함으로써, 저장된 정보를 읽어낼 수 있다.

[0245] 단, 메모리 셀을 어레이 형상으로 배치하여 이용하는 경우, 원하는 메모리 셀의 정보만을 읽어낼 수 있는 것이 필요하게 된다. 이와 같이 정보를 읽어 내지 않는 경우에는, 게이트 전극층의 상태에 관계없이 트랜지스터(3200)가 "오프 상태"가 되는 전위, 즉, 전위($V_{th,H}$)보다 작은 전위를 제 5 배선(3005)에 공급하면 좋다. 또는, 게이트 전극층의 상태에 관계없이 트랜지스터(3200)가 "온 상태"가 되는 전위, 즉, 전위($V_{th,L}$)보다 큰 전위를 제 5 배선(3005)에 공급하면 좋다.

[0246] 본 실시형태에 나타내는 반도체 장치에서는, 채널 형성 영역에 산화물 반도체를 이용하여 형성한 오프 전류가 매우 낮은 트랜지스터를 포함함으로써, 매우 장기에 걸쳐 저장 내용을 유지하는 것이 가능하다. 즉, 리프레시 동작이 불필요해지거나, 또는, 리프레시 동작의 빈도를 매우 낮게 하는 것이 가능해지기 때문에, 소비 전력을 충분히 저감할 수 있다. 또한, 전력의 공급이 없는 경우(단, 전위는 고정되어 있는 것이 바람직함)에도, 장치에 걸쳐 저장 내용을 유지하는 것이 가능하다.

[0247] 또한, 본 실시형태에 나타내는 반도체 장치에서는, 정보의 기입에 높은 전압을 필요로 하지 않고, 소자의 열화의 문제도 없다. 예를 들면, 종래의 비휘발성 메모리와 같이, 플로팅 게이트에의 전자의 주입이나, 플로팅 게이트로부터의 전자의 추출을 행할 필요가 없기 때문에, 게이트 절연막의 열화와 같은 문제가 전혀 생기지 않는다. 즉, 개시하는 발명에 따른 반도체 장치에서는, 종래의 비휘발성 메모리에서 문제가 되었던 재기입 가능 횟수에 제한은 없고, 신뢰성이 비약적으로 향상된다. 또한, 트랜지스터의 온 상태, 오프 상태에 따라, 정보의 기입이 행해지기 때문에, 고속의 동작도 용이하게 실현될 수 있다.

[0248] 이상과 같이, 미세화 및 고집적화를 실현하고, 또한, 높은 전기적 특성이 부여된 반도체 장치를 제공할 수 있다.

[0249] 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.

[0250] (실시형태 7)

[0251] 본 실시형태에서는, 본 발명의 일 양태인 트랜지스터를 사용하여, 전력이 공급되지 않는 상황에서도 저장 내용의 유지가 가능하고, 또한, 기입 횟수에도 제한이 없는 반도체 장치에 대하여, 실시형태 6에 나타난 구성과 다른 반도체 장치의 설명을 행한다.

[0252] 도 26은, 반도체 장치의 회로 구성의 일례이다. 상기 반도체 장치에서, 제 1 배선(4500)과 트랜지스터(4300)의 소스 전극층은 전기적으로 접속되고, 제 2 배선(4600)과 트랜지스터(4300)의 제 1 게이트 전극층은 전기적으로 접속되고, 트랜지스터(4300)의 드레인 전극층과 용량 소자(4400)의 한쪽의 단자는 전기적으로 접속되어 있다. 단, 상기 반도체 장치에 포함되는 트랜지스터(4300)로서는 실시형태 1, 3, 4에 설명한 트랜지스터를 이용할 수 있다. 또한, 제 1 배선(4500)은 비트선, 제 2 배선(4600)은 워드선으로서의 기능을 가질 수 있다.

[0253] 상기 반도체 장치(메모리 셀(4250))는 도 25의 (A) 및 도 25의 (B)에 나타내는 트랜지스터(3300) 및 용량 소자(3400)와 같은 접속 형태로 할 수 있다. 따라서, 용량 소자(4400)는 실시형태 6에 설명한 용량 소자(3400)와 마찬가지로, 트랜지스터(4300)의 제작 공정에서 동시에 형성할 수 있다.

[0254] 다음에, 도 26에 나타내는 반도체 장치(메모리 셀(4250))에, 정보의 기입 및 유지를 행하는 경우에 대하여 설명한다.

[0255] 우선, 제 2 배선(4600)에 트랜지스터(4300)가 온 상태가 되는 전위를 공급하여, 트랜지스터(4300)를 온 상태로 한다. 이것에 의해, 제 1 배선(4500)의 전위가 용량 소자(4400)의 제 1 단자에 공급된다(기입). 그 후, 제 2 배선(4600)의 전위를 트랜지스터(4300)가 오프 상태가 되는 전위로 하고, 트랜지스터(4300)를 오프 상태로 한다. 따라서, 용량 소자(4400)의 제 1 단자의 전위가 유지된다(유지).

[0256] 산화물 반도체를 포함한 트랜지스터(4300)는 오프 전류가 매우 낮다는 특징을 가지고 있다. 이 때문에, 트랜지스터(4300)를 오프 상태로 함으로써, 용량 소자(4400)의 제 1 단자의 전위(혹은, 용량 소자(4400)에 축적된 전하)를 매우 장시간에 걸쳐 유지하는 것이 가능하다.

[0257] 다음에, 정보의 판독에 대하여 설명한다. 트랜지스터(4300)가 온 상태가 되면, 부유 상태인 제 1 배선(4500)과

용량 소자(4400)가 도통하여, 제 1 배선(4500)과 용량 소자(4400) 사이에 전하가 재분배된다. 그 결과, 제 1 배선(4500)의 전위가 변화한다. 제 1 배선(4500)의 전위의 변화량은 용량 소자(4400)의 제 1 단자의 전위(혹은 용량 소자(4400)에 축적된 전하)에 의해, 다른 값을 받는다.

[0258] 예를 들면, 용량 소자(4400)의 제 1 단자의 전위를 V , 용량 소자(4400)의 용량을 C , 제 1 배선(4500)이 갖는 용량 성분을 C_B , 전하가 재분배되기 전의 제 1 배선(4500)의 전위를 V_{B0} 로 하면, 전하가 재분배된 후의 제 1 배선(4500)의 전위는 $(C_B \times V_{B0} + C \times V) / (C_B + C)$ 가 된다. 따라서, 메모리 셀(4250) 상태로서 용량 소자(4400)의 제 1 단자의 전위가 V_1 과 $V_0(V_1 > V_0)$ 의 2 상태를 취한다고 하면, 전위 V_1 를 유지하고 있는 경우의 제 1 배선(4500)의 전위($= (C_B \times V_{B0} + C \times V_1) / (C_B + C)$)는 전위 V_0 를 유지하고 있는 경우의 제 1 배선(4500)의 전위($= C_B \times V_{B0} + C \times V_0 / (C_B + C)$)보다 높아지는 것을 알 수 있다.

[0259] 그리고, 제 1 배선(4500)의 전위를 소정의 전위와 비교함으로써, 정보를 읽어낼 수 있다.

[0260] 이와 같이, 도 26에 나타내는 반도체 장치(메모리 셀(4250))는 트랜지스터(4300)의 오프 전류가 매우 낮다는 특징으로부터, 용량 소자(4400)에 축적된 전하는 장시간에 걸쳐 유지할 수 있다. 즉, 리프레시 동작이 불필요하게 되거나, 또는, 리프레시 동작의 빈도를 매우 낮게 하는 것이 가능해지기 때문에, 소비 전력을 충분히 저감할 수 있다. 또한, 전력의 공급이 없는 경우에도, 장기에 걸쳐 저장 내용을 유지하는 것이 가능하다.

[0261] 도 26에 나타낸 메모리 셀(4250)은 메모리 셀(4250)을 구동시키기 위한 구동 회로가 형성된 기판을 적층하는 것이 바람직하다. 메모리 셀(4250)과 구동 회로를 적층함으로써, 반도체 장치의 소형화를 도모할 수 있다. 단, 적층하는 메모리 셀(4250) 및 구동 회로의 수는 한정하지 않는다.

[0262] 구동 회로에 포함되는 트랜지스터는 트랜지스터(4300)와는 다른 반도체 재료를 이용하는 것이 바람직하다. 예를 들면, 실리콘, 게르마늄, 실리콘 게르마늄, 탄화 실리콘, 또는 갈륨 비소 등을 이용할 수 있어, 단결정 반도체를 이용하는 것보다 바람직하다. 이러한 반도체 재료를 이용하여 형성된 트랜지스터는 산화물 반도체를 이용하여 형성된 트랜지스터보다 고속 동작이 가능하고, 메모리 셀(4250)의 구동 회로의 구성에 이용하는 것이 적합하다.

[0263] 이상과 같이, 미세화 및 고집적화를 실현하고, 또한 높은 전기적 특성이 부여된 반도체 장치를 제공할 수 있다.

[0264] 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.

[0265] (실시형태 8)

[0266] 본 실시형태에서는 적어도 실시형태 1, 3, 4에 설명한 트랜지스터를 이용할 수 있고, 실시형태 6에 설명한 기억 장치를 포함한 CPU에 대하여 설명한다.

[0267] 도 27은 실시형태 1, 3, 4에 설명한 트랜지스터를 적어도 일부에 포함한 CPU의 일례의 구성을 나타내는 블록도이다.

[0268] 도 27에 나타내는 CPU는 기관(1190) 위에 ALU(1191)(ALU: Arithmetic logic unit, 연산 회로), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 타이밍 컨트롤러(1195), 레지스터(1196), 레지스터 컨트롤러(1197), 버스 인터페이스(1198), 재기입 가능한 ROM(1199), 및 ROM 인터페이스(1199)를 포함하고 있다. 기관(1190)은 반도체 기관, SOI 기관, 유리 기관 등을 이용한다. 재기입 가능한 ROM(1199) 및 ROM 인터페이스(1199)는 별도 칩에 제공해도 좋다. 물론, 도 27에 나타내는 CPU는 그 구성을 간략화하여 나타낸 일례에 지나지 않고, 실제의 CPU는 그 용도에 따라 다종 다양한 구성을 가진다. 예를 들면, CPU는 다음의 구성을 가져도 좋다: 도 27에 나타내는 CPU 또는 연산 회로를 포함한 구성을 하나의 코어로 하고; 상기 코어를 복수 포함하여; 각각의 코어가 병렬로 동작하는 구성으로 해도 좋다. CPU가 내부 연산 회로나 데이터 버스에서 처리할 수 있는 비트수는 예를 들면 8 비트, 16 비트, 32 비트, 64 비트 등으로 할 수 있다.

[0269] 버스 인터페이스(1198)를 통하여 CPU에 입력된 명령은 인스트럭션 디코더(1193)에 입력되어 디코드된 후, ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)에 입력된다.

[0270] ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)는 디코드된 명령에 기초하여, 각종 제어를 행한다. 구체적으로 ALU 컨트롤러(1192)는 ALU(1191)의 동작을 제어하기 위한 신호를 생성한다. 인터럽트 컨트롤러(1194)는 CPU의 프로그램 실행 중에, 외부의 입출력 장치나, 주변 회로로부터의 인터럽트 요구를 그 우선도나 마스크 상태에서부터 판단하여 처리한다. 레지스터 컨트롤러(1197)는 레지

스터(1196)의 어드레스를 생성하고, CPU 상태에 따라 레지스터(1196)의 판독이나 기입을 행한다.

- [0271] 타이밍 컨트롤러(1195)는 ALU(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 및 레지스터 컨트롤러(1197)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들면 타이밍 컨트롤러(1195)는 기준 클럭 신호(CLK1)를 기초로, 내부 클럭 신호(CLK2)를 생성하는 내부 클럭 생성부를 포함하고, 내부 클럭 신호(CLK2)를 상기 각종 회로에 공급한다.
- [0272] 도 27에 나타내는 CPU에서는 레지스터(1196)에 메모리 셀이 제공되어 있다. 레지스터(1196)의 메모리 셀로서의 실시형태에 나타낸 트랜지스터를 이용할 수 있다.
- [0273] 도 27에 나타내는 CPU에서, 레지스터 컨트롤러(1197)는 ALU(1191)로부터의 지시에 따라, 레지스터(1196)에서의 유지 동작의 선택을 행한다. 즉, 레지스터(1196)에 포함되는 메모리 셀에서, 플립 플롭에 의한 데이터의 유지를 행할지, 용량 소자에 의한 데이터의 유지를 행할지를 선택한다. 플립 플롭에 의한 데이터의 유지가 선택된 경우, 레지스터(1196) 내의 메모리 셀로의 전원 전압의 공급이 행해진다. 용량 소자에 의해 데이터의 유지가 선택된 경우, 용량 소자에서 데이터가 재기입되고, 레지스터(1196) 내에서 메모리 셀에 대한 전원 전압의 공급을 정지할 수 있다.
- [0274] 도 28은 레지스터(1196)로서 이용할 수 있는 기억 소자의 회로도인 일례이다. 기억 소자(700)는 전원 차단으로 기억 데이터가 휘발하는 회로(701)와, 전원 차단으로 기억 데이터가 휘발하지 않는 회로(702)와, 스위치(703)와, 스위치(704)와, 논리 소자(706)와, 용량 소자(707)와, 선택 기능을 갖는 회로(720)를 포함한다. 회로(702)는 용량 소자(708)와 트랜지스터(709)와 트랜지스터(710)를 포함한다. 단, 기억 소자(700)는 필요에 따라, 다이오드, 저항 소자, 인덕터 등의 그 외의 소자를 더 포함하고 있어도 좋다.
- [0275] 여기서, 회로(702)에는 실시형태 6에 설명한 기억 장치를 이용할 수 있다. 기억 소자(700)에 대한 전원 전압의 공급이 정지했을 때, 회로(702)의 트랜지스터(709)의 제 1 게이트에는 접지 전위(0 V), 또는 트랜지스터(709)가 오프하는 전위가 계속 입력되는 구성으로 한다. 예를 들면, 트랜지스터(709)의 제 1 게이트가 저항 등의 부하를 통하여 접지되는 구성으로 한다.
- [0276] 스위치(703)는 일 도전형(예를 들면, n채널형)의 트랜지스터(713)를 이용하여 구성되고, 스위치(704)는 일 도전형과는 반대의 도전형(예를 들면, p채널형)의 트랜지스터(714)를 이용하여 구성된 예를 나타낸다. 여기서, 스위치(703)의 제 1 단자는 트랜지스터(713)의 소스와 드레인의 한쪽에 대응하고, 스위치(703)의 제 2 단자는 트랜지스터(713)의 소스와 드레인의 다른 한쪽에 대응하고, 스위치(703)는 트랜지스터(713)의 게이트에 입력되는 제어 신호(RD)에 의해, 제 1 단자와 제 2 단자 사이의 도통 또는 비도통(즉, 트랜지스터(713)의 온 상태 또는 오프 상태)이 선택된다. 스위치(704)의 제 1 단자는 트랜지스터(714)의 소스와 드레인의 한쪽에 대응하고, 스위치(704)의 제 2 단자는 트랜지스터(714)의 소스와 드레인의 다른 한쪽에 대응하고, 스위치(704)는 트랜지스터(714)의 게이트에 입력되는 제어 신호(RD)에 의해, 제 1 단자와 제 2 단자 사이의 도통 또는 비도통(즉, 트랜지스터(714)의 온 상태 또는 오프 상태)이 선택된다.
- [0277] 트랜지스터(709)의 소스와 드레인의 한쪽은 용량 소자(708)의 한쌍의 전극 중 한쪽, 및 트랜지스터(710)의 게이트에 전기적으로 접속된다. 여기서, 접속 부분을 노드(M2)로 한다. 트랜지스터(710)의 소스와 드레인의 한쪽은 저전위 전원을 공급할 수 있는 배선(예를 들면 GND선)에 전기적으로 접속되고, 다른 한쪽은 스위치(703)의 제 1 단자(트랜지스터(713)의 소스와 드레인의 한쪽)에 전기적으로 접속된다. 스위치(703)의 제 2 단자(트랜지스터(713)의 소스와 드레인의 다른 한쪽)는 스위치(704)의 제 1 단자(트랜지스터(714)의 소스와 드레인의 한쪽)에 전기적으로 접속된다. 스위치(704)의 제 2 단자(트랜지스터(714)의 소스와 드레인의 다른 한쪽)는 전원 전위(VDD)를 공급할 수 있는 배선에 전기적으로 접속된다. 스위치(703)의 제 2 단자(트랜지스터(713)의 소스와 드레인의 다른 한쪽)와, 스위치(704)의 제 1 단자(트랜지스터(714)의 소스와 드레인의 한쪽)와, 논리 소자(706)의 입력 단자와, 용량 소자(707)의 한쌍의 전극 중 한쪽은 전기적으로 접속된다. 여기서, 접속 부분을 노드(M1)로 한다. 용량 소자(707)의 한쌍의 전극 중 다른 한쪽은 일정한 전위가 공급되는 구성으로 할 수 있다. 예를 들면, 저전위 전위(GND 등) 또는 고전위 전위(VDD 등)가 공급되는 구성으로 할 수 있다. 용량 소자(707)의 한쌍의 전극 중 다른 한쪽은 저전위 전위를 공급할 수 있는 배선(예를 들면 GND선)에 전기적으로 접속된다. 용량 소자(708)의 한쌍의 전극 중 다른 한쪽은 일정한 전위가 공급되는 구성으로 할 수 있다. 예를 들면, 저전위 전위(GND 등) 또는 고전위 전위(VDD 등)가 공급되는 구성으로 할 수 있다. 용량 소자(708)의 한쌍의 전극 중 다른 한쪽은 저전위 전위를 공급할 수 있는 배선(예를 들면 GND선)에 전기적으로 접속된다.
- [0278] 용량 소자(707) 및 용량 소자(708)는 트랜지스터나 배선의 기생 용량 등을 적극적으로 이용하는 것에 의해 생략

하는 것도 가능하다.

- [0279] 트랜지스터(709)의 제 1 게이트(제 1 게이트 전극층)에는 제어 신호(WE)가 입력된다. 스위치(703) 및 스위치(704)는 제어 신호(WE)와는 다른 제어 신호(RD)에 의해 제 1 단자와 제 2 단자 사이의 도통 상태 또는 비도통 상태가 선택된다. 한쪽의 스위치의 제 1 단자와 제 2 단자 사이가 도통 상태일 때, 다른 한쪽의 스위치의 제 1 단자와 제 2 단자 사이는 비도통 상태가 된다.
- [0280] 트랜지스터(709)의 소스와 드레인의 다른 한쪽에는 회로(701)에 유지된 데이터에 대응하는 신호가 입력된다. 도 28에서는, 회로(701)로부터 출력된 신호가 트랜지스터(709)의 소스와 드레인의 다른 한쪽에 입력되는 예를 나타냈다. 스위치(703)의 제 2 단자(트랜지스터(713)의 소스와 드레인의 다른 한쪽)로부터 출력되는 신호는 논리 소자(706)에 의해 그 논리값이 반전된 반전 신호가 되어, 회로(720)를 통하여 회로(701)에 입력된다.
- [0281] 도 28에서는 스위치(703)의 제 2 단자(트랜지스터(713)의 소스와 드레인의 다른 한쪽)로부터 출력되는 신호는 논리 소자(706) 및 회로(720)를 통하여 회로(701)에 입력하는 예를 나타냈지만; 이것으로 한정되지 않는다. 스위치(703)의 제 2 단자(트랜지스터(713)의 소스와 드레인의 다른 한쪽)로부터 출력되는 신호의 논리값이 반전되지 않고, 회로(701)에 입력되어도 좋다. 예를 들면, 회로(701) 내에 입력 단자로부터 입력된 신호의 논리값이 반전된 신호가 유지되는 노드가 존재하는 경우에, 스위치(703)의 제 2 단자(트랜지스터(713)의 소스와 드레인의 다른 한쪽)로부터 출력되는 신호를 상기 노드에 입력할 수 있다.
- [0282] 도 28에서의 트랜지스터(709)는 실시형태 1, 3, 4에 설명한 트랜지스터를 이용할 수 있다. 실시형태 6에 설명한 것처럼 제 2 게이트(제 2 게이트 전극층)를 포함하는 것이 바람직하다. 제 1 게이트에는 제어 신호(WE)를 입력하고, 제 2 게이트에는 제어 신호(WE2)를 입력할 수 있다. 제어 신호(WE2)는 일정한 전위의 신호로 하면 좋다. 상기 일정한 전위에는, 예를 들면, 접지 전위(GND)나 트랜지스터(709)의 소스 전위보다 작은 전위 등이 선택된다. 제어 신호(WE2)는 트랜지스터(709)의 문턱 전압을 제어하기 위한 전위 신호이며, 트랜지스터(709)의 I_{cut} 을 보다 저감할 수 있다. 단, 트랜지스터(709)로서는, 제 2 게이트를 갖지 않는 트랜지스터를 이용할 수도 있다.
- [0283] 또한, 도 28에서, 기억 소자(700)에 포함되는 트랜지스터 중, 트랜지스터(709) 이외의 트랜지스터는 산화물 반도체 이외의 반도체로 이루어지는 층 또는 기판(1190)에 채널이 형성되는 트랜지스터로 할 수 있다. 예를 들면, 실리콘층 또는 실리콘 기판에 채널이 형성되는 트랜지스터를 이용할 수 있다. 또한, 기억 소자(700)에 이용되는 트랜지스터 전부를, 채널이 산화물 반도체층에서 형성되는 트랜지스터로 할 수도 있다. 또는, 기억 소자(700)는 트랜지스터(709) 이외에도, 채널이 산화물 반도체층에서 형성되는 트랜지스터를 포함하고 있어도 좋고, 나머지의 트랜지스터는 산화물 반도체 이외의 반도체로 이루어지는 층 또는 기판(1190)에 채널이 형성되는 트랜지스터로 할 수도 있다.
- [0284] 도 28에서의 회로(701)에는 예를 들면 플립플롭 회로를 이용할 수 있다. 또한, 논리 소자(706)로서는 예를 들면 인버터나 클록드 인버터 등을 이용할 수 있다.
- [0285] 이상이 기억 소자(700)의 구성에 대한 설명이다. 다음에, 기억 소자(700)의 구동 방법에 대하여 설명한다.
- [0286] 기억 소자(700)에서, 전원 전압의 공급 후, 데이터의 유지 시의 소비 전력을 삭감하기 위하여 전원 전압의 공급을 정지하고, 다시 전원 전압을 공급하는 경우의 구동 방법을 도 29의 타이밍 차트를 참조하여 설명한다. 도 29의 타이밍 차트에서, 부호 701은 회로(701)에 유지되어 있는 데이터를 나타내고, WE는 제어 신호(WE)의 전위를 나타내고, WE2는 제어 신호(WE2)의 전위를 나타내고, RD는 제어 신호(RD)의 전위를 나타내고, SEL는 회로(720)에서의 일 경로의 제어 신호(SEL)의 전위를 나타내고, VDD는 전원 전위(VDD)를 나타낸다. M1은 노드(M1)의 전위를 나타내고, M2는 노드(M2)의 전위를 나타낸다. 단, 상기 회로(720)에서의 일 경로란, 회로(702)의 출력측과 회로(701)의 입력측을 접속하는 경로이다.
- [0287] 이하에 나타내는 구동 방법에서는, 도 28에 나타난 구성에서, 스위치(703)를 n채널형 트랜지스터로 하고, 스위치(704)를 p채널형 트랜지스터로 하고, 제어 신호(RD)가 하이 레벨 전위인 경우에 스위치(703)의 제 1 단자와 제 2 단자 사이가 도통 상태가 되고, 또한 스위치(704)의 제 1 단자와 제 2 단자 사이가 비도통 상태가 되고, 제어 신호(RD)가 로 레벨 전위인 경우에 스위치(703)의 제 1 단자와 제 2 단자 사이가 비도통 상태가 되고, 또한 스위치(704)의 제 1 단자와 제 2 단자 사이가 도통 상태가 되는 예를 나타낸다. 또한, 제어 신호(SEL)이 하이 레벨 전위인 경우에 회로(720)의 일 경로에서의 제 1 단자와 제 2 단자 사이가 도통 상태가 되고, 제어 신호(SEL)가 로 레벨 전위인 경우에 제 1 단자와 제 2 단자 사이가 비도통 상태가 되는 예를 나타낸다. 또한, 트랜지스터(709)를 n채널형 트랜지스터로 하여, 제어 신호(WE)가 하이 레벨 전위인 경우에 트랜지스터(709)가 온 상

태가 되고, 제어 신호(WE)가 로 레벨 전위인 경우에 트랜지스터(709)가 오프 상태가 되는 예를 나타낸다.

[0288] 그러나, 본 발명의 일 양태의 반도체 장치의 구동 방법은 이것으로 한정되지 않고, 이하의 설명에서의 스위치(703), 스위치(704), 회로(720), 트랜지스터(709) 상태가 같아지도록, 각 제어 신호의 전위를 정할 수 있다.

[0289] 우선, 도 29에서의 T1의 기간의 동작에 대하여 설명한다. T1에서는, 전원 전압 VDD가 기억 소자(700)에 공급되어 있다. 기억 소자(700)에 전원 전압이 공급되어 있는 동안은 회로(701)가 데이터(도 29 중, dataX라고 표기)를 유지한다. 이 때, 제어 신호(SEL)를 로 레벨 전위로 하여, 회로(720)의 일 경로에서의 제 1 단자와 제 2 단자 사이는 비도통 상태가 된다. 단, 스위치(703) 및 스위치(704)의 제 1 단자와 제 2 단자 사이의 상태(도통 상태, 비도통 상태)는 어느 상태여도 좋다. 즉, 제어 신호(RD)는 하이 레벨 전위여도 로 레벨 전위여도 좋다(도 29 중, A라고 표기). 또한, 트랜지스터(709) 상태(온 상태, 오프 상태)는 어느 상태여도 좋다. 즉, 제어 신호(WE)는 하이 레벨 전위여도 로 레벨 전위여도 좋다(도 29 중, A라고 표기). T1에서, 노드(M1)은 어느 전위여도 좋다(도 29 중, A라고 표기). T1에서, 노드(M2)는 어느 전위여도 좋다(도 29 중, A라고 표기). T1의 동작을 통상 동작이라고 부른다. 제어 신호(WE2)는 기간을 불문하고 정전위로 하고, 예를 들면 접지 전위 등의 로 레벨 전위로 한다.

[0290] 다음에, 도 29에서의 T2의 기간의 동작에 대하여 설명한다. 기억 소자(700)에 대한 전원 전압의 공급을 정지하기 전에, 제어 신호(WE)를 하이 레벨 전위로 하여 트랜지스터(709)를 온 상태로 한다. 이렇게 하여, 회로(701)에 유지된 데이터(dataX)에 대응하는 신호가 트랜지스터(709)를 통하여 트랜지스터(710)의 게이트에 입력된다. 트랜지스터(710)의 게이트에 입력된 신호는 용량 소자(708)에 의해 유지된다. 이렇게 하여, 노드(M2)의 전위는 회로(701)에 유지된 데이터에 대응하는 신호 전위(도 29 중, VX라고 표기)가 된다. 그 후, 제어 신호(WE)를 로 레벨 전위로 하여 트랜지스터(709)를 오프 상태로 한다. 이렇게 하여, 회로(701)에 유지된 데이터에 대응하는 신호가 회로(702)에 유지된다. T2의 동안에도, 제어 신호(SEL)에 의해, 회로(720)의 일 경로에서의 제 1 단자와 제 2 단자 사이는 비도통 상태가 된다. 스위치(703) 및 스위치(704)의 제 1 단자와 제 2 단자 사이의 상태(도통 상태, 비도통 상태)는 어느 상태여도 좋다. 즉, 제어 신호(RD)는 하이 레벨 전위여도 로 레벨 전위여도 좋다(도 29 중, A라고 표기). T2에서, 노드(M1)은 어떠한 전위여도 좋다(도 29 중, A라고 표기). T2의 동작을 전원 전압 공급 정지 전의 동작이라고 부른다.

[0291] 다음에, 도 29에서의 T3의 기간의 동작에 대하여 설명한다. 전원 전압 공급 정지 전의 동작을 행한 후, T3의 처음에, 기억 소자(700)에 대한 전원 전압의 공급을 정지한다. 전원 전압의 공급이 정지하면, 회로(701)에 유지되어 있던 데이터(dataX)는 소실된다. 그러나, 기억 소자(700)에 대한 전원 전압의 공급이 정지한 후에도, 용량 소자(708)에 의해 회로(701)에 유지되어 있던 데이터(dataX)에 대응하는 신호 전위(VX)가 노드(M2)에 유지된다. 여기서, 트랜지스터(709)는 채널이 산화물 반도체층에서 형성되어, 리크 전류(오프 전류)가 매우 작은 강화형(노멀리 오프형)의 n채널형의 트랜지스터이다. 따라서, 기억 소자(700)에 대한 전원 전압의 공급이 정지했을 때, 트랜지스터(709)의 게이트에는 접지 전위(0 V) 또는 트랜지스터(709)가 오프가 되는 전위가 계속 입력되는 구성이기 때문에, 기억 소자(700)에 대한 전원 전압의 공급이 정지한 후에도, 트랜지스터(709)의 오프 상태를 유지할 수 있어, 용량 소자(708)에 의해 유지된 전위(노드(M2)의 전위 VX)를 장기간 유지할 수 있다. 이렇게 하여, 기억 소자(700)는 전원 전압의 공급이 정지된 후에도, 데이터(dataX)를 유지한다. T3은 기억 소자(700)에 대한 전원 전압의 공급이 정지된 기간에 대응한다.

[0292] 다음에, 도 29에서의 T4의 기간의 동작에 대하여 설명한다. 기억 소자(700)에 대한 전원 전압의 공급을 재개한 후, 제어 신호(RD)를 로 레벨 전위로 하여, 스위치(704)의 제 1 단자와 제 2 단자 사이를 도통 상태로 하고, 스위치(703)의 제 1 단자와 제 2 단자 사이를 비도통 상태로 한다. 이 때, 제어 신호(WE)는 로 레벨 전위이며, 트랜지스터(709)는 오프 상태인 채이다. 또한, 제어 신호(SEL)는 로 레벨 전위이며, 회로(720)의 일 경로에서의 제 1 단자와 제 2 단자 사이는 비도통 상태이다. 이렇게 하여, 스위치(703)의 제 2 단자 및 스위치(704)의 제 1 단자에, 전원 전압 VDD가 입력된다. 따라서, 스위치(703)의 제 2 단자 및 스위치(704)의 제 1 단자의 전위(노드(M1)의 전위)를 일정한 전위(여기에서는 VDD)로 할 수 있다. T4의 동작을 프리차지(pre-charge) 동작이라고 부른다. 노드(M1)의 전위는 용량 소자(707)에 의해 유지된다.

[0293] 상기 프리차지 동작 후, T5의 기간에서, 제어 신호(RD)를 하이 레벨 전위로 함으로써; 스위치(703)의 제 1 단자와 제 2 단자 사이를 도통 상태로 하고, 스위치(704)의 제 1 단자와 제 2 단자 사이를 비도통 상태로 한다. 이 때, 제어 신호(WE)는 로 레벨 전위인 채이고, 트랜지스터(709)는 오프 상태인 채이다. 제어 신호(SEL)는 로 레벨 전위이며, 회로(720)의 일 경로에서의 제 1 단자와 제 2 단자 사이는 비도통 상태이다. 용량 소자(708)에 유지된 신호(노드(M2)의 전위 VX)에 따라, 트랜지스터(710)의 온 상태 또는 오프 상태가 선택되어 스위치(703)

의 제 2 단자 및 스위치(704)의 제 1 단자의 전위, 즉 노드(M1)의 전위가 정해진다. 트랜지스터(710)가 온 상태인 경우, 노드(M1)에는 저전원 전위(예를 들면, GND)가 입력된다. 한편, 트랜지스터(710)가 오프 상태인 경우에는, 노드(M1)의 전위는 상기 프리차지 동작에 의해 정해진 일정한 전위(예를 들면, VDD)인 채 유지된다. 이렇게 하여, 트랜지스터(710)의 온 상태 또는 오프 상태에 대응하여, 노드(M1)의 전위는 VDD 또는 GND가 된다. 예를 들면, 회로(701)에 유지되어 있던 신호가 "1"이며, 하이 레벨의 전위(VDD)에 대응하는 경우, 노드(M1)의 전위는 신호 "0"에 대응하는 로 레벨의 전위(GND)가 된다. 한편, 회로(701)에 유지되어 있던 신호가 "0"이며, 로 레벨의 전위(GND)에 대응하는 경우, 노드(M1)의 전위는 신호 "1"에 대응하는 하이 레벨의 전위(VDD)가 된다. 즉, 회로(701)에 기억되어 있던 신호의 반전 신호가 노드(M1)에 유지되게 된다. 도 29에 있어서, 이 전위를 VXb라고 표기한다. 즉, T2에서 회로(701)로부터 입력된 데이터(dataX)에 대응하는 신호가 노드(M1)의 전위(VXb)로 변환된다.

- [0294] 그 후, T6의 기간에서 제어 신호(SEL)를 하이 레벨 전위로 하여, 회로(720)의 일 경로에서의 제 1 단자와 제 2 단자 사이를 도통 상태로 한다. 이 때, 제어 신호(RD)는 하이 레벨 전위인 채이다. 제어 신호(WE)는 로 레벨 전위인 채이고, 트랜지스터(709)는 오프 상태인 채이다. 그러면, 스위치(703)의 제 2 단자 및 스위치(704)의 제 1 단자의 전위(노드(M1)의 전위(VXb))에 대응하는 신호를, 논리 소자(706)를 통하여 반전 신호로 하고, 상기 반전 신호를 회로(701)에 입력할 수 있다. 이렇게 하여, 회로(701)는 기억 소자(700)로의 전원 전압의 공급 정지 전에 유지하고 있던 데이터(dataX)를 다시 유지할 수 있다.
- [0295] 노드(M1)의 전위는 T4에서의 프리차지 동작에 의해 일정한 전위(도 29에서는, VDD)가 된 후, T5에서 데이터(dataX)에 대응하는 전위(VXb)가 된다. 프리차지 동작을 행하고 있기 때문에, 노드(M1)의 전위가 소정의 전위(VXb)로 정해질 때까지의 시간을 짧게 할 수 있다. 이렇게 하여, 전원 전압 공급 재개 후에, 회로(701)가 원래의 데이터를 유지 다시 할 때까지의 시간을 짧게 할 수 있다.
- [0296] 이상이 기억 소자의 구동 방법의 설명이다.
- [0297] 본 발명의 일 양태에서의 반도체 장치의 구동 방법에서는, 기억 소자(700)에 전원 전압이 공급되지 않는 동안은, 회로(701)에 기억되어 있던 데이터를 회로(702)에 제공된 용량 소자(708)에 의해 유지할 수 있다.
- [0298] 산화물 반도체층에 채널이 형성되는 트랜지스터는 오프 전류가 매우 작다. 예를 들면, 산화물 반도체층에 채널이 형성되는 트랜지스터의 오프 전류는 결정성을 갖는 실리콘에 채널이 형성되는 트랜지스터의 오프 전류에 비해 현저하게 낮다. 따라서, 상기 트랜지스터를 트랜지스터(709)로서 이용함으로써, 기억 소자(700)에 전원 전압이 공급되지 않는 동안도 용량 소자(708)에 유지된 신호는 장기간에 걸쳐 유지된다. 이렇게 하여, 기억 소자(700)는 전원 전압의 공급이 정지한 동안도 기억 내용(데이터)을 유지하는 것이 가능하다.
- [0299] 스위치(703) 및 스위치(704)를 제공하는 것에 의해, 상술한 프리차지 동작을 행하는 것을 특징으로 하는 기억 소자이기 때문에; 전원 전압 공급 재개 후에, 회로(701)가 원의 데이터를 다시 유지할 때까지의 시간을 짧게 할 수 있다.
- [0300] 회로(702)에서, 용량 소자(708)에 의해 유지된 신호는 트랜지스터(710)의 게이트에 입력된다. 따라서, 기억 소자(700)에 대한 전원 전압의 공급이 재개된 후, 용량 소자(708)에 의해 유지된 신호를 트랜지스터(710) 상태(온 상태, 또는 오프 상태)로 변환하여, 회로(702)로부터 읽어낼 수 있다. 그러므로, 용량 소자(708)에 유지된 신호에 대응하는 전위가 다소 변동되어도, 원래의 신호를 정확하게 읽어내는 것이 가능하다.
- [0301] 이러한 기억 소자(700)를 프로세서에 포함되는 레지스터나 캐시 기억 장치 등의 기억 장치에 이용함으로써, 전원 전압의 공급 정지에 의한 기억 장치 내의 데이터의 소실을 막을 수 있다. 또한, 전원 전압의 공급을 재개한 후, 단시간에 전원 공급 정지 전 상태로 복귀할 수 있다. 따라서, 프로세서 전체, 혹은 프로세서에 포함되는 하나, 또는 복수의 논리 회로에서, 짧은 시간이라도 전원 정지를 행할 수 있다. 따라서, 소비 전력을 억제할 수 있다.
- [0302] 여기에서는, CPU를 예로 들어 설명했지만, DSP(Digital Signal Processor), 커스텀 LSI, FPGA(Field Programmable Gate Array) 등의 LSI에도 응용 가능하다.
- [0303] (실시형태 9)
- [0304] 본 실시형태에서는, 실시형태 1, 3, 4에 설명한 트랜지스터, 실시형태 6, 7에 설명한 기억 장치, 또는 실시형태 8에 설명한 CPU를 이용할 수 있는 전자기기의 예에 대하여 설명한다.
- [0305] 실시형태 1, 3, 4에 설명한 트랜지스터, 실시형태 6, 7에 설명한 기억 장치, 또는 실시형태 8에 설명한 CPU는

다양한 전자기기(유기기도 포함함)에 적용할 수 있다. 전자기기로서는, 텔레비전, 모니터 등의 표시 장치, 조명 장치, 퍼스널 컴퓨터, 워드 프로세서, 화상 재생 장치, 휴대용 오디오 플레이어, 라디오, 테이프 레코더, 스테레오, 전화, 무선 전화, 휴대전화, 카폰, 트랜스미터, 무선기, 게임기, 전자 계산기, 휴대 정보 단말, 전자 수첩, 전자 서적, 전자 번역기, 음성 입력 기기, 비디오 카메라, 디지털 스틸 카메라, 전기 면도기, IC칩, 전자 레인지 등의 고주파 가열 장치, 전기 밥솥, 전기 세탁기, 전기 청소기, 에어컨디셔너 등의 공기 조절 설비, 식기 세척기, 식기 건조기, 의류 건조기, 이불 건조기, 전기 냉장고, 전기 냉동고, 전기 냉동 냉장고, DNA 보존용 냉동고, 방사선 측정기, 투석 장치, X선 진단 장치 등의 의료기기 등을 들 수 있다. 또한, 연기 감지기, 열 감지기, 가스 경보 장치, 방범 경보 장치 등의 경보 장치도 들 수 있다. 또한, 유도등, 신호기, 벨트 컨베이어, 엘리베이터, 에스컬레이터, 산업용 로봇, 전력저장 시스템 등의 산업 기기도 들 수 있다. 또한, 연료를 이용한 엔진이나, 비수계 2차 전지로부터의 전력을 이용하여 전동기에 의해 추진하는 이동체 등도 전자기기의 범주에 포함되는 것으로 한다. 상기 이동체로서 예를 들면, 전기 자동차(EV), 내연 기관과 전동기를 겸비한 하이브리드 차(HEV), 플러그 인 하이브리드 차(PHEV), 이들의 타이어 차바퀴를 무한궤도로 바꾼 장래 차량, 전동 어시스트 자전거를 포함한 원동기 부착 자전거, 자동이륜차, 전동 휠체어, 골프용 카트, 소형 또는 대형 선박, 잠수함, 헬리콥터, 항공기, 로켓, 인공위성, 우주 탐사기나 혹성 탐사기, 우주선을 들 수 있다. 이러한 전자기기의 일부의 구체적인 예를 도 30의 (A) 내지 도 30의 (C)에 나타낸다.

[0306] 도 30의 (A)에 나타내는 경보 장치(8100)는 주택용 화재 경보기이며, 연기 또는 열의 검출부(8102)와 마이크로 컴퓨터(8101)를 포함한 전자기기의 일례이다. 단, 마이크로 컴퓨터(8101)는 앞의 실시형태에 나타낸 트랜지스터, 기억 장치, 또는 CPU를 포함한다.

[0307] 도 30의 (A)에 나타내는 실내기(8200) 및 실외기(8204)를 포함하는 에어컨디셔너는 앞의 실시형태에 나타낸 트랜지스터, 기억 장치, 또는 CPU를 포함한 전자기기의 일례이다. 구체적으로, 실내기(8200)는 하우징(8201), 송풍구(8202), CPU(8203) 등을 포함한다. 도 30의 (A)에서는 CPU(8203)가 실내기(8200)에 제공되어 있는 경우를 예시하고 있지만, CPU(8203)는 실외기(8204)에 제공되어 있어도 좋다. 또는, 실내기(8200)와 실외기(8204)의 양쪽 모두에 CPU(8203)가 제공되어 있어도 좋다. 앞의 실시형태에 나타낸 트랜지스터를 에어컨디셔너의 CPU에 이용하는 것에 의해 저소비 전력화를 도모할 수 있다.

[0308] 도 30의 (A)에 나타내는 전기 냉동 냉장고(8300)는 앞의 실시형태에 나타낸 트랜지스터, 기억 장치, 또는 CPU를 포함한 전자기기의 일례이다. 구체적으로, 전기 냉동 냉장고(8300)는 하우징(8301), 냉장실용 문(8302), 냉동실용 문(8303), CPU(8304) 등을 포함한다. 도 30의 (A)에서는 CPU(8304)가 하우징(8301)의 내부에 제공되어 있다. 앞의 실시형태에 나타낸 트랜지스터를 전기 냉동 냉장고(8300)의 CPU(8304)에 이용하는 것에 의해 저소비 전력화를 도모할 수 있다.

[0309] 도 30의 (B) 및 (C)에는, 전자기기의 일례인 전기 자동차의 예를 나타낸다. 전기 자동차(9700)에는 2차 전지(9701)가 탑재되어 있다. 2차 전지(9701)의 전력은 회로(9702)에 의해 출력이 조정되어, 구동 장치(9703)에 공급된다. 회로(9702)는 도시하지 않은 ROM, RAM, CPU 등을 포함하는 처리 장치(9704)에 의해 제어된다. 앞의 실시형태에 나타낸 트랜지스터를 전기 자동차(9700)의 CPU에 이용하는 것에 의해 저소비 전력화를 도모할 수 있다.

[0310] 구동 장치(9703)는 직류 전동기 혹은 교류 전동기 단체, 또는 전동기와 내연 기관의 조합을 포함한다. 처리 장치(9704)는 전기 자동차(9700)의 운전자의 조작 정보(가속, 감속, 정지 등)나 주행 시의 정보(오르막이나 내리막 등의 정보, 구동륜에 걸리는 부하 정보 등)의 입력 정보에 기초하여, 회로(9702)에 제어 신호를 출력한다. 회로(9702)는 처리 장치(9704)의 제어 신호에 의해, 2차 전지(9701)로부터 공급되는 전기 에너지를 조정하여 구동 장치(9703)의 출력을 제어한다. 교류 전동기를 탑재하고 있는 경우는, 도시하지 않았지만, 직류를 교류로 변환하는 인버터도 내장된다.

[0311] 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.

[0312] (실시형태 10)

[0313] 상기 실시형태에 개시된 도전막은 스퍼터링법에 의해 형성할 수 있지만, 다른 방법, 예를 들면, 열 CVD법에 의해 형성해도 좋다. 열 CVD법의 예로서 MOCVD(Metal Organic Chemical Vapor Deposition)법이나 ALD(Atomic Layer Deposition)법을 사용해도 좋다.

[0314] 열 CVD법은 플라즈마를 사용하지 않는 성막 방법이기 때문에, 플라즈마 대미지에 의해 결함이 생성되는 일이 없다는 이점을 가진다.

- [0315] 열 CVD법은 챔버 내를 대기압 또는 감압 하로 하고, 원료 가스와 산화제를 동시에 챔버 내로 보내어, 기관 근방 또는 기관 위에서 반응시켜 기관 위에 퇴적시킴으로써 성막을 행하여도 좋다.
- [0316] MOCVD법이나 ALD법 등의 열 CVD법은 지금까지 기재한 실시형태에 개시된 도전막이나 반도체막 등 다양한 막을 형성할 수 있다. 예를 들면, $\text{InGaZnO}_x (x>0)$ 막을 성막하는 경우에는, 트라이메틸인듐, 트라이메틸갈륨, 및 다이에틸아연을 이용한다. 단, 트라이메틸인듐의 화학식은 $(\text{CH}_3)_3\text{In}$ 이다. 트라이메틸갈륨의 화학식은 $(\text{CH}_3)_3\text{Ga}$ 이다. 다이메틸아연의 화학식은 $(\text{CH}_3)_2\text{Zn}$ 이다. 이러한 조합에 한정되지 않고, 트라이메틸갈륨 대신에 트라이에틸갈륨(화학식 $(\text{C}_2\text{H}_5)_3\text{Ga}$)을 이용할 수도 있고, 다이메틸아연 대신에 다이에틸아연(화학식 $(\text{C}_2\text{H}_5)_2\text{Zn}$)을 이용할 수도 있다.
- [0317] 예를 들면, 산화 하프늄막을 형성하는 경우에는, 용매와 하프늄 전구체 화합물을 포함한 액체(하프늄알콕사이드 용액, 대표적으로는 테트라키스다이메틸아마이드하프늄(TDMAH))을 기화시킨 원료 가스와, 산화제로서 오존(O_3)의 2 종류의 가스를 이용한다. 단, 테트라키스다이메틸아마이드하프늄의 화학식은 $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$ 이다. 다른 재료액으로서, 테트라키스(에틸메틸아마이드)하프늄 등이 있다.
- [0318] 예를 들면, 산화 알루미늄막을 형성하는 경우에는, 용매와 알루미늄 전구체 화합물을 포함한 액체(트라이메틸알루미늄(TMA) 등)를 기화시킨 원료 가스와, 산화제로서 H_2O 의 2 종류의 가스를 이용한다. 단, 트라이메틸알루미늄의 화학식은 $\text{Al}(\text{CH}_3)_3$ 이다. 다른 재료액으로서, 트리스(다이메틸아마이드)알루미늄, 트리아이소부틸알루미늄, 알루미늄트리스(2,2,6,6-테트라메틸-3,5-헵타다이오네이트) 등이 있다.
- [0319] 예를 들면, 산화 실리콘막을 형성하는 경우에는, 헥사다이클로로실레인을 피성막면에 흡착시키고, 흡착물에 포함되는 염소를 제거하고, 산화성 가스(O_2 , 일산화이질소)의 라디칼을 공급하여 흡착물과 반응시킨다.
- [0320] 예를 들면, ALD를 이용하는 성막 장치에 의해 텅스텐막을 성막하는 경우에는, WF_6 가스와 B_2H_6 가스를 순차로 반복 도입하여 초기 텅스텐막을 형성하고, 그 후, WF_6 가스와 H_2 가스를 동시에 도입하여 텅스텐막을 형성한다. 단, B_2H_6 가스 대신에 SiH_4 가스를 이용해도 좋다.

부호의 설명

- [0321] 100 : 트랜지스터
 102 : 트랜지스터
 110 : 기관
 120 : 하지 절연막
 130 : 산화물 반도체층
 131 : 제 1 산화물 반도체층
 132 : 제 2 산화물 반도체층
 133 : 제 3 산화물 반도체층
 134 : 영역
 135 : 경계
 140 : 소스 전극층
 141 : 제 1 소스 전극층
 142 : 제 2 소스 전극층
 150 : 드레인 전극층
 151 : 제 1 드레인 전극층

152 : 제 2 드레인 전극층
 160 : 게이트 절연막
 170 : 게이트 전극층
 180 : 산화물 절연층
 200 : 트랜지스터
 202 : 트랜지스터
 300 : 트랜지스터
 302 : 트랜지스터
 400 : 트랜지스터
 402 : 트랜지스터
 520 : 하지 절연막
 530 : 산화물 반도체층
 531 : 제 1 산화물 반도체층
 532 : 제 2 산화물 반도체층
 533 : 제 3 산화물 반도체층
 540 : 소스 전극층
 550 : 드레인 전극층
 560 : 게이트 절연막
 570 : 게이트 전극층
 580 : 산화물 반도체층
 630 : 실리콘 활성층
 631 : p^- 형 영역
 632 : n^+ 형 영역
 700 : 기억 소자
 701 : 회로
 702 : 회로
 703 : 스위치
 704 : 스위치
 706 : 논리 소자
 707 : 용량 소자
 708 : 용량 소자
 709 : 트랜지스터
 710 : 트랜지스터
 713 : 트랜지스터
 714 : 트랜지스터

720 : 회로
 800 : 도전막
 900 : 영역
 1189 : ROM 인터페이스
 1190 : 기판
 1191 : ALU
 1192 : ALU 컨트롤러
 1193 : 인스트럭션 디코더
 1194 : 인터럽트 컨트롤러
 1195 : 타이밍 컨트롤러
 1196 : 레지스터
 1197 : 레지스터 컨트롤러
 1198 : 버스 인터페이스
 1199 : ROM
 3000 : 기판
 3001 : 제 1 배선
 3002 : 제 2 배선
 3003 : 제 3 배선
 3004 : 제 4 배선
 3005 : 제 5 배선
 3100 : 소자 분리 절연층
 3150 : 절연층
 3200 : 트랜지스터
 3250 : 전극
 3300 : 트랜지스터
 3400 : 용량 소자
 4250 : 메모리 셀
 4300 : 트랜지스터
 4400 : 용량 소자
 4500 : 제 1 배선
 4600 : 제 2 배선
 8100 : 경보 장치
 8101 : 마이크로 컴퓨터
 8102 : 검출부
 8200 : 실내기
 8201 : 하우징

8202 : 송풍구

8203 : CPU

8204 : 실외기

8300 : 전기 냉동 냉장고

8301 : 하우징

8302 : 냉장실용 문

8303 : 냉동실용 문

8304 : CPU

9700 : 전기 자동차

9701 : 2차 전지

9702 : 회로

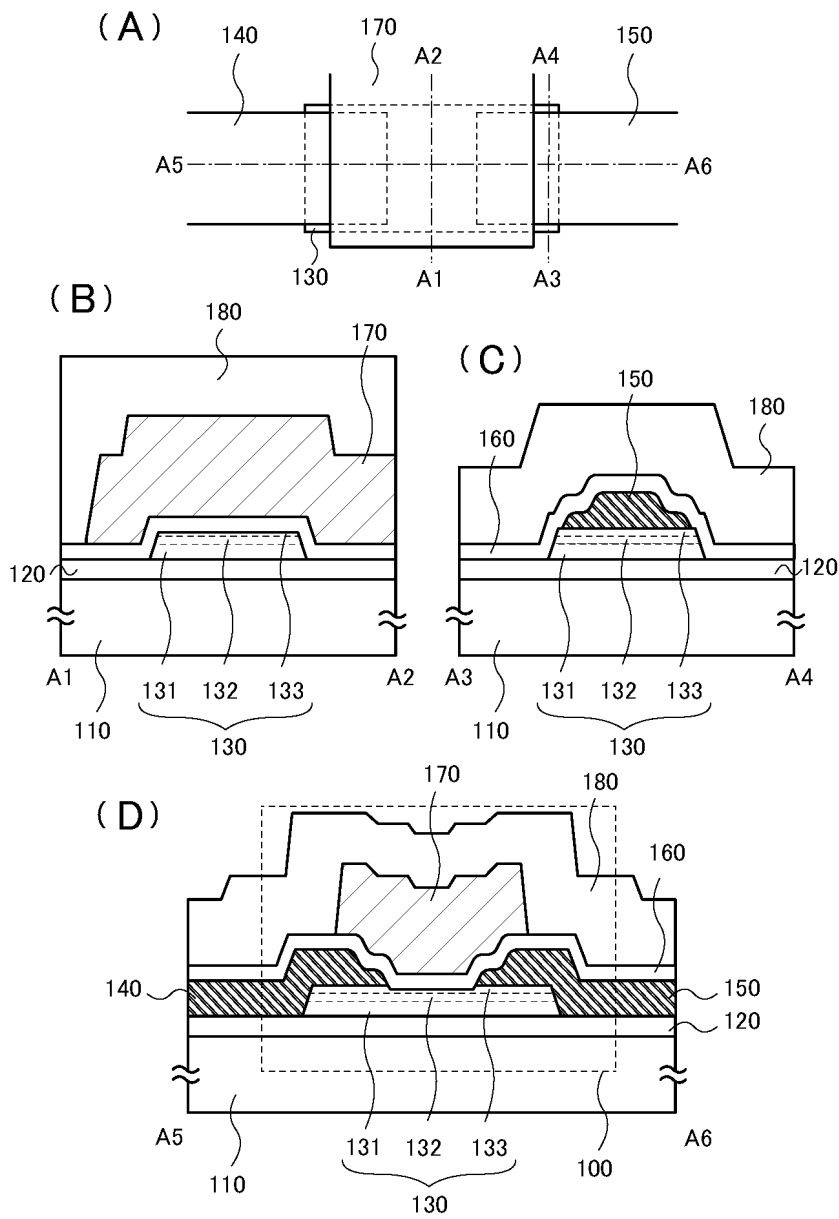
9703 : 구동 장치

9704 : 처리 장치

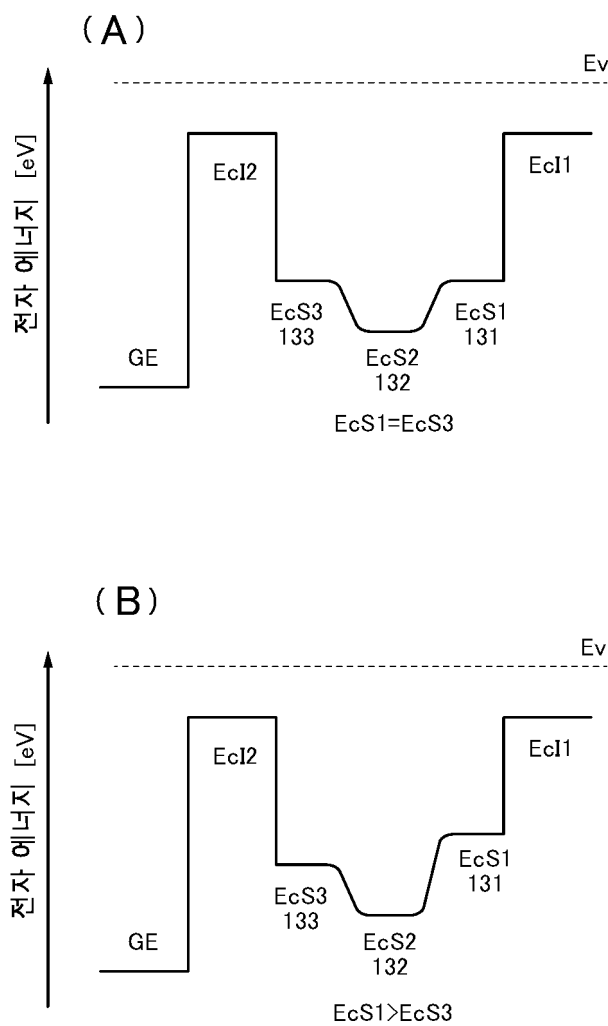
본 출원은 2012년 11월 30일에 일본 특허청에 출원된 일련 번호가 2012-261795인 일본 특허 출원에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

도면

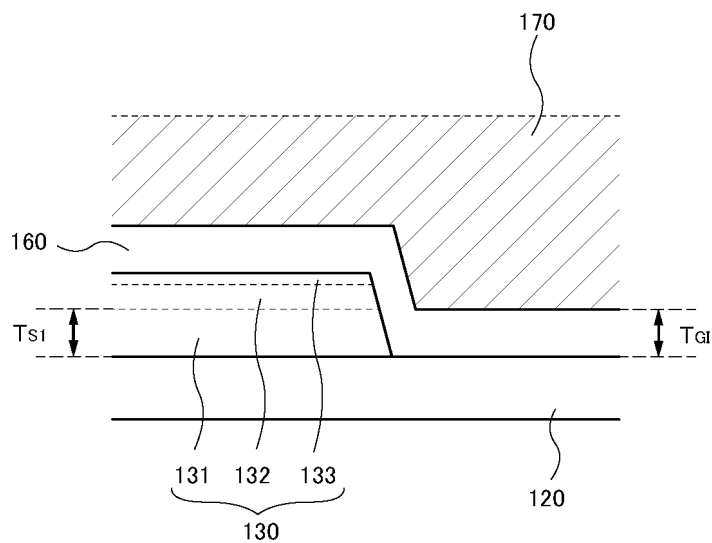
도면1



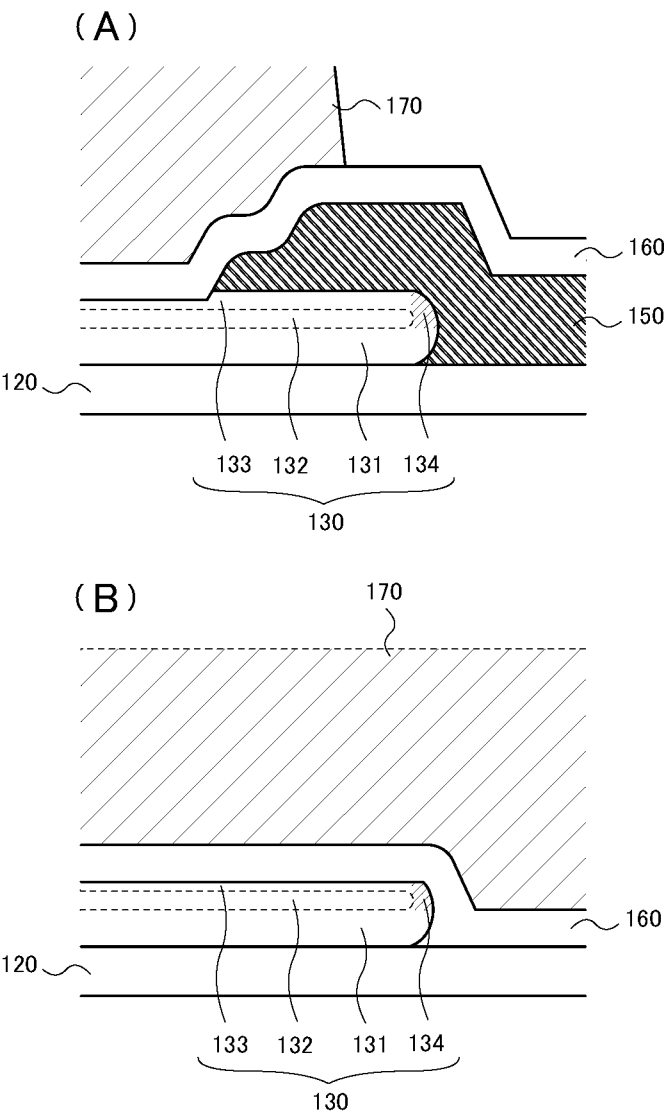
도면2



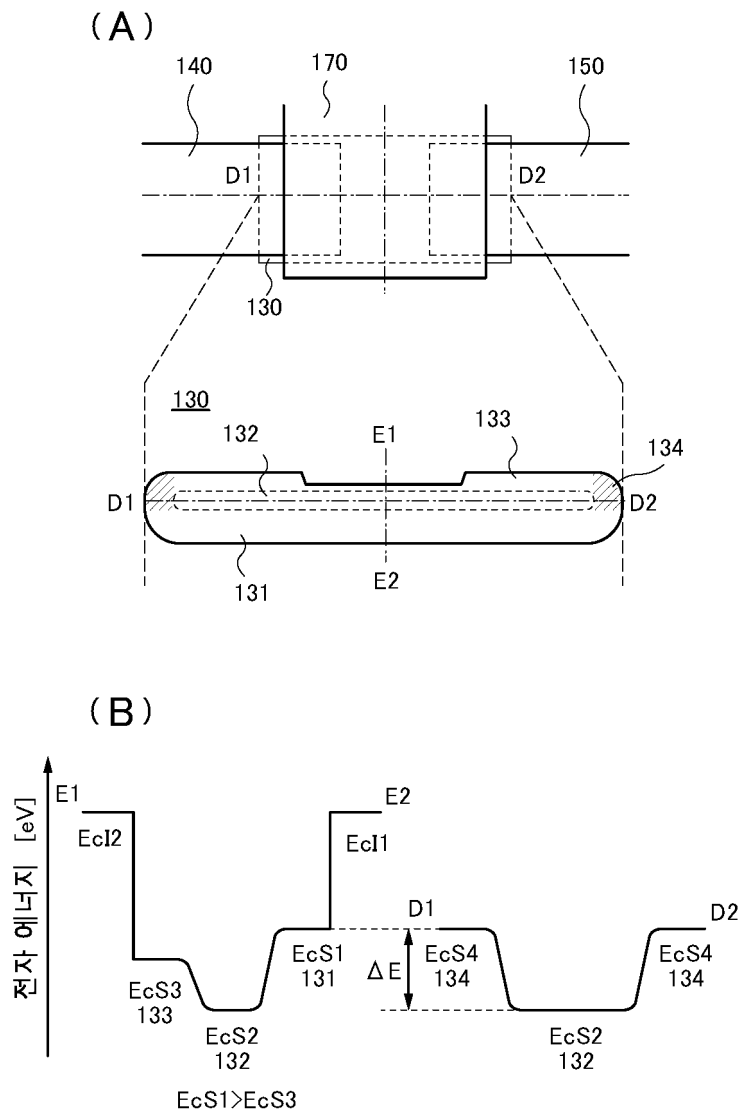
도면3



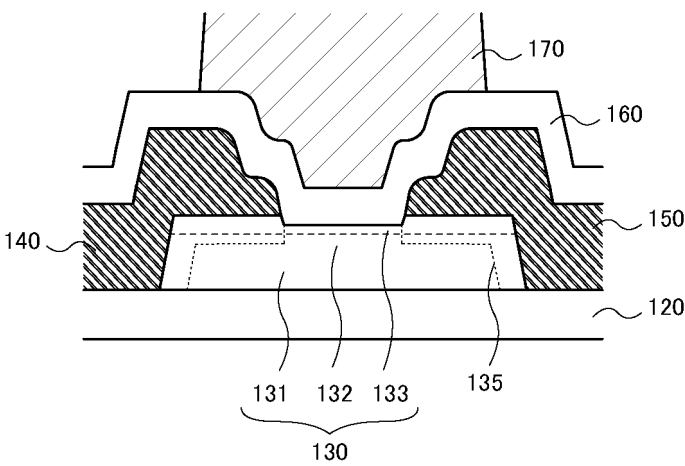
도면4



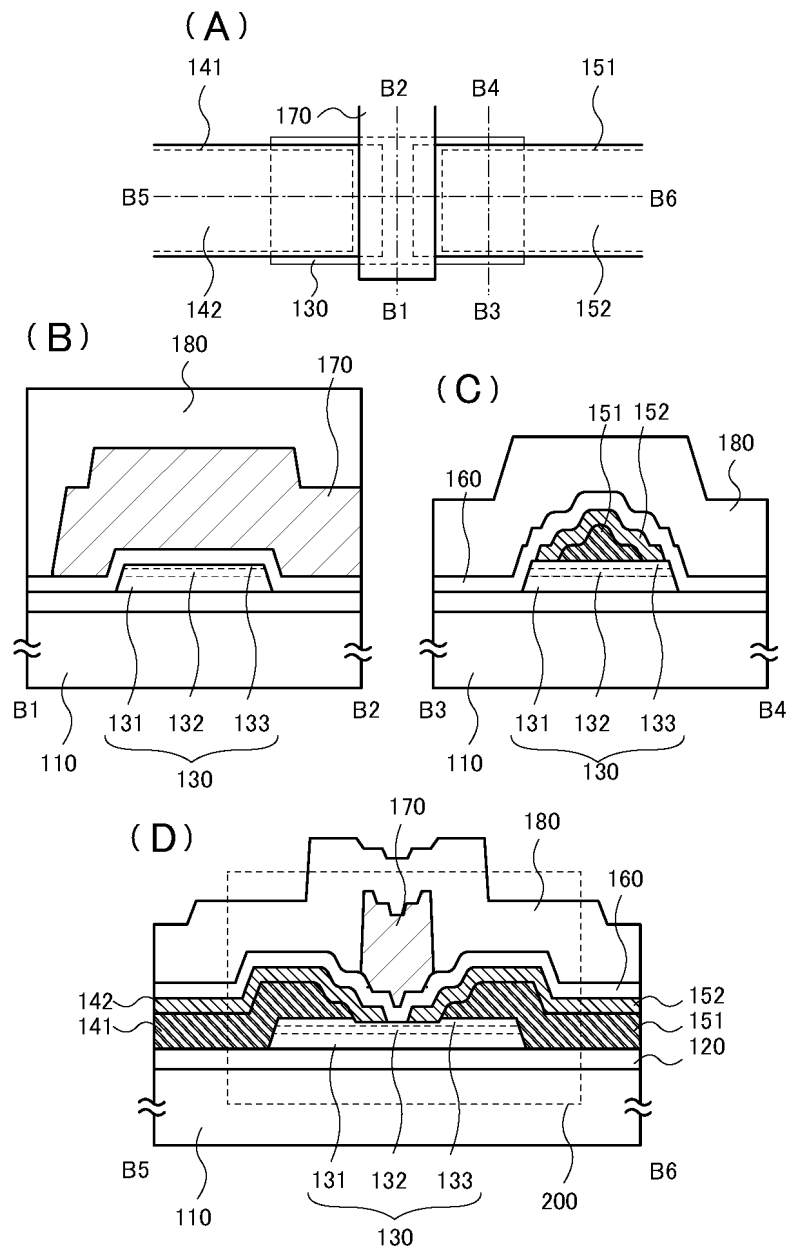
도면5



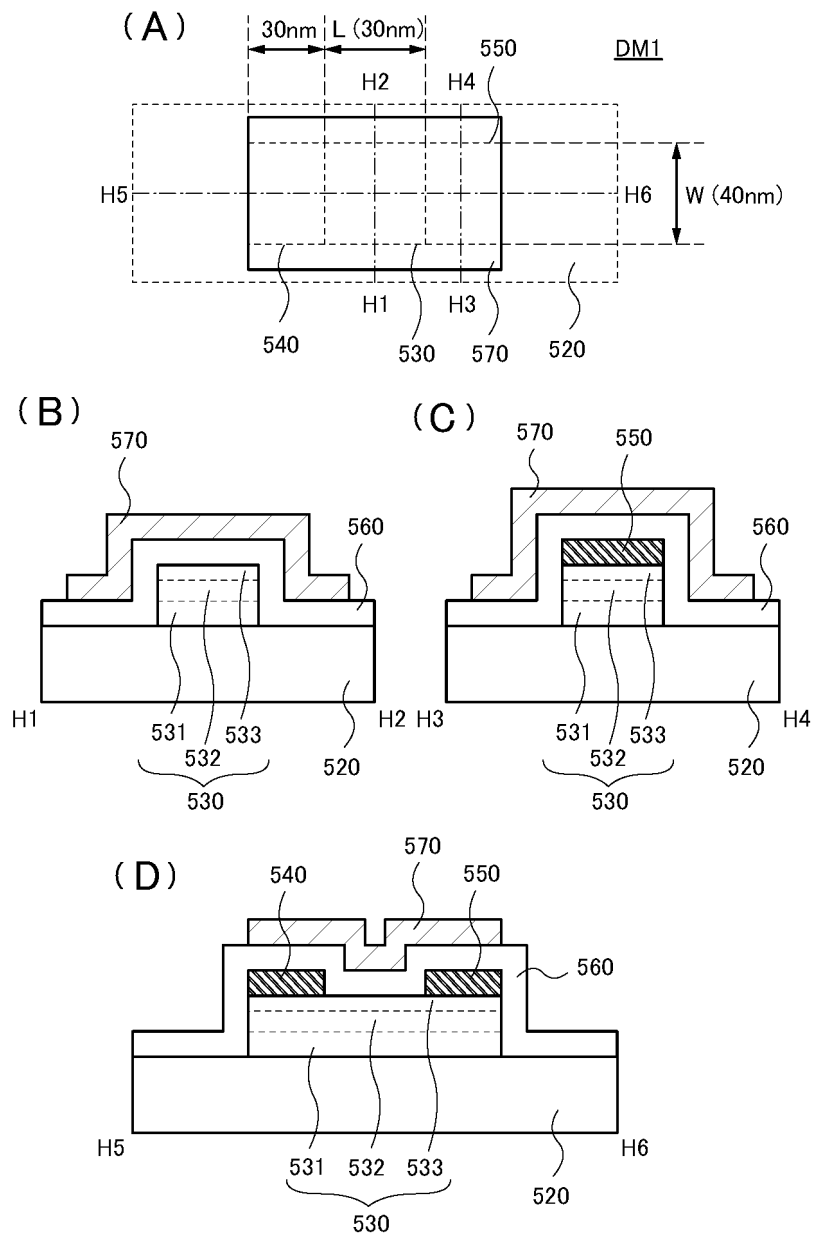
도면6



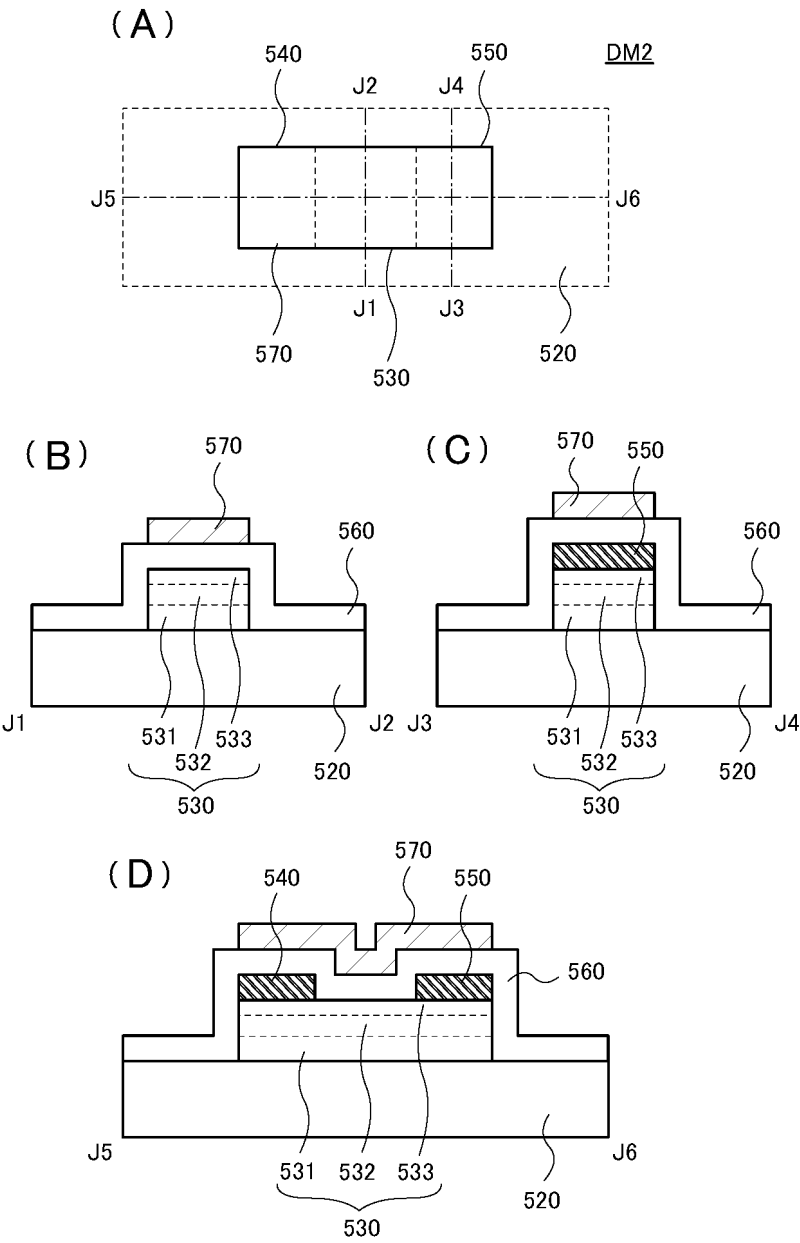
도면7



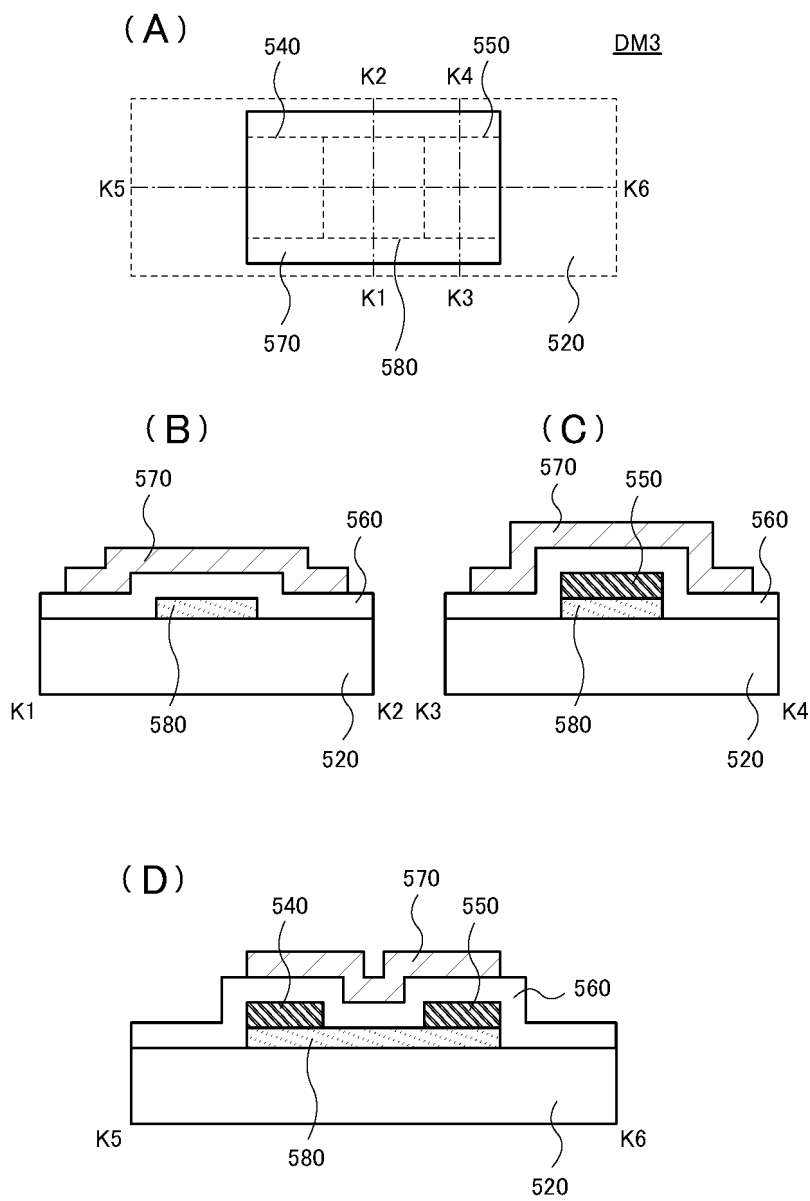
도면8



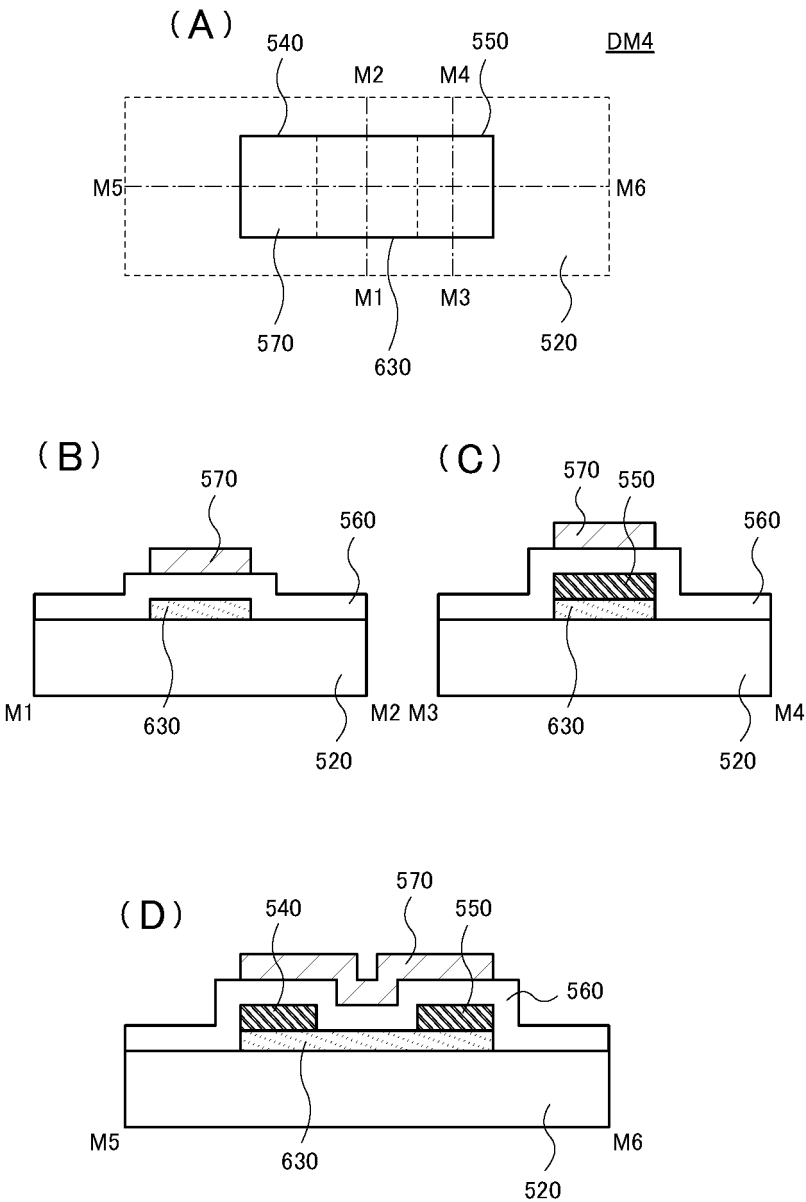
도면9



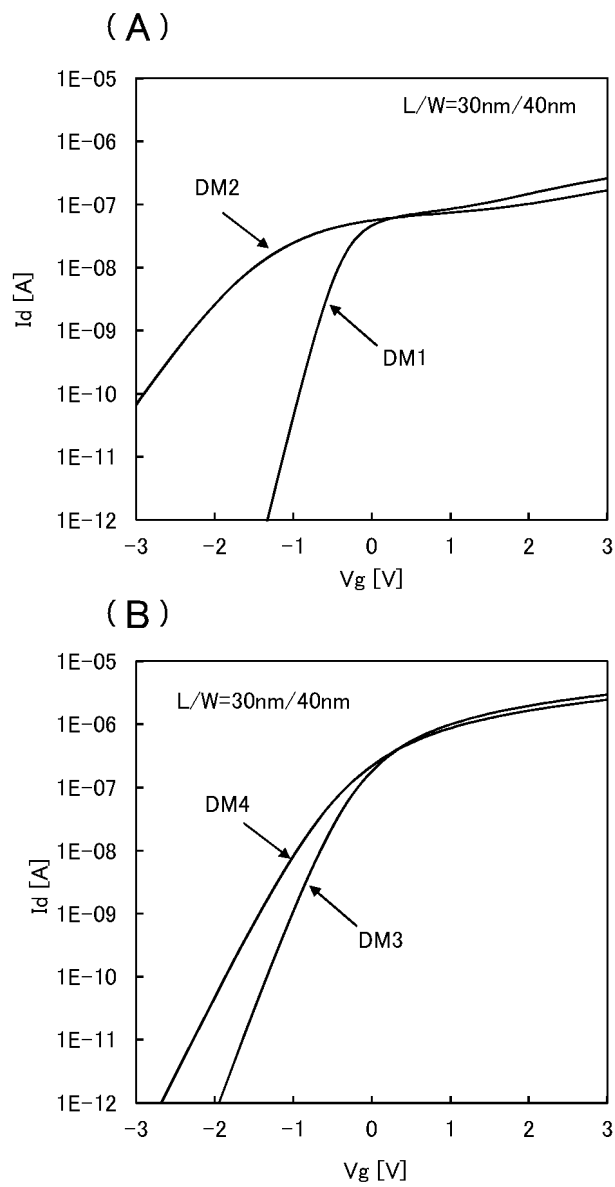
도면10



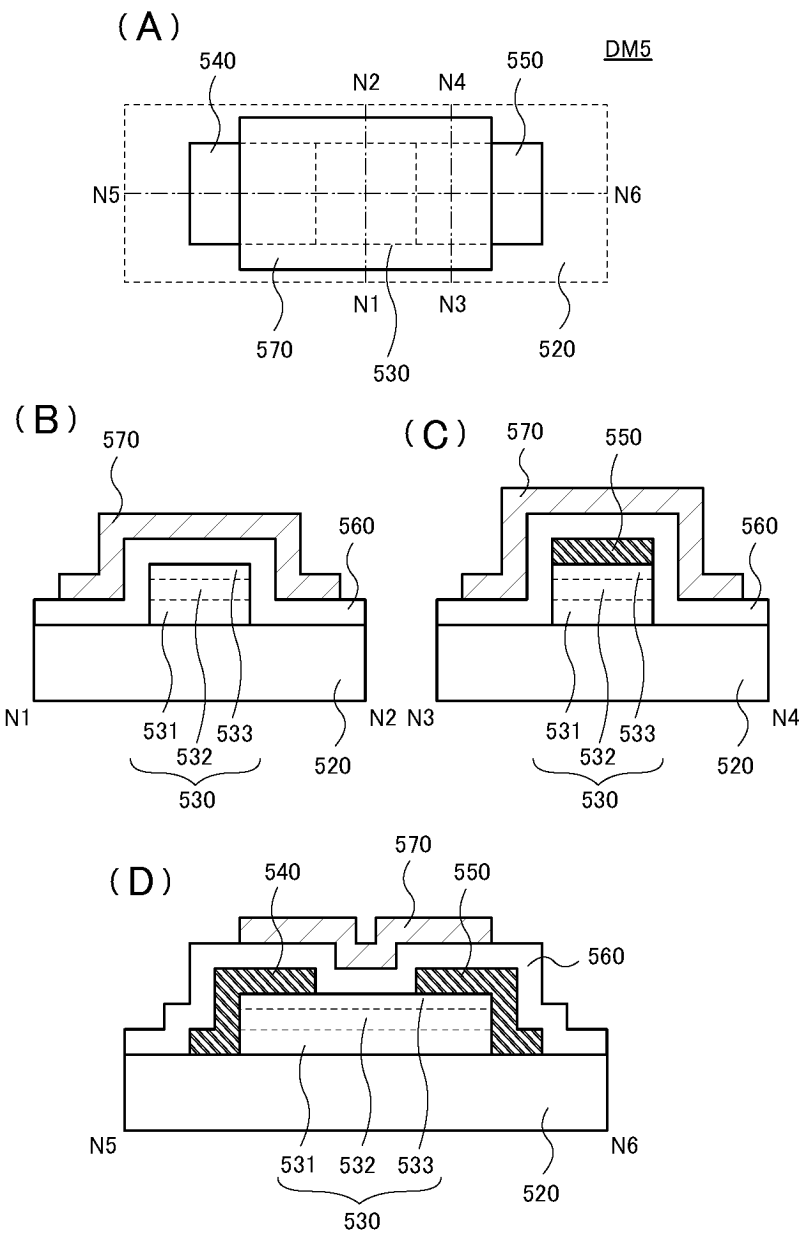
도면11



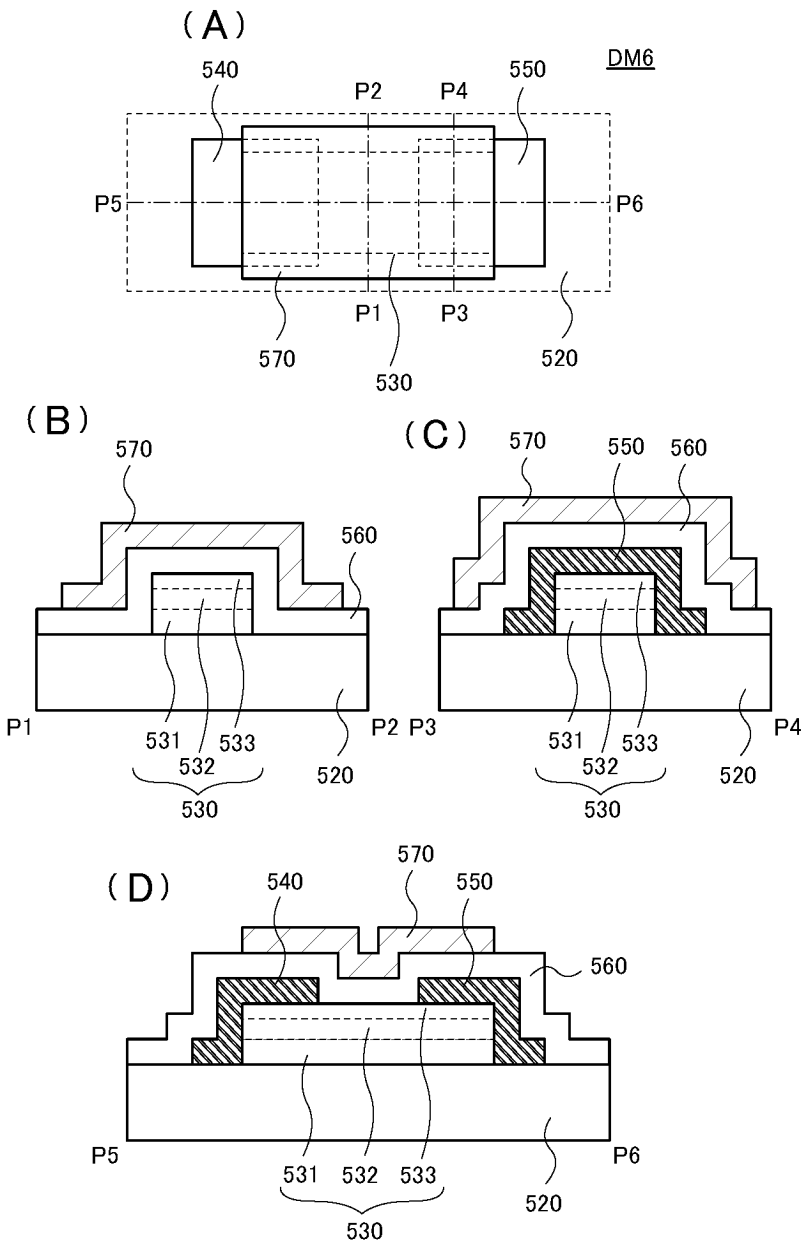
도면12



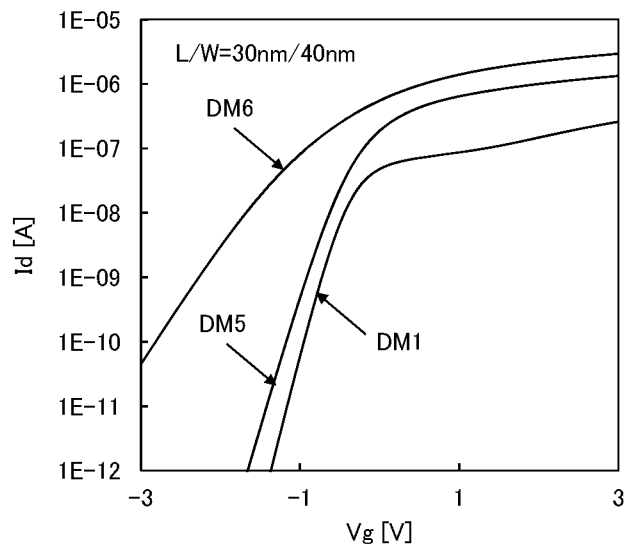
도면13



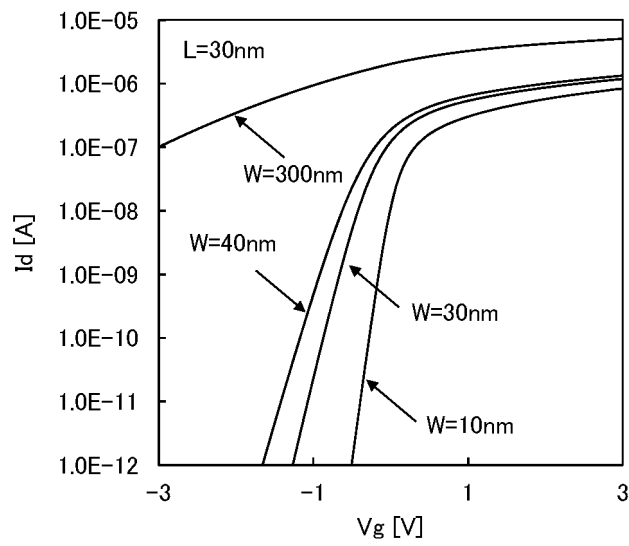
도면14



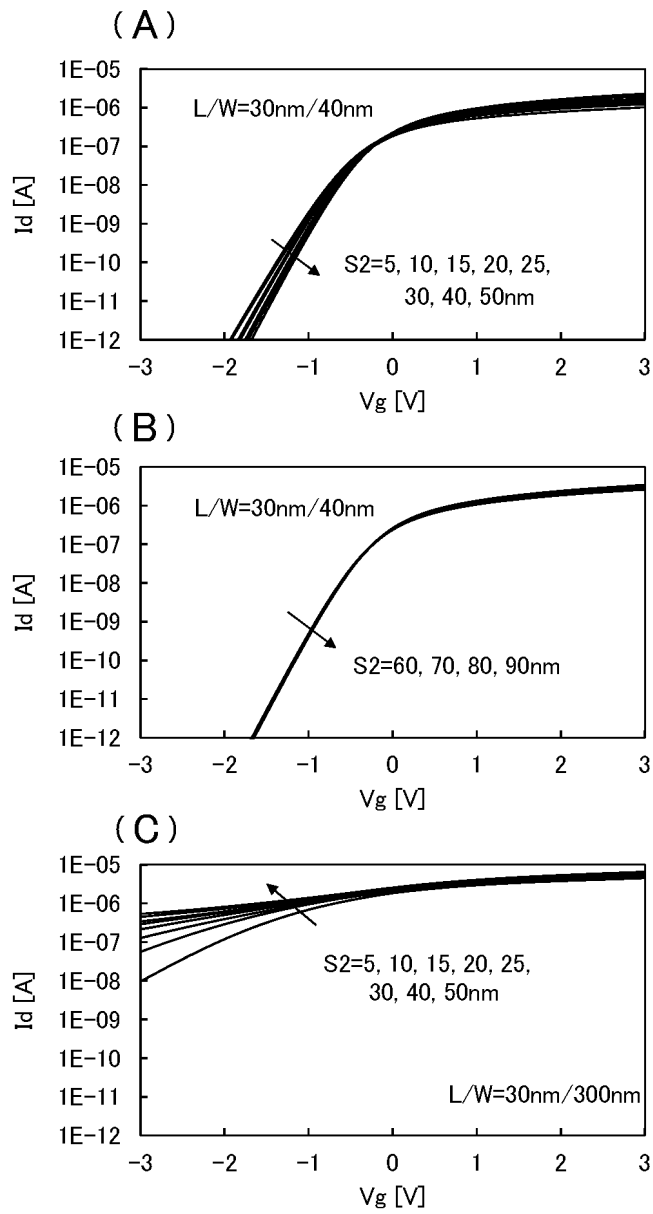
도면15



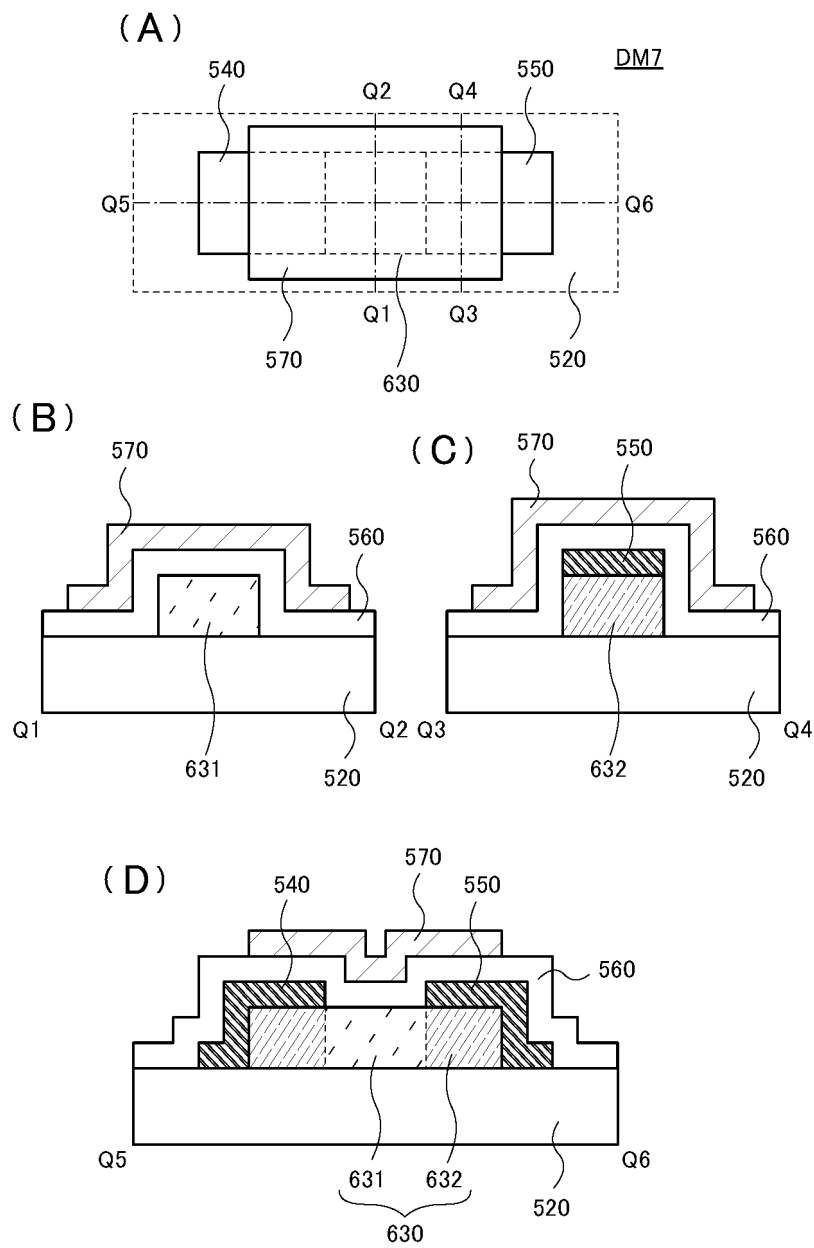
도면16



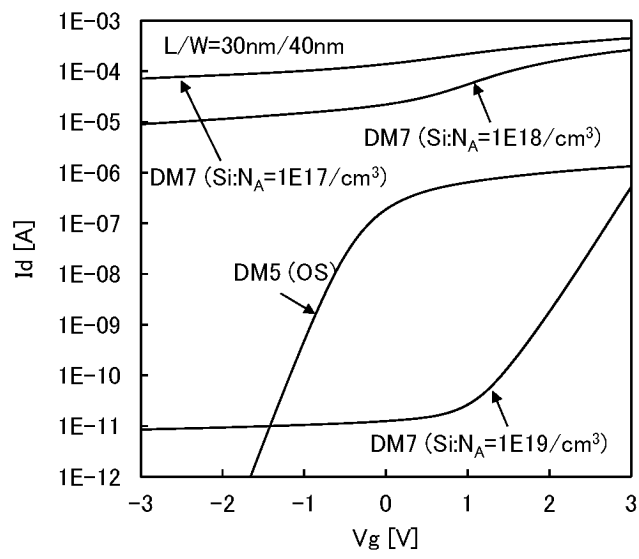
도면17



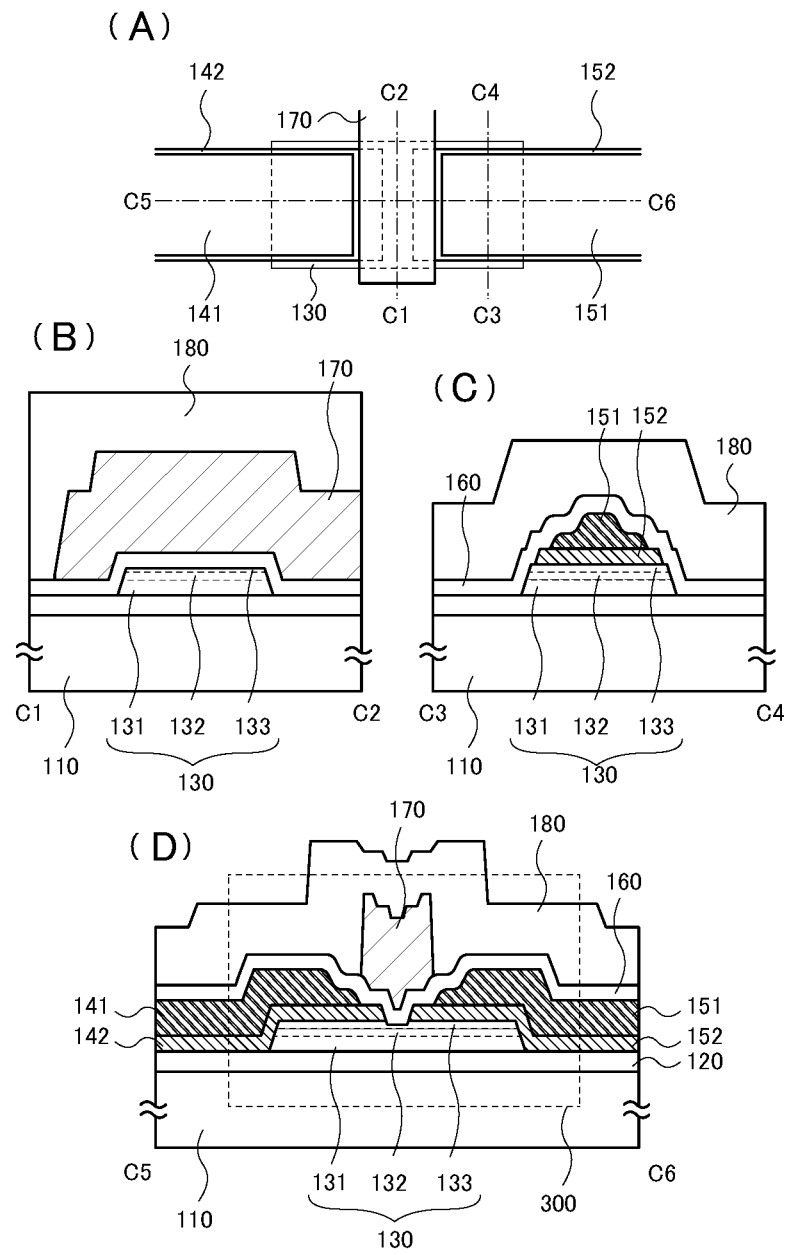
도면 18



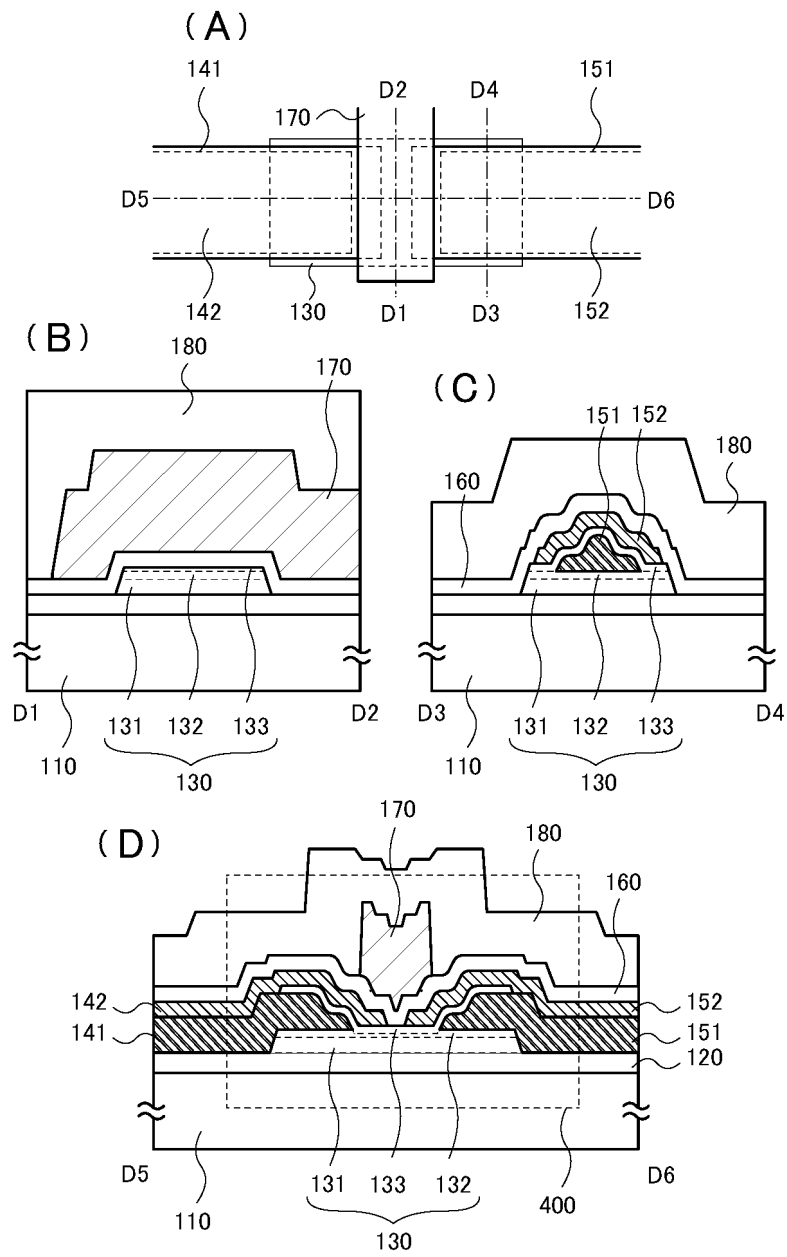
도면19



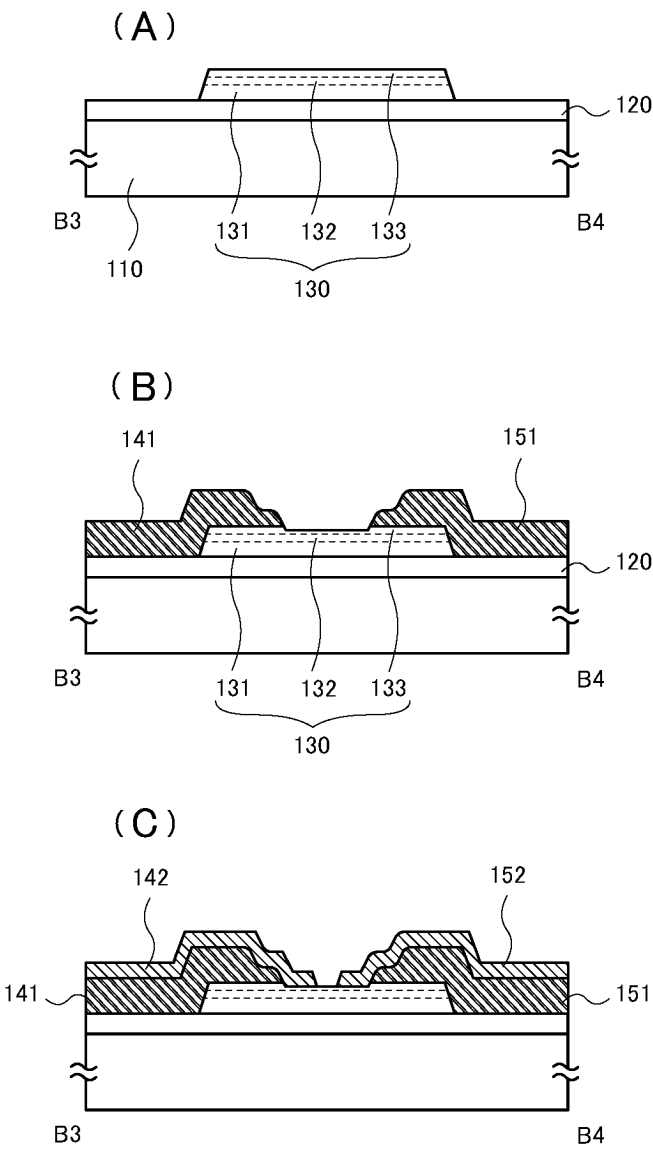
도면20



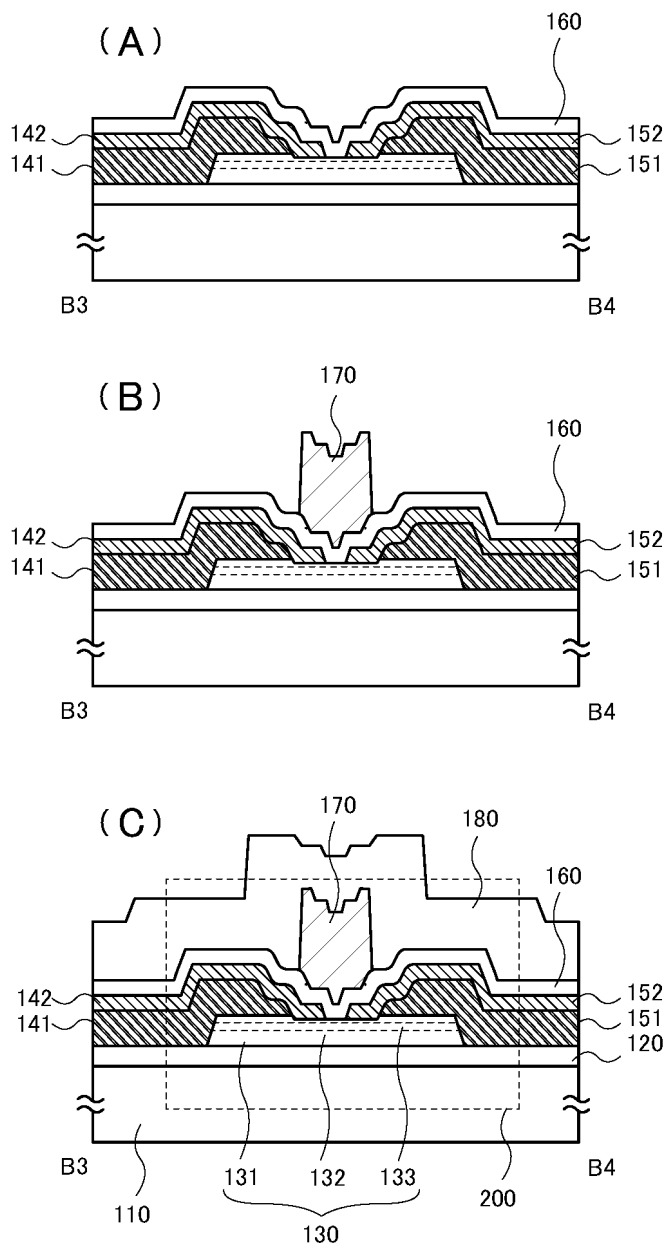
도면21



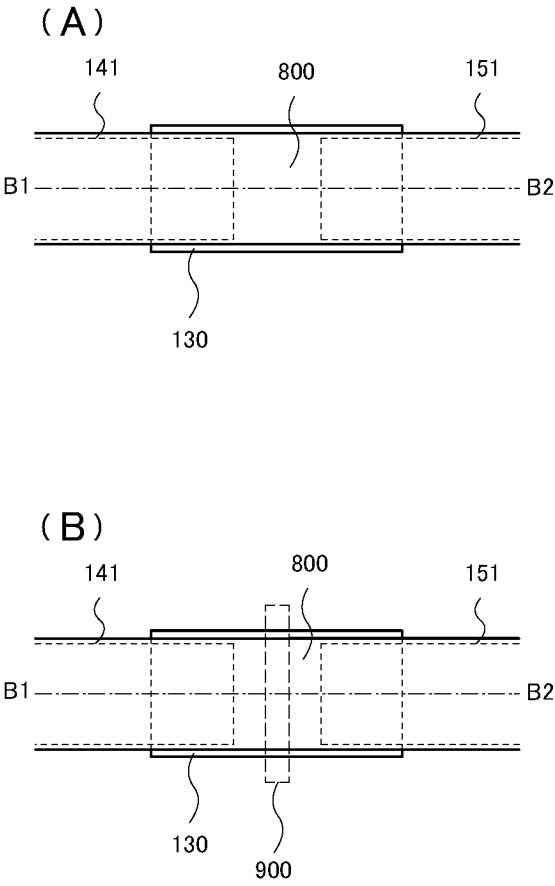
도면22



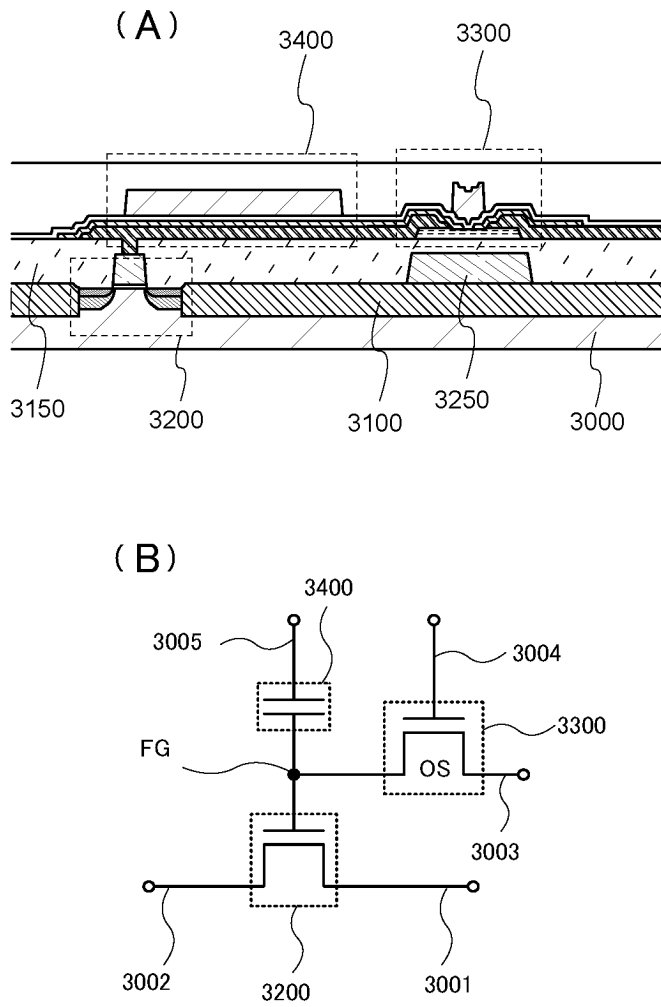
도면23



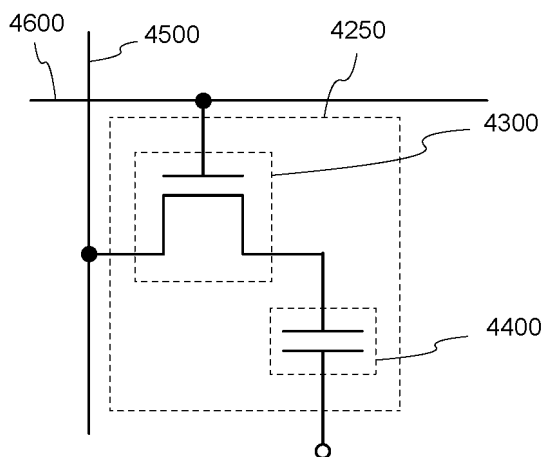
도면24



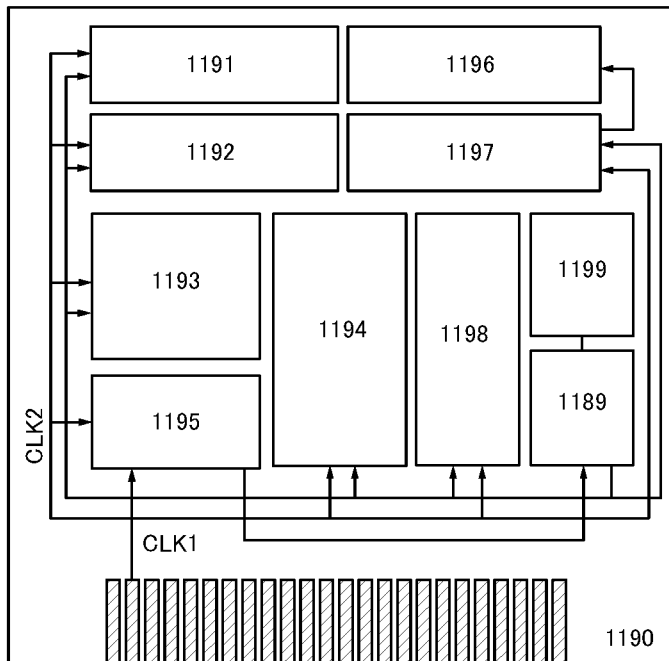
도면25



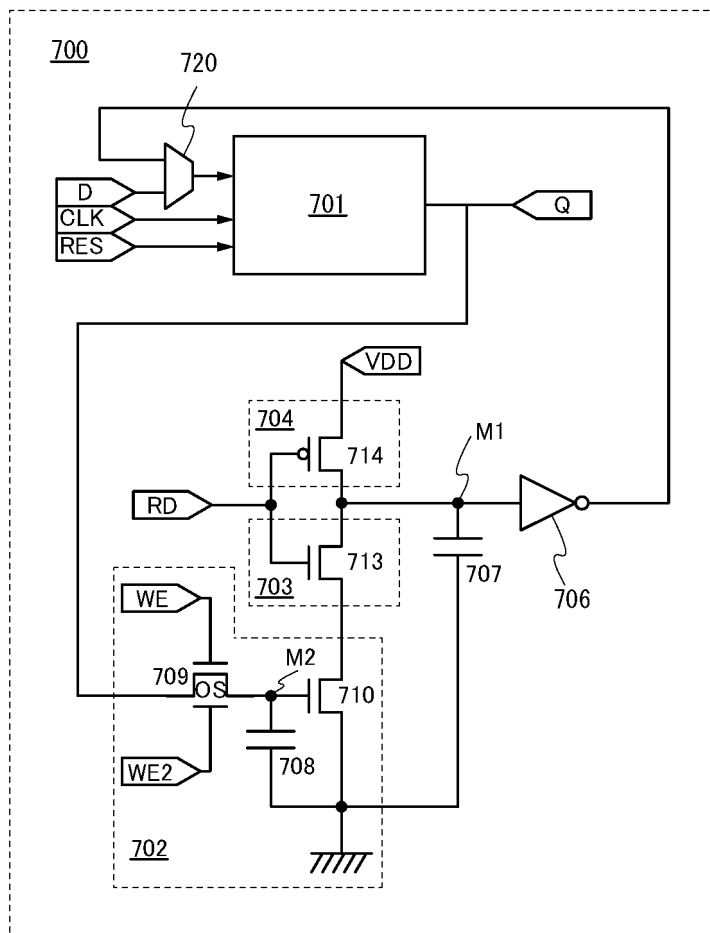
도면26



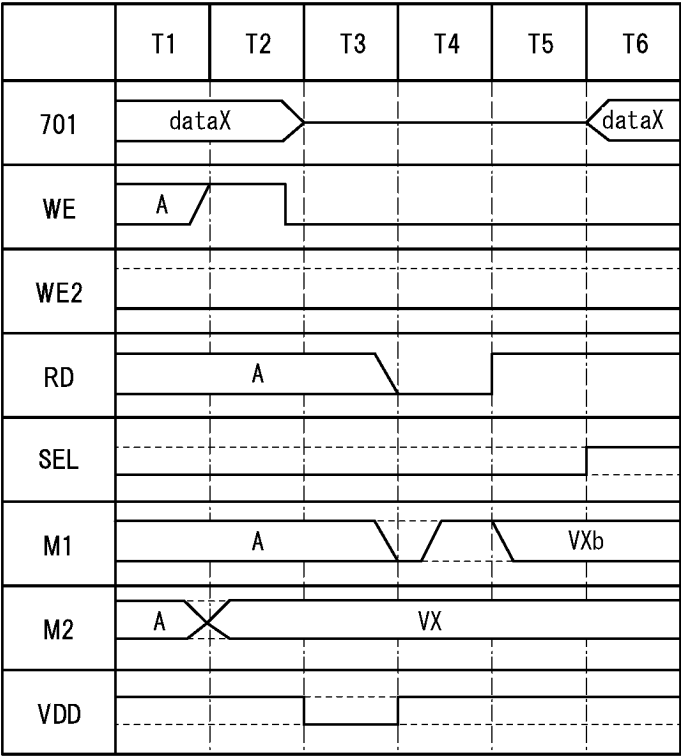
도면27



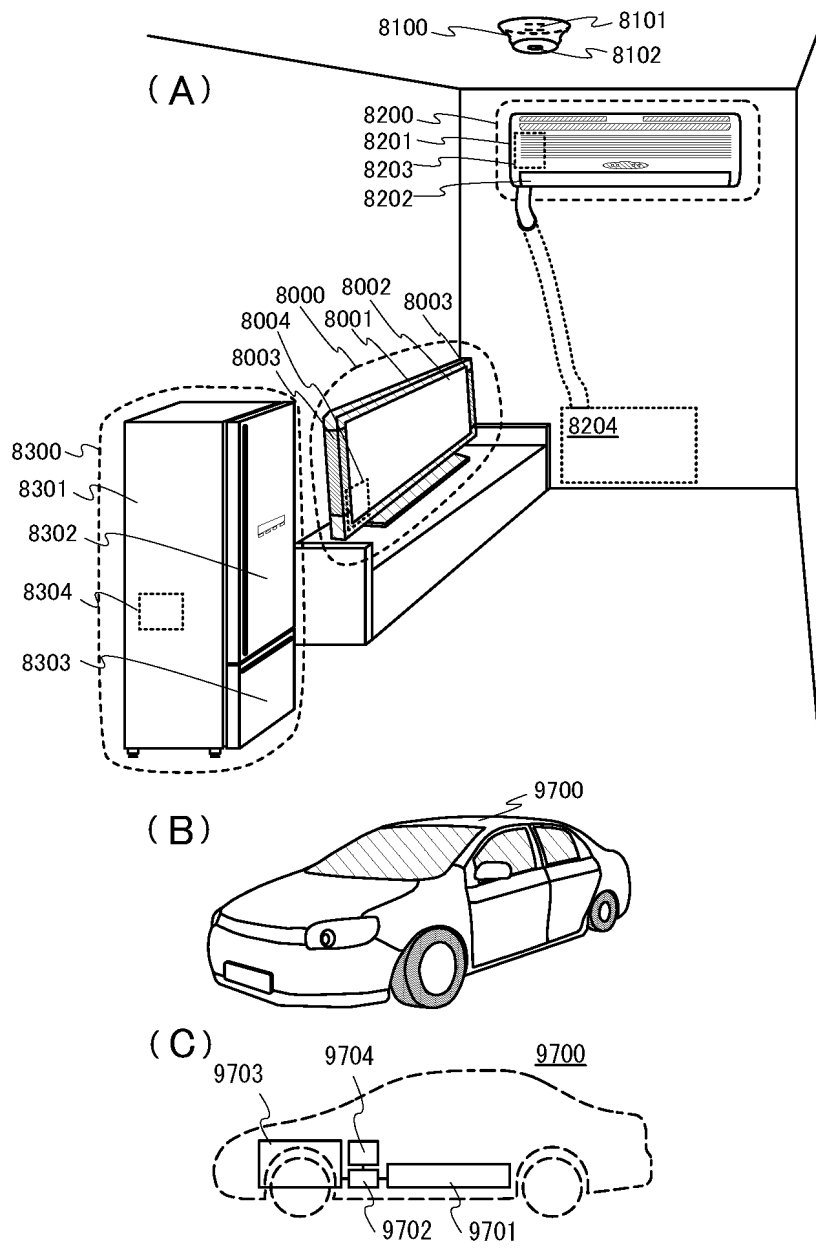
도면28



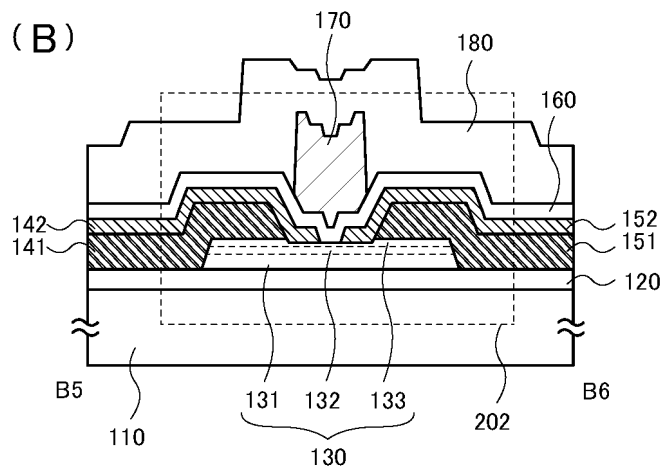
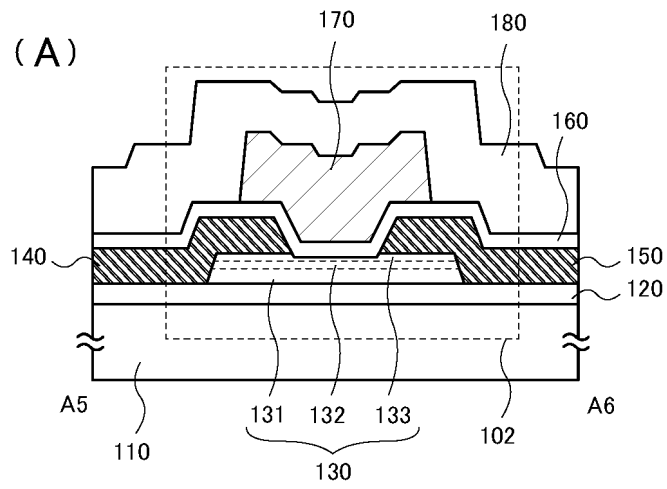
도면29



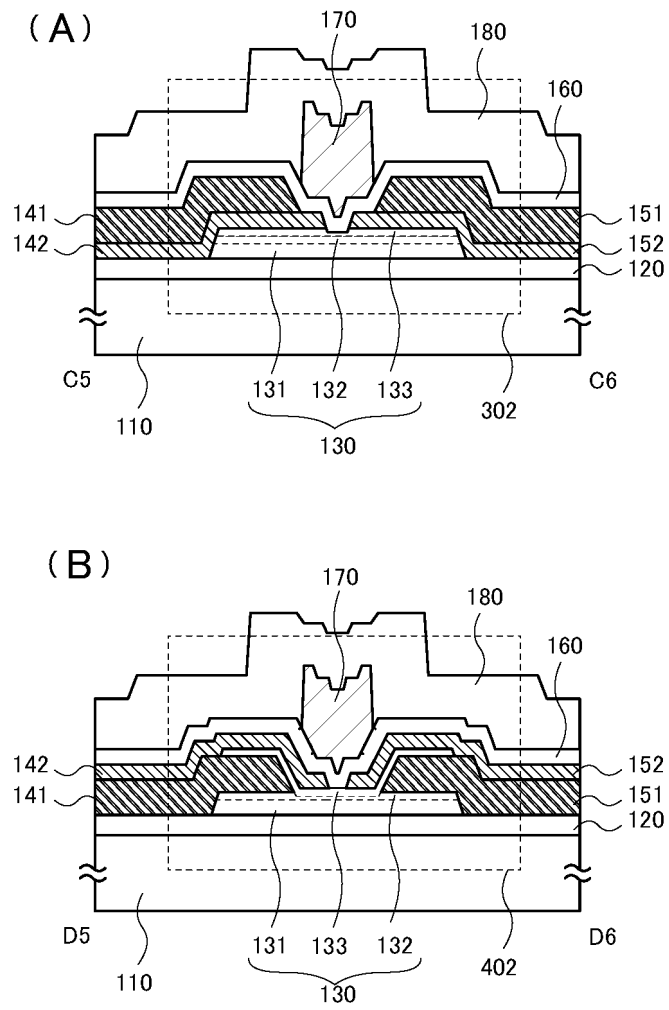
도면30



도면31



도면32



도면33

