

公告本

申請日期：

89.2.2

案號：

89101817

類別：

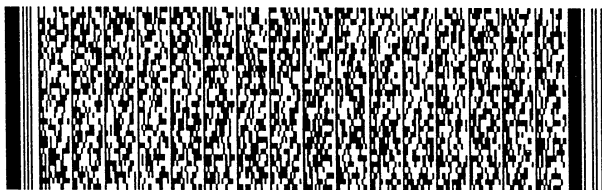
H01L 21/12

(以上各欄由本局填註)

發明專利說明書

478155

一、 發明名稱	中文	橫向薄膜絕緣體上長矽接合面場效電晶體裝置
	英文	LATERAL THIN-FILM SILICON-ON-INSULATOR (SOI) JFET DEVICE
二、 發明人	姓名 (中文)	1. 里歐多瑞 拉塔維克 2. 艾瑞克 彼德 3. 瑞納 尼格
	姓名 (英文)	1. THEODORE LETAVIC 2. ERIK PETERS 3. RENE ZINGG
	國籍	1. 美國 2. 荷蘭 3. 荷蘭
	住、居所	1. 美國紐約州普特維里市貝爾哈洛路25號 2. 荷蘭尼傑根市吉思特威格路2號 3. 荷蘭尼傑根市吉思特威格路2號
三、 申請人	姓名 (名稱) (中文)	1. 荷蘭商皇家飛利浦電子股份有限公司
	姓名 (名稱) (英文)	1. KONINKLIJKE PHILIPS ELECTRONICS N.V.
	國籍	1. 荷蘭
	住、居所 (事務所)	1. 荷蘭愛因和文市格羅尼渥街1號
	代表人 姓名 (中文)	1. J.L. 凡德渥
代表人 姓名 (英文)	1. J.L. VAN DER VEER	



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

美國 US

1998/12/14 09/211,149

無

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明背景

本發明係屬於絕緣體上長矽(SOI)裝置的領域，而且特別相關於適合高電壓應用的絕緣體上長矽(SOI)接合面場效電晶體(JFET)裝置。

製造高電壓功率裝置時，必須在許多方面做取捨和折衷，例如：崩潰電壓、尺寸大小、“導道”電阻，以及製程的簡易性和可靠性。常常是改善了一個參數，像是崩潰電壓，就會導致另一個參數，如“導道”電阻，品質惡化。理想的狀況是，這種裝置要能夠突顯所有方面的優良特性，而且將操作和製造上的缺點減低到最小。

橫向薄膜SOI裝置之一特別優良的型式，包括一半導體基座，該基座上的一嵌入絕緣層，和該嵌入絕緣層上的一橫向金屬氧化物半導體(MOS)裝置。該MOS裝置，像是一金屬氧化物半導體場效電晶體(MOSFET)，包括該嵌入絕緣層上的一半導體表面層，以及具有一第一導電型的一源極區，是形成在相反於第一導電型之第二導電型的一主體區內，一絕緣的閘極，位於該主體區的一通道區之上，並且以一絕緣區與其隔開絕緣，該第一導電型的一橫向漂移區，還有該第一導電型的一汲極區，是以該漂移區與該通道區橫向隔開的。

如圖1所示之型態的裝置，通常是相關於美國專利案號5,246,870(相關於方法)，以及案號5,412,241(相關於裝置)，一般分派為立即應用，並經參考資料在此加入其中。上述專利且顯示於圖1中的裝置，為一具有各種特性

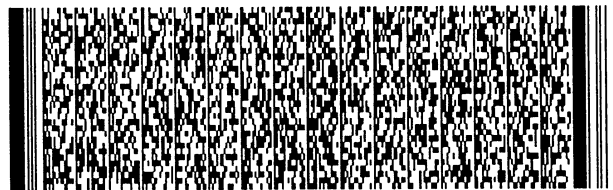
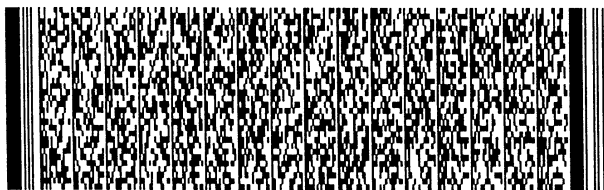


五、發明說明 (2)

之橫向SOI MOSFET裝置，像是具有一線性的橫向摻雜形狀的一SOI薄層，位在該漂移區內和上方場平板，以增強操作功效。正如傳統型式，該裝置是一n通道或NMOS電晶體，具有n型源極和汲極區，且以傳統稱之為NMOS的製程技術製造。一SOI裝置具有等厚度的一線性摻雜之漂移區，揭示於美國專利案號5,300,448，也是一般分派為立即應用，並經參考資料在此加入其中。

還有更進步的技術，用於增強SOI功率裝置之高電壓和高電流的品質參數，其刊載於美國專利應用序號08/998,048，申請登記於1997年12月24日，一般分派為立即應用，並經參考資料在此加入其中。另一個用於改善一SOI裝置品質表現的技術，是形成一整合的裝置，其組合了一種以上之型態的裝置架構，而形成一單一結構。因此，例如：美國專利應用序號09/122,407，申請登記於1998年7月24日，一般分派為立即應用，並經參考資料在此加入其中。該專利應用揭示一SOI裝置，包括了在相同結構中的一橫向DMOS電晶體，和一LIGB電晶體。

所以明顯的是，為了要增強MOS功率半導體裝置的品質表現，應用了很多的技術和逼近方法，以目前持續的努力，要使參數，如；崩潰電壓、尺寸大小、承載電流能力、和製造簡易性等，能夠達到一更接近之最佳組合。然而，所有之前的結構，在裝置的品質表現方面上，雖然提供了各種不同程度的改良，欲沒有一個裝置或是結構，能夠完全把用於高電壓、高電流操作的所有設計的要求，得



五、發明說明 (3)

到一最佳化的組合結果。

儘管上述記論的參考資料，是有關於MOS電晶體裝置，在一些應用方面，還是希望有高電壓SOI JFET裝置結構，能夠展現相似的增強品質。目前存在的SOI JFET，正是如美國專利案號5,130,770和5,432,377所顯示的實例。這些裝置並沒有表現出優良之高電壓、高電流品質的型態，如同先前討論過的SOI MOS裝置的例證。

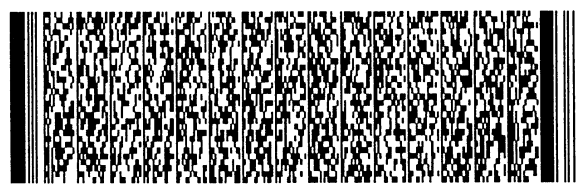
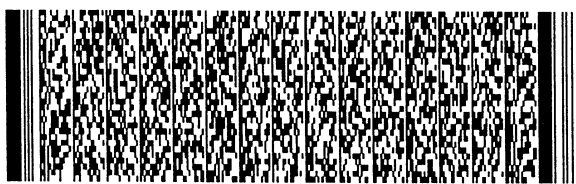
所以，仍然期望有一種SOI JFET裝置結構，是理想的正常"導道"型態，在高電壓、高電流的環境下，能夠有高水準的品質表現。其中操作參數，特別是"導道"電阻和崩潰電壓，將會有更進一步最佳組合。

同時也冀望有一種SOI JFET裝置結構，是能夠以一種非常相似於用來製造已增強SOI MOSFET裝置的製程技術來製造，誠如前面已討論過的。

發明概述

所以，本發明的目的在於提供一種正常"導道"型態的SOI JFET裝置結構，在高電壓、高電流的環境下，能有高品質表現。本發明的另一個目的是提供這樣的電晶體裝置結構，可以增強操作參數，如"導道"電阻和崩潰電壓。而本發明還有更進一步的目的是，提供如此的一電晶體裝置結構，能夠以一種非常類似於製造已改良之高電壓和高電流能力的SOI MOSFET裝置的製程技術來製造。

根據本發明，上述型態的一橫向薄膜SOI JFET裝置結構，可以達到這些目的。上述型態中，在一半導體基座上



五、發明說明 (4)

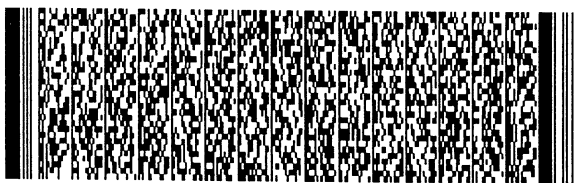
有一嵌入的絕緣層，在該嵌入絕緣層上的第一導電型之一半導體薄層內，有一JFET裝置，同時有該第一導電型之一控制區，相反於第一導電型的第二導電型之一控制區，該源極區是和源極區橫向分隔開，相鄰於該控制區的第一導電型之一橫向漂移區，及第一導電型之汲極區，該汲極區係以該橫向漂移區於第一橫向方向與該控制區橫向分隔。於該橫向漂移區的至少一主要部份上，有一個或一個以上的場平板電極，該場平板電極是以一絕緣區與該漂移區分隔絕緣，同時該控制區包括了控制區段落，彼此在垂直於第一橫向方向的第二橫向方向上，以半導體薄層的部份，互相分隔開來。

本發明之一較佳具體實施例中，該橫向漂移區可以有一線性階進式的摻雜形狀，以及在該橫向漂移區上方，可以有一或兩個場平板電極。

本發明的另一較佳具體實施例中，該場平板電極可連接到第二導電型的控制區。

根據本發明的橫向薄膜SOI JFET裝置，於理想品質特性的組合，提供了相當大的改進，使得該裝置適合於高電壓、高電流的環境下操作，像是低"導道"電阻和高崩潰電壓，能在一正常"導道"JFET裝置內完成。而該裝置可用一種非常類似於製造已增強SOI MOSFET裝置的製程技術來製造。

有關本發明已提及和其他方面的部份，於參考後面要敘述的具體實施例，將會清楚明白地呈現出來。



五、發明說明 (5)

圖示簡述

參考下列的說明，將可以更完整地了解本發明，也可參照所附圖示閱讀本發明，其中附圖有：

圖1是根據本發明之一較佳具體實施例中，一橫向薄膜SOI JFET裝置之簡化平面圖；

圖2是從圖1中沿著直線2-2截取該橫向薄膜SOI JFET裝置，所得之簡化縱向截面圖；以及

圖3是從圖1中沿著直線3-3截取的一簡化縱向截面圖。

在圖示中，遇有相同導電型的半導體區，在縱向截面視野圖中，通常是以相同方向之斜線顯示。同時也必須注意這些附圖並沒有縮小尺寸的。

較佳具體實施例之敘述

在圖2由圖1的直線2-2截取之簡化縱向截面視野圖中，一橫向薄膜SOI JFET電晶體20，包括一半導體基座22，一嵌入絕緣層24，和為一第一導電型的一半導體表面層26，且該裝置於其中製造。該JFET電晶體包括該第一導電型的一源極區28，一第二導電型的一控制區30，為相反於導電型且有第二導電型的一更高濃度摻雜之控制區31，相鄰於該控制區30的一邊緣30A的該第一導電型之一橫向漂移區32，以及也是第一導電型的一汲極區34，還有以參考數字36所指，且於後有詳細敘述的一場平板電極結構，其位於該結構上，以氧化物絕緣區38和下層的半導體表面層26分隔絕緣。

該場平板電極結構36，可以一多晶矽部分36A組成，其



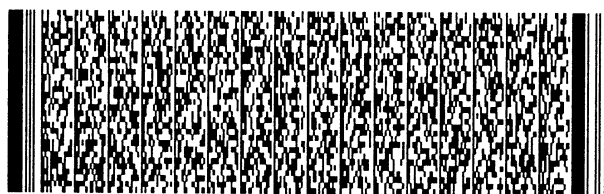
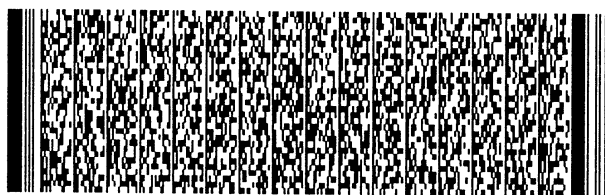
五、發明說明 (6)

延伸至該漂移區的一部份上，且連接到一金屬化層36B，該金屬化層是連接該多晶矽場平板電極部份38A，到該控制接觸區31，還有一額外部份36C，是在該汲極區34的方向延伸越過36A，以形成該場平板電極結構36的一部份。該部份是在場平板電極結構36本身的主體內，延伸至該橫向漂移區32的一主要部份。或者該多晶矽部份36A可以向右延伸遠一些，而上方的金屬化層36B，可終止於剛好超過接觸到36A之處。因此，在消除了圖2中的部份36C的實例中，也僅使用了一個場平板電極(36A)。

在圖中顯示的裝置是自動接頭，其中絕緣區40程42為典型的二氧化矽，位在裝置20的任一側面，且在橫向方向上，該絕緣區用來將該裝置與相鄰的導電結構隔開絕緣。最後由傳統的金屬化層44和46，分別提而接觸到源極和汲極區(28, 34)。

圖3顯示了裝置20沿著圖1中直線3-3所截取的簡化之縱向截面圖。因為圖3所顯示之裝置的大部份，和圖2中顯示裝置的對應部份是相同的，所以這些部份就不再做詳細的描述了。不同於圖2主要是在於，圖3所選取的縱向截面圖，是裝置20中沒有包括圖2之控制區30，或控制接觸區31的部份。所以從源極區28，經過該半導體表面層26和該漂移區32，到汲極區34，形成第一導電型(通常是n型)的一連續導電導道。如此一來，在沒有任何外加電壓的作用下，該JFET裝置20就像一正常的"導道"裝置運作。

本發明的範圍內，用於本發明的SOI JFET電晶體結構，

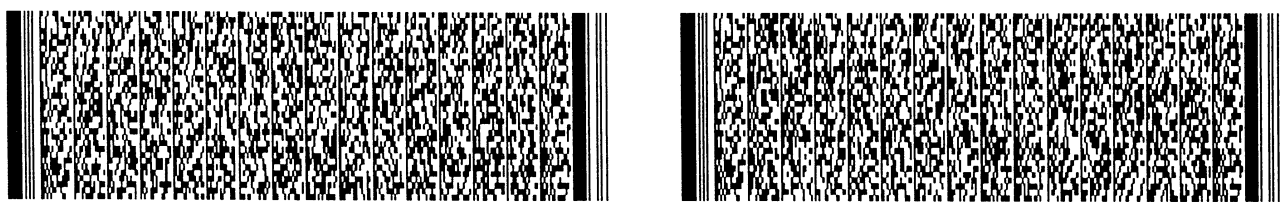


五、發明說明 (7)

可以有各種的加強品質特性，不論是單一或組合的，像是一階梯式氧化物區38A，38B，一層薄的橫向漂移區部份32，以及在漂移區32中的一線性階進式摻雜形狀，都是在前述之先前技藝的細節，或者是其他期望的加強品質特性，沒有偏離本發明的精神或範圍。選擇性地，也可以使用一等厚度的橫向漂移區，如同在美國專利案號5,300,448所揭示。

需要了解的是，在附圖中所顯示簡化且具代表性的裝置，描述了特別的裝置結構，但是在裝置的幾何形狀和架構上，廣泛且各樣的變化仍可應用於本發明範圍內。摻雜程度和範圍大小雖是傳統式，但也可以由前面詳述之先前技藝的代表數值來改變。

圖1的簡化之代表平面圖，展現的是該橫向SOI JFET裝置的主要元件之俯視圖。其表現方式更可以清楚地呈現，圖2及圖3縱向截面圖中彼此的相互關係。因為圖1中所有的結構元件，之前都描述過了，為連接圖2和圖3的敘述，圖1將用來表現圖2及圖3中結構元件間的關係，但沒有對這些元件作更詳細的描述。圖1的簡化平面圖中，半導體表面層26包括位於其左邊的源極28，和其右邊的汲極區34，具有橫向漂移區32，延伸到該裝置右邊的汲極區。可以看到是，該控制區30是由許多的控制區段落30, 30', 30"等所組成的，在圖1中的縱方向上彼此間隔開來，而且控制區的每一段落，以一相對應的控制接觸區31, 31'等等位於其中。因為在垂直方向上，圖1中控制區段落是以空間



五、發明說明 (8)

隔開。裝置的部份，像是沿著直線3-3的部份，是由完全相同導電型態材質組成的，也因此为零偏壓的狀態下具導電性。該裝置的其他部份，像是圖2中穿越直線2-2的部份，包括相反導電型的一控制區段落30，在零偏壓狀態是非導電性的。藉以適當的外加電壓於控制區段落，還有場平板電極和其餘的結構，正常的"導道"裝置20，能夠有效地切換至"斷路"，後面會有更詳細的敘述。必須了解的是，雖然在圖1中只顯示出3個控制區段落，但本發明並不受限於此情形之段落數目。

本發明的正常"導道"SOI JFET裝置，可使用混合模組耦合消耗區，來挾斷在正常"導道"結構中，從源極28到汲極34的導電路徑，就可以切換成"斷路"。根據本發明中的結構中，以挾斷位於空間分離的控制區段落30之間區域，所造成的橫向消耗組合了來自MOS電容的垂直消耗，以達到具有挾斷特性的裝置，且為裝置佈局之一功能。因此，如圖1中所見，在p-n接面處稍微地施加電壓，而達到橫向消耗效應，該p-n接面是在第一導電型之半導體表面層26，和第二導電型之控制區段落30之間形成的。此外，從MOS電容得到的縱向消耗，是在於場平板結構36、絕緣區38、和半導體表面層26之間形成，以及在半導體表面層26、嵌入絕緣層24、和半導體基座22之間形成的。以MOS電容形成的垂直消耗區，將相鄰於(是在圖2中右邊的)前述之p-n接面所形成的橫向消耗。該p-n接面位於控制區段落和該半導體薄層之間，同時這些和種消耗區能夠交互作用，以

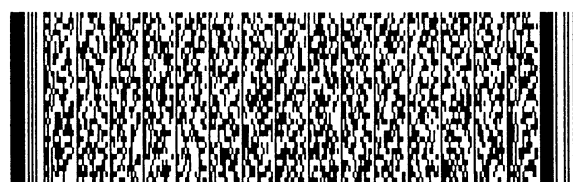


五、發明說明 (9)

完全地挾斷裝置。重要地，橫向挾斷是控制區段落30之幾何形狀和間隔空間的一函數，而縱向挾斷是半導體26中摻雜程度，以及絕緣層38和26之厚度的一函數。因此，提供一混合消耗模組，其中混合了接面場效行為和MOS場效行為，以有效地挾斷正常的"導道"裝置。更甚者，本發明所提供的重要優點，是能夠建立挾斷特性為可控制參數，例如：裝置的幾何形狀和摻雜程度，的一函數，以改善裝置操作參數的控制，和增加製造的簡易性。

最後要認識的是，根據本發明的裝置可以先前技藝之技巧來製造，像是前述之先前技藝，包括但不限制以執行及/或擴散技術，來形成控制區段落30，和更高濃度摻雜的控制接觸區31，正如圖1和圖2中所示。還有在裝置的幾何形狀、大小、摻雜程度、及架構上之廣泛且多樣的變化，均可使用於本發明的範圍內，就如那些技藝中的普通技巧也是很明顯的。

雖然從參考的幾個較佳具體實施例中，已經特別地呈現並敘述本發明。但要了解的是，藉由本技藝中的技巧，於型式和細節上可以做各種改變，但沒有離開本發明的精神或範圍內。



圖式簡單說明

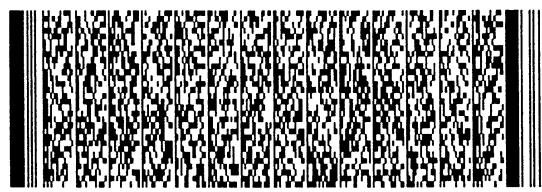


四、中文發明摘要 (發明之名稱：橫向薄膜絕緣體上長矽接合面場效電晶體裝置)

一橫向薄膜絕緣體上長矽(SOI)接合面場效電晶體(JFET)裝置，包括一半導體基座，該基座上的一嵌入絕緣層，以及位於該嵌入絕緣層上，一第一導電型之一半導體薄層內的一JFET裝置。該裝置包括該第一導電型的一源極區，一第二導電型的一控制區，其與該源極區，還有相鄰於該控制區的該第一導電型之一橫向漂移區為橫向分隔。另外，該第一導電型的一汲極區，是以該橫向漂移區，與在第一橫向方向上的該控制區橫向分隔，同時至少有一場平板電極，位於該橫向漂移區之一個以上的主要部份上，且以一絕緣區與該漂移區絕緣隔開。該控制區包括控制區段落，在垂直於第一橫向方向的第二橫向方向上，以該半導體薄層的部份，彼此空間相隔。因此便提供了一正常"

英文發明摘要 (發明之名稱：LATERAL THIN-FILM SILICON-ON-INSULATOR (SOI) JFET DEVICE)

A lateral thin-film Silicon-On-Insulator (SOI) JFET device includes a semiconductor substrate, a buried insulating on the substrate, and a JFET device in a thin semiconductor layer of a first conductivity type on the buried insulating layer. The device includes a source region of the first conductivity type, a control region of a second conductivity type which is laterally spaced apart from the source region and a lateral drift region of the first conductivity type adjacent to the

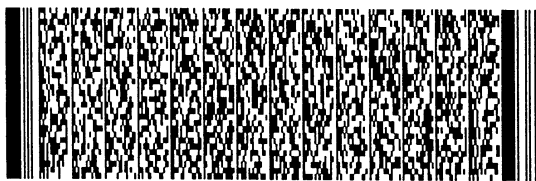


四、中文發明摘要 (發明之名稱：橫向薄膜絕緣體上長矽接合面場效電晶體裝置)

導通"的JFET裝置。

英文發明摘要 (發明之名稱：LATERAL THIN-FILM SILICON-ON-INSULATOR (SOI) JFET DEVICE)

control region. A drain region of the first conductivity type is provided laterally spaced apart from the control region in a first lateral direction by the lateral drift region, and at least one field plate electrode is provided over at least a major portion of the lateral drift region and is insulated from the drift region by an insulation region. The control region includes control region segments which are spaced apart in a second lateral direction perpendicular to the



四、中文發明摘要 (發明之名稱：橫向薄膜絕緣體上長矽接合面場效電晶體裝置)

英文發明摘要 (發明之名稱：LATERAL THIN-FILM SILICON-ON-INSULATOR (SOI) JFET DEVICE)

first lateral direction by portions of the thin semiconductor layer, thus providing a normally "on" JFET device.



六、申請專利範圍

1. 一種橫向薄膜絕緣體上長矽(SOI)接合面場效電晶體(JFET)裝置(20)，包括一半導體基座(22)，該基座上的一嵌入絕緣層(24)，和一JFET裝置(20)，其位於一第一導電型的一半導體薄層(26)內，該半導體薄層是在該嵌入絕緣層上，且具有該第一導電型之一源極區(28)，一第二導電型之一控制區(30)，是相反於第一導電型，並與該源極區(28)以橫向空間分隔，相鄰於該控制區(30)之第一導電型的一橫向漂移區(32)，該第一導電型之一汲極區(34)，以該橫向漂移區(32)，在一第一橫向方向上，與該控制區(30)橫向空間分隔，以及在該橫向漂移區(32)之至少一主要部份上，有至少一個場平板電極(36)，該場平板電極(36)是以一絕緣區(38)，與該漂移區絕緣隔間，還有該控制區(30)包括控制區段落(30, 30', 30'')，在與第一橫向方向垂直的第二橫向方向上，以該半導體薄層(26)的部份，相互空間分隔。

2. 如申請專利範圍第1項之橫向薄膜絕緣體上長矽(SOI)JFET裝置，其中該橫向漂移區(32)有一線性階進式的摻雜形狀。

3. 如申請專利範圍第1項之橫向薄膜絕緣體上長矽(SOI)JFET裝置，其中在該橫向漂移區(32)之上，提供唯一的場平板電極(36A)。

4. 如申請專利範圍第1項之橫向薄膜絕緣體上長矽(SOI)JFET裝置，其中在該橫向漂移區(32)之上，僅提供了兩個場平板電極(36A, 36C)。



六、申請專利範圍

5. 如申請專利範圍第1項之橫向薄膜絕緣體上長矽(SOI) JFET裝置，其中該至少一個場平板電極(36)是連接到該控制區(30)。

6. 如申請專利範圍第5項之橫向薄膜絕緣體上長矽(SOI) JFET裝置，其中該至少一個場平板電極(36)，係以一控制接觸區(31)連接到該控制區(30)。



89101817

圖式

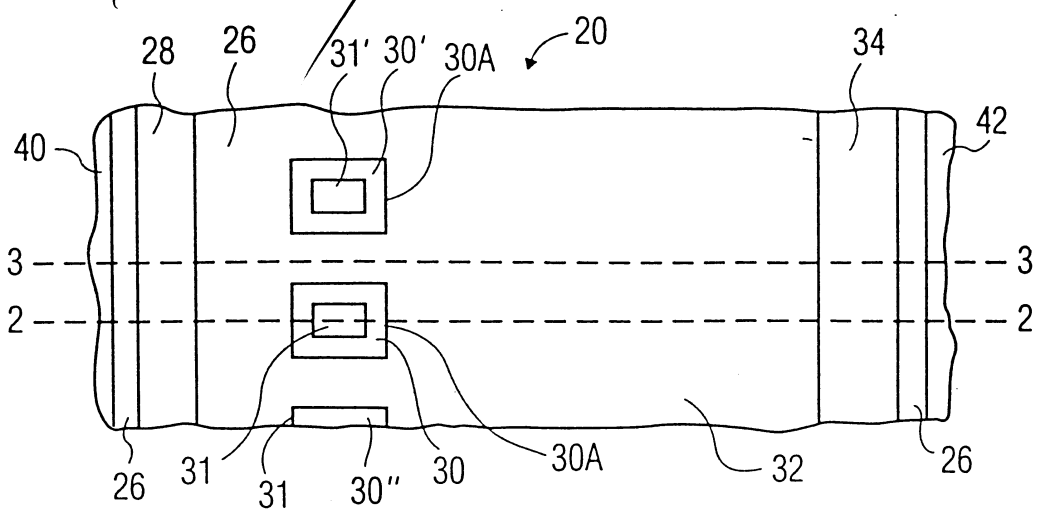


圖1

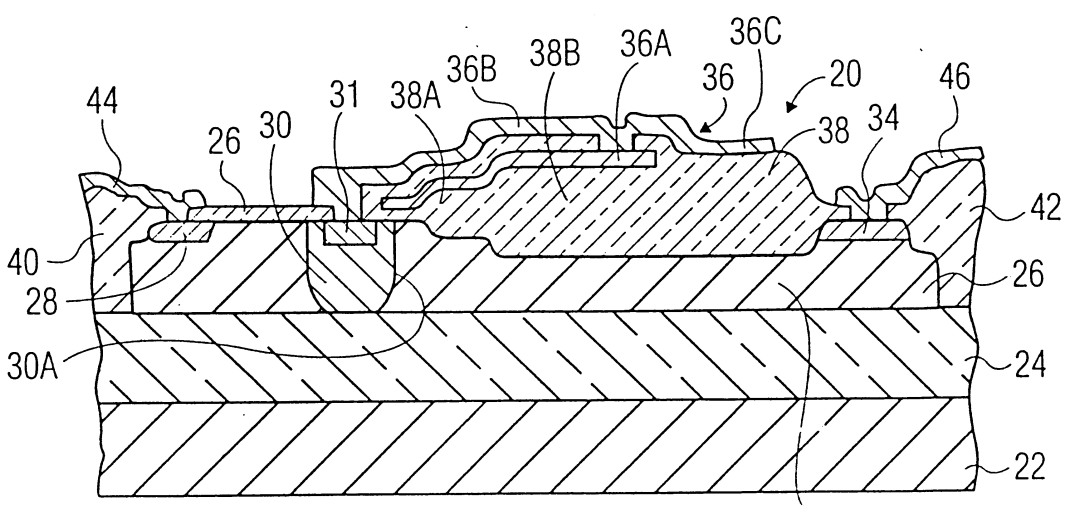


圖2

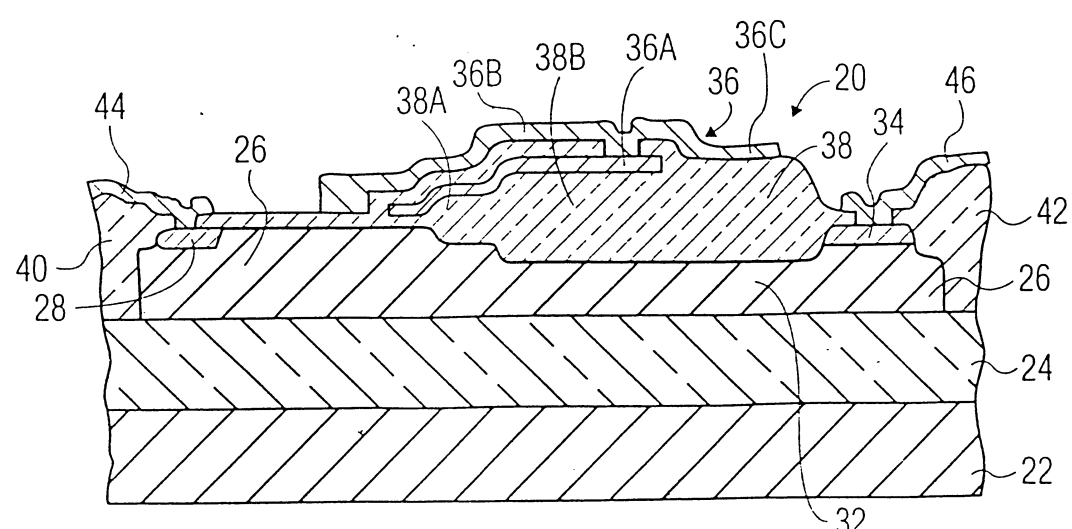


圖3