



(12) 发明专利

(10) 授权公告号 CN 102576737 B

(45) 授权公告日 2015. 10. 21

(21) 申请号 201080046496. 6

H01L 21/20(2006. 01)

(22) 申请日 2010. 09. 09

H01L 21/336(2006. 01)

(30) 优先权数据

2009-235604 2009. 10. 09 JP

(56) 对比文件

CN 1934712 A , 2007. 03. 21,

US 2007287221 A1 , 2007. 12. 13,

WO 2009093722 A1 , 2009. 07. 30,

(85) PCT国际申请进入国家阶段日

2012. 04. 09

审查员 林昭春

(86) PCT国际申请的申请数据

PCT/JP2010/065990 2010. 09. 09

(87) PCT国际申请的公布数据

W02011/043170 EN 2011. 04. 14

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 山崎舜平 高桥圭 伊藤良明

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 柯广华 朱海煜

(51) Int. Cl.

H01L 29/786(2006. 01)

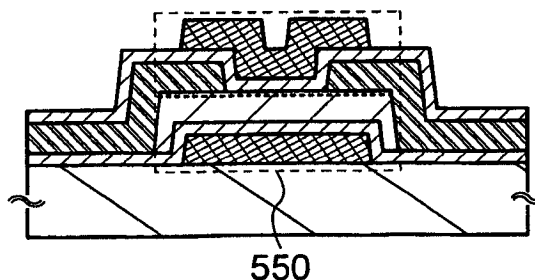
权利要求书2页 说明书18页 附图21页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

一个目的是提供具有新生产性半导体材料和新结构的半导体器件。半导体器件包括:衬底之上的第一导电层;覆盖第一导电层的第一绝缘层;第一绝缘层之上与第一导电层的一部分重叠并且在表面部分具有结晶区的氧化物半导体层;形成为与氧化物半导体层相接触的第二和第三导电层;覆盖氧化物半导体层和第二、第三导电层的绝缘层;以及绝缘层之上与氧化物半导体层的一部分重叠的第四导电层。



1. 一种半导体器件,包括:

衬底之上的第一导电层;

所述第一导电层之上的第一绝缘层;

所述第一绝缘层之上的并且与所述第一导电层重叠的氧化物半导体层,所述氧化物半导体层包括沟道区,其中,所述第一导电层与所述沟道区重叠;

形成为与所述氧化物半导体层相接触的第二导电层和第三导电层;

所述氧化物半导体层、所述第二导电层和所述第三导电层之上的第二绝缘层;以及

所述第二绝缘层之上的并且与所述沟道区重叠的第四导电层,

其中所述氧化物半导体层包括第一区域和第二区域,

其中所述第一区域比所述第二区域更接近所述第二绝缘层,

其中所述第一区域包括晶体,并且所述晶体的 c 轴实质上垂直于所述第二绝缘层,

其中所述第二区域具有微晶结构,以及

其中所述第一区域中包括的所有金属元素包括在所述第二区域中,以及所述第二区域中包括的所有金属元素包括在所述第一区域中。

2. 一种用于制造半导体器件的方法,包括下列步骤:

在衬底之上形成第一导电层;

形成覆盖所述第一导电层的第一绝缘层;

在所述第一绝缘层之上形成与所述第一导电层重叠的氧化物半导体层;

加热所述氧化物半导体层以增加所述氧化物半导体层的结晶度;

形成与所述氧化物半导体层相接触的第二导电层和第三导电层;

在所述氧化物半导体层以及所述第二和第三导电层之上形成第二绝缘层;以及

在所述第二绝缘层之上形成与所述氧化物半导体层的一部分重叠的第四导电层,

其中所述第四导电层与所述第二导电层和所述第三导电层重叠,

其中所述氧化物半导体层包括第一区域和第二区域,所述第一区域位于所述第二区域之上,

其中所述第一区域包括晶体,并且所述晶体的 c 轴实质上垂直于所述第二绝缘层,

其中所述第二区域具有微晶结构,以及

其中所述第一区域中包括的所有金属元素包括在所述第二区域中,并且所述第二区域中包括的所有金属元素包括在所述第一区域中。

3. 如权利要求 2 所述的用于制造半导体器件的方法,其中,所述加热的温度为 500℃或更高。

4. 如权利要求 2 所述的用于制造半导体器件的方法,其中,所述氧化物半导体层通过借助于 In-Ga-Zn-O 基的靶的溅射来形成。

5. 一种半导体器件,包括:

衬底之上的第一导电层;

所述第一导电层之上的第一绝缘层;

所述第一绝缘层之上的并且与所述第一导电层重叠的氧化物半导体层,所述氧化物半导体层包括沟道区,其中,所述第一导电层与所述沟道区重叠;

形成为与所述氧化物半导体层相接触的第二导电层和第三导电层;

在所述氧化物半导体层、所述第二导电层和所述第三导电层之上的第二绝缘层；以及所述第二绝缘层之上的并且与所述沟道区重叠的第四导电层，

其中所述氧化物半导体层包括第一区域和第二区域，

其中所述第一区域包括晶体，并且所述晶体的 c 轴实质上垂直于所述第二绝缘层，

其中所述第二区域具有微晶结构，以及

其中所述第一区域中包括的所有金属元素包括在所述第二区域中，并且所述第二区域中包括的所有金属元素包括在所述第一区域中。

6. 如权利要求 5 所述的半导体器件，其中，所述第二导电层和所述第三导电层中的一个在所述氧化物半导体层的上表面或下表面上电连接到所述氧化物半导体层。

7. 如权利要求 1 或 5 的任一个所述的半导体器件，其中，所述第二导电层、所述第三导电层和所述第四导电层分别用作源电极和漏电极中的一个、所述源电极和所述漏电极中的另一个以及栅电极。

8. 一种半导体器件，包括：

衬底之上的第一栅电极；

所述第一栅电极之上的第一绝缘层；

所述第一绝缘层之上的并且与所述第一栅电极重叠的氧化物半导体层，所述氧化物半导体层包含铟、锌和氧，其中所述氧化物半导体层包括沟道形成区；

所述氧化物半导体层之上的第二绝缘层；以及

所述第二绝缘层之上的并且与所述氧化物半导体层重叠的第二栅电极，

其中所述氧化物半导体层包括第一区域和第二区域，

其中所述第一区域比所述第二区域更接近所述第二绝缘层，

其中所述第一区域包括晶体，并且所述晶体的 c 轴实质上垂直于所述第二绝缘层，

其中所述第二区域具有微晶结构，以及

其中所述第一区域中包括的所有金属元素包括在所述第二区域中，以及所述第二区域中包括的所有金属元素包括在所述第一区域中。

9. 如权利要求 8 所述的半导体器件，还包括一对导电层，该一对导电层在所述氧化物半导体层的上表面或下表面上电连接到所述氧化物半导体层。

10. 如权利要求 1、5 和 8 中的任一个所述的半导体器件，其中，所述氧化物半导体层包含 In-Ga-Zn-O 基的氧化物半导体材料。

半导体器件及其制造方法

技术领域

[0001] 所公开的本发明的技术领域涉及半导体器件及其制造方法。

背景技术

[0002] 存在大量金属氧化物,并且这类材料氧化物用于各种应用。例如,氧化铟是众所周知的材料,并且用作液晶显示器等等中所需的透明电极的材料。

[0003] 一些金属氧化物具有半导体特性。具有半导体特性的金属氧化物的示例包括氧化铟、氧化锡、氧化铟、氧化锌等。其中各使用这种金属氧化物来形成沟道形成区的薄膜晶体管是已知的(例如参见专利文献 1 至 4、非专利文献 1 等)。

[0004] 此外,不仅单成分氧化物而且多成分氧化物被认为是金属氧化物。例如,具有同源系列的 $\text{InGaO}_3(\text{ZnO})_m$ (m 为自然数)被认为是包含 In、Ga 和 Zn 的多成分氧化物(例如参见非专利文献 2 至 4 等)。

[0005] 此外还证实,包括这种 In-Ga-Zn 基氧化物的氧化物半导体可适用于薄膜晶体管的沟道形成区(例如参见专利文献 5、非专利文献 5 和 6 等)。

[0006] [参考文献]

[0007] [专利文献]

[0008] [专利文献 1] 日本已发表专利申请 No. S60-198861

[0009] [专利文献 2] 日本已发表专利申请 No. H8-264794

[0010] [专利文献 3] PCT 国际申请 No. H11-505377 的日文译文

[0011] [专利文献 4] 日本已发表专利申请 No. 2000-150900

[0012] [专利文献 5] 日本已发表专利申请 No. 2004-103957

[0013] [非专利文献]

[0014] [非专利文献 1] M. W. Prins、K. O. Grosse-Holz、G. Muller、J. F. M. Cillessen、J. B. Giesbers、R. P. Weening 和 R. M. Wolf, “A ferroelectric transparent thin-film transistor”, Appl. Phys. Lett., 1996 年 6 月 17 日, Vol. 68 第 3650-3652 页

[0015] [非专利文献 2] M. Nakamura、N. Kimizuka 和 T. Mohri, “The Phase Relations in the In_2O_3 - Ga_2ZnO_4 -ZnO System at 1350°C”, J. Solid State Chem., 1991 年, Vol. 93, 第 298-315 页

[0016] [非专利文献 3] N. Kimizuka、M. Isobe 和 M. Nakamura, “Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m = 3, 4, 5$), $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m = 3, 4, 5$), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m = 7, 8, 9, 16$) in the In_2O_3 - ZnGa_2O_4 -ZnO System”, J. Solid State Chem., 1995 年, Vol. 116, 第 170-178 页

[0017] [非专利文献 4] M. Nakamura、N. Kimizuka、T. Mohri 和 M. Isobe, “Syntheses and crystal structures of new homologous compounds, indium iron zinc oxides ($\text{InFeO}_3(\text{ZnO})_m$ (m : natural number) and related compound”, KOTAIBUTSURI (SOLID STATE PHYSICS), 1993 年, Vol. 28, No. 5 第 317-327 页

[0018] [非专利文献 5]K. Nomura、H. Ohta、K. Ueda、T. Kamiya、M. Hirano 和 H. Hosono, “Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor”, SCIENCE, 2003 年, Vol. 300, 第 1269-1272 页

[0019] [非专利文献 6]K. Nomura、H. Ohta、A. Takagi、T. Kamiya、M. Hirano 和 H. Hosono, “Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors”, NATURE, 2004 年 Vol. 432, 第 488-492 页

发明内容

[0020] 但是,在实际条件下,当使用这类氧化物半导体时,尚未得到半导体器件的充分特性。

[0021] 鉴于上述问题,所公开的本发明的一个实施例的目的是提供具有新半导体材料和新结构的半导体器件。备选地,所公开的本发明的一个实施例的目的是提供具有新半导体材料和新结构的高功率半导体器件。

[0022] 所公开的本发明的一个实施例是具有新结构的半导体器件。在半导体器件中使用在表面部分具有结晶区 (crystal region) 的氧化物半导体层。半导体器件采用两个导电层来控制电流。

[0023] 所公开的本发明的一个实施例是具有新结构的半导体器件。通过在半导体器件中在表面部分具有结晶区的氧化物半导体层,来改进击穿电压 (例如漏极击穿电压)。

[0024] 所公开的本发明的一个实施例是用于制造半导体器件的方法。

[0025] 例如,本发明的一个实施例是半导体器件,其中包括:衬底之上的第一导电层;覆盖第一导电层的第一绝缘层;第一绝缘层之上与第一导电层的一部分重叠并且在表面部分具有结晶区的氧化物半导体层;形成为与氧化物半导体层相接触的第二和第三导电层;覆盖氧化物半导体层和第二、第三导电层的绝缘层;以及绝缘层之上与氧化物半导体层的一部分重叠的第四导电层。

[0026] 在上述半导体器件中,氧化物半导体层中除了结晶区之外的区域优选地是非晶的 (amorphous)。此外,氧化物半导体层中的结晶区优选地包含 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶体。此外,氧化物半导体层优选地包含 In-Ga-Zn-O 基氧化物半导体材料。

[0027] 在上述半导体器件中,第二导电层、第三导电层和第四导电层能够分别用作源电极和漏电极中的一个、源电极和漏电极中的另一个以及栅电极。另外,第一导电层优选地具有控制氧化物半导体层中的电场的功能。此外,第二导电层或第三导电层优选地在氧化物半导体层的上表面或下表面上电连接到氧化物半导体层。

[0028] 本发明的一个实施例是用于制造半导体器件的方法,包括下列步骤:在衬底之上形成第一导电层;形成覆盖第一导电层的第一绝缘层;在第一绝缘层之上形成与第一导电层的一部分重叠的氧化物半导体层;通过氧化物半导体层的热处理在氧化物半导体层的上表面部分中形成结晶区;形成与氧化物半导体层相接触的第二和第三导电层;形成覆盖氧化物半导体层和第二、第三导电层的绝缘层;以及在绝缘层之上形成与氧化物半导体层的一部分重叠的第四导电层。

[0029] 在上述方法中,结晶区优选地通过热处理来形成,使得氧化物半导体层的温度为 500°C 或更高。此外,氧化物半导体层优选地通过借助于 In-Ga-Zn-O 基的靶的溅射来形成。

[0030] 注意,本说明书等等中的术语“之上”不一定表示对象直接在另一个对象上。例如,当描述“对象在衬底之上”时,该对象在相对于衬底表面的上部。也就是说,当使用术语“之上”时,在一些情况下,另一个对象设置在对象之间。

[0031] 在按照所公开的本发明的一个实施例的半导体器件中,采用一结构,其中除了用作所谓的栅电极的导电层之外,导电层还在氧化物半导体层之下形成。

[0032] 通过这种结构,能够阻止外部电场,使得外部电场对半导体器件的不利影响能够降低。因此,能够防止因氧化物半导体层的衬底侧上的电荷的积聚以及阈值电压的波动而引起的寄生沟道的生成。

[0033] 此外,借助于在表面部分具有结晶区的氧化物半导体层,能够改进半导体器件的操作特性。

[0034] 如上所述,按照所公开的本发明的一个实施例,通过氧化物半导体层的表面部分中的结晶区来改进半导体器件的操作特性,并且通过导电层的作用来实现更稳定的电路操作。此外,由于氧化物半导体层的生产率较高,所以能够以低成本来提供具有优良特性的半导体器件。

[0035] 此外,按照所公开的本发明的一个实施例,提供用于制造半导体器件的有利方法。

附图说明

[0036] 在附图中:

[0037] 图 1A 和图 1B 是示出半导体器件的结构截面图和平面图;

[0038] 图 2A 至图 2E 是示出用于制造半导体器件的方法的截面图;

[0039] 图 3A 和图 3B 是示出半导体器件的结构截面图和平面图;

[0040] 图 4A 至图 4E 是示出用于制造半导体器件的方法的截面图;

[0041] 图 5A 和图 5B 是示出半导体器件的结构截面图和平面图;

[0042] 图 6A 至图 6D 是示出用于制造半导体器件的方法的截面图;

[0043] 图 7A 至图 7C 是示出用于制造半导体器件的方法的截面图;

[0044] 图 8A 和图 8B 是示出用于制造半导体器件的方法的截面图;

[0045] 图 9 示出 DC-DC 转换器的结构的示例;

[0046] 图 10A 至图 10C 示出 DC-DC 转换器中包含的电路的输出波形的示例;

[0047] 图 11 示出配置有逆变器的太阳能光伏系统的示例;

[0048] 图 12A 至图 12F 是示出用于制造半导体器件的方法的截面图;

[0049] 图 13A 至图 13E 是示出用于制造半导体器件的方法的截面图;

[0050] 图 14A 至图 14F 是示出用于制造半导体器件的方法的截面图;

[0051] 图 15A 至图 15E 是示出用于制造半导体器件的方法的截面图;

[0052] 图 16A 至图 16C 是示出用于制造半导体器件的方法的截面图;

[0053] 图 17A 和图 17B 是示出用于制造半导体器件的方法的截面图;

[0054] 图 18A 至图 18C 是示出用于制造半导体器件的方法的截面图;以及

[0055] 图 19A 和图 19B 是示出用于制造半导体器件的方法的截面图。

具体实施方式

[0056] 下面将参照附图详细描述实施例。注意,本发明并不局限于实施例的以下描述。本领域的技术人员将易于意识到,模式和细节能够按照各种方式来改变,而没有背离本说明书等中公开的本发明的精神。不同实施例的结构能够适当地相互结合。注意,在以下所述的本发明的结构中,相同部分或者具有相似功能的部分由相同的参考标号来表示,并且不再重复其描述。

[0057] (实施例 1)

[0058] 在这个实施例中,参照图 1A 和图 1B 以及图 2A 至图 2E 来描述半导体器件及其制造方法的示例。注意,在以下描述中,功率 MOS(MIS)FET 用作半导体器件。

[0059] < 半导体器件概述 >

[0060] 图 1A 和图 1B 示出半导体器件的结构示例。图 1A 对应于截面图,以及图 1B 对应于平面图。此外,图 1A 对应于沿图 1B 的线条 A-B 所截取的截面。注意,在平面图中,为了简洁起见,省略了一部分组件。

[0061] 图 1A 和图 1B 所示的半导体器件包括衬底 100、用作源电极和漏电极中的一个的导电层 102、氧化物半导体层 104、氧化物半导体层 104 中的结晶区 106、用作源电极和漏电极中的另一个的导电层 108、用作栅绝缘层的绝缘层 110、电连接到导电层 108 的导电层 112、电连接到导电层 102 的导电层 114、用作栅电极的导电层 116 等。

[0062] 在这里,氧化物半导体层 104 包含作为半导体其能隙比较大的氧化物半导体材料。当其能隙较大的氧化物半导体材料用于半导体器件时,半导体器件的击穿电压(例如漏极击穿电压)得到改进。

[0063] 结晶区 106 对应于氧化物半导体层 104 的表面部分(上层),并且是其中氧化物半导体层 104 的一部分被晶化的区域。通过设置结晶区 106,半导体器件的击穿电压(例如漏极击穿电压)能够进一步得到改进。注意,氧化物半导体层 104 中除了结晶区 106 之外的区域优选地是非晶的;但是,这类区域可在非晶区域中包含晶粒,或者可以是微晶的。

[0064] 在平面图中,用作栅电极的导电层 116 设置在用作源电极和漏电极中的另一个的导电层 108 以及电连接到导电层 108 的导电层 112 周围,并且用作源电极和漏电极中的一个的导电层 102 和电连接到导电层 102 的导电层 114 设置在导电层 116 周围(参见图 1B)。

[0065] 换言之,用作源电极和漏电极中的一个的导电层 102 没有与用作源电极和漏电极中的另一个的导电层 108 重叠。在这里,当描述“A 没有与 B 重叠”时,A 与 B 在平面图中不具有其中 A 占用与 B 相同的范围的区域。对于本说明书中的其它部分,情况也会是这样。

[0066] 此外,用作栅电极的导电层 116 设置在具有其中导电层 102 和导电层 108 没有相互重叠的区域的区域中。也就是说,导电层 116 的至少一部分没有与导电层 102 和导电层 108 重叠。与此相反,导电层 116 的另一部分可与导电层 102 和导电层 108 重叠。

[0067] 注意,在图 1A 和图 1B 中,导电层 108 和导电层 112 设置在中心,而导电层 116、导电层 102 和导电层 114 设置在导电层 108 和导电层 112 周围;但是,半导体器件的布局并不局限于此。组件的布置能够在没有损害半导体器件的功能的限度之内适当地改变。

[0068] 电连接到导电层 108 的导电层 112 用于将导电层 108 电连接到外部布线等的端子;但是,只要导电层 108 能够直接连接到外部布线等,则不一定设置导电层 112。对于导电层 114,情况也会是这样。注意,图 1A 和图 1B 中,没有示出电连接到导电层 112 的外部

布线等。

[0069] 下面参照图 1A 和图 1B 来描述这个实施例中的半导体器件的结构细节。

[0070] < 衬底 >

[0071] 将绝缘衬底、半导体衬底、金属衬底等用作衬底 100。另外,能够使用其表面覆盖有绝缘材料等的衬底。注意,衬底 100 优选地具有足够高的耐热性以耐受氧化物半导体层的加热。

[0072] 玻璃衬底、石英衬底等能够用作绝缘衬底。另外,能够使用包括诸如聚酰亚胺、聚酰胺、聚乙烯苯酚、苯并环丁烯树脂、丙烯酸树脂 或环氧树脂之类的有机材料的绝缘衬底。在使用包括有机材料的绝缘衬底的情况下,需要选择能够耐受过程中的最高温度的绝缘衬底。

[0073] 半导体衬底的典型示例是硅衬底(硅晶圆)。虽然存在多个等级的硅衬底,但是可使用廉价硅衬底,只要它具有某个级别的平坦度。例如,能够使用纯度大约为 6N(99.9999%)至 7N(99.99999%)的硅衬底。

[0074] 金属衬底的典型示例是铝衬底和铜衬底。在使用这种金属衬底的情况下,可在表面之上形成绝缘层,以便保证绝缘性质。由于金属衬底具有高热导率,所以金属衬底优选地用作诸如具有高热值的功率 MOSFET 之类的高功率半导体器件的衬底。

[0075] < 氧化物半导体层 >

[0076] 作为氧化物半导体层 104 的半导体材料的示例,存在由 $\text{InM}_3(\text{ZnO})_m$ ($m > 0$) 所表示的半导体材料。在这里,M 表示从镓(Ga)、铁(Fe)、镍(Ni)、锰(Mn)、钴(Co)等等中选取的一种或多种金属元素。例如,选择 Ga 作为 M 的情况不仅包括仅使用 Ga 的情况,而且还包括使用 Ga 以及除了 Ga 之外的上述金属元素、如 Ni 或 Fe 的情况。此外,在氧化物半导体中,在一些情况下,除了作为 M 所包含的金属元素之外,还包含诸如 Fe 或 Ni 之类的过渡金属元素或者过渡金属的氧化物作为杂质元素。在本说明书等等中,在氧化物半导体之中,至少包含镓作为 M 的氧化物半导体称作 In-Ga-Zn-O 基氧化物半导体。

[0077] In-Ga-Zn-O 基氧化物半导体材料在没有电场时具有充分高的电阻,能够具有充分低的断路状态电流,并且具有大能隙(宽能隙);因此,有利地将它用于高功率半导体器件、如功率 MOSFET。

[0078] 注意,作为氧化物半导体层 104 的半导体材料的其他示例,例如,存在 In-Sn-Zn-O 基氧化物半导体材料、In-Al-Zn-O 基氧化物半导体材料、Sn-Ga-Zn-O 基氧化物半导体材料、Al-Ga-Zn-O 基氧化物半导体材料、Sn-Al-Zn-O 基氧化物半导体材料、In-Zn-O 基氧化物半导体材料、Sn-Zn-O 基氧化物半导体材料、Al-Zn-O 基氧化物半导体材料、In-O 基氧化物半导体材料、Sn-O 基氧化物半导体材料、Zn-O 基氧化物半导体材料等。

[0079] 氧化物半导体层 104(不包括结晶区 106)优选地具有非晶结构;但是,氧化物半导体层 104 可具有包含晶粒的非晶结构、微晶结构等。此外,氧化物半导体层 104 的厚度能够根据诸如预期击穿电压之类的特性适当地设置。具体来说,氧化物半导体层 104 的厚度能够大约为 100nm 至 10 μm 。

[0080] 结晶区 106 优选地具有其中排列各具有 20nm 或更小的大小的微晶体(可以简单地称作物粒)的结构。例如,在其中使用 In-Ga-Zn-O 基氧化物半导体材料来形成氧化物半导体层 104 的情况下,结晶区 106 是其中 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的微晶体沿预定方向排列的区域。具

体来说,在其中按照使得 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的 c 轴垂直于衬底的平面(或者氧化物半导体层的表面)的方式来排列微晶体的情况下,半导体器件的击穿电压能够极大地改进,这是优选的。这产生于 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的介电常数各向异性。与 c 轴方向的击穿电压相比, b 轴方向(或者 a 轴方向)的击穿电压能够得到改进。注意,微晶体的大小只是示例,并且本发明没有被理解为局限于上述范围。

[0081] 注意,在半导体器件中,结晶区 106 不是必不可少的组成部分。在能够借助于氧化物半导体材料来保证充分高的击穿电压的情况下,不一定设置结晶区 106。

[0082] < 绝缘层 >

[0083] 用作栅绝缘层的绝缘层 110 的绝缘材料能够从氧化硅、氮化硅、氧氮化硅、氮氧化硅、氧化铝、氧化钽等等中选取。备选地,可使用这些材料的合成材料。栅绝缘层 110 可具有包括使用任意上述绝缘材料所形成的层的单层结构或分层结构。注意,一般来说, MOSFET 指的是包含金属、氧化物和半导体的场效应晶体管;但是,所公开的本发明的半导体器件中使用的绝缘层并不局限于氧化物。

[0084] 注意,在本说明书等等中,氧氮化物指的是包含比氮(原子)更多的氧(原子)的物质。例如,氧氮化硅是包含浓度范围分别为从 50 至 70 原子百分比、0.5 至 15 原子百分比、25 至 35 原子百分比以及 0.1 至 10 原子百分比的氧、氮、硅和氢的物质。此外,氮氧化物指的是包含比氧(原子)更多的氮(原子)的物质。例如,氮氧化硅包含浓度范围分别为从 5 至 30 原子百分比、20 至 55 原子百分比、25 至 35 原子百分比以及 10 至 25 原子百分比的氧、氮、硅和氢。注意,上述浓度是使用卢瑟福后向散射能谱测定(RBS)或者氢前向散射能谱测定(HFS)来执行测量时的浓度。此外,组成元素的总百分比不超过 100 原子百分比。

[0085] < 导电层 >

[0086] 例如,导电层 102 用作漏电极;导电层 108 用作源电极;以及导电层 116 用作栅电极。虽然导电层 112 和导电层 114 用作实现到外部布线等的电连接的端子,但是导电层 112 和导电层 114 不是必不可少的组件。

[0087] 每个导电层的导电材料能够从诸如铝、铜、钼、钛、铬、钽、钨、钽或钨之类的金属材料、包含任意这些金属材料作为其主要成分的合金材料、包含任意这些金属材料的氮化物等等中选取。此外,能够使用透光氧化物导电材料,诸如氧化铟、氧化铟和氧化锡的合金、氧化铟和氧化锌的合金、氧化锌、氧化锌铝、氧氮化锌铝或者氧化锌镓。导电层可具有包括使用任意上述导电材料所形成的层的单层结构或分层结构。

[0088] 用作源电极的导电层 108 在氧化物半导体 104 之上形成并且与氧化物半导体层 104 的上表面接触。用作漏电极的导电层 102 在氧化物半导体层 104 之下形成并且与氧化物半导体层 104 的下表面接触。另外,用作栅电极的导电层 116 设置在绝缘层 110 之上,并且在氧化物半导体层 104 中生成电场。

[0089] 注意,仅为了方便起见而进行源极与漏极之间的区分,并且半导体器件中包含的各组件的功能不应当被理解为局限于上述名称。这是因为源极和漏极的功能按照半导体器件的操作相互转换。

[0090] 下面简述这个实施例中的半导体器件的操作。

[0091] < 半导体器件的操作 >

[0092] 在 n 型半导体器件具有电子作为载流子的情况下,在正常操作中,将负偏压施加

到用作源电极的导电层 108, 而将正偏压施加到用作漏电极的导电层 102。

[0093] 具有充分厚度的氧化物半导体层 104 设置在用作源电极的导电层 108 与用作漏电极的导电层 102 之间。另外, 氧化物半导体层 104 使用在没有电场时具有宽能隙和充分高的电阻的氧化物半导体材料来形成。因此, 在将负偏压施加到导电层 108 而将正偏压施加到导电层 102 的条件下, 当没有将偏压施加到用作栅电极的导电层 116 或者将负偏压施加到导电层 116 时, 极少量电流流动。

[0094] 在将正偏压施加到用作栅电极的导电层 116 时, 在与导电层 116 重叠的区域中的氧化物半导体层 104 与绝缘层 110 之间的界面周围感应负电荷 (电子), 使得形成沟道。因此, 电流在用作源电极的导电层 108 与用作漏电极的导电层 102 之间流动。

[0095] 由于在所公开的本发明的一个实施例中, 氧化物半导体用作半导体材料, 所以半导体器件的击穿电压 (例如漏极击穿电压) 能够得到改进。这产生于氧化物半导体比一般半导体材料要大的能隙。

[0096] 此外, 通过设置其中微晶体沿预定方向排列的结晶区 106, 半导体器件的击穿电压能够进一步得到改进。例如, 在其中使用 In-Ga-Zn-O 基氧化物半导体材料来形成氧化物半导体层 104 的情况下, 按照使得 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的 c 轴垂直于衬底的平面 (或者氧化物半导体层的表面) 的方式来排列微晶体。电流在半导体器件中流动的方向是 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的 b 轴方向 (或者 a 轴方向), 使得半导体器件的击穿电压能够得到改进。注意, $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶体形成成为使得具有与 a 轴或 b 轴平行的层的分层结构。也就是说, $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的 c 轴指的是与 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶体中包含的层垂直的方向。

[0097] < 制造半导体器件的步骤 >

[0098] 参照图 2A 至图 2E 来描述制造图 1A 和图 1B 所示的半导体器件的步骤。

[0099] 首先, 导电层 102 在衬底 100 之上形成 (参见图 2A)。关于衬底 100 的细节, 能够参阅小节 < 衬底 >。

[0100] 导电层 102 按照如下方法来形成: 使得包含小节 < 导电层 > 中所述的导电材料的导电层通过诸如溅射或真空蒸发之类的方法沉积在衬底 100 之上, 并且然后通过借助于由光刻所形成的抗蚀剂掩模的蚀刻去除不必要的部分。蚀刻可以是湿法蚀刻或干法蚀刻。注意, 为了改进对导电层 102 之上形成的各组件的覆盖, 优选地按照使得导电层 102 的侧表面与导电层 102 的底面之间的角度为锐角的方式来执行蚀刻。

[0101] 在其中导电层 102 具有使用诸如铝或铜之类的低电阻导电材料所形成的层以及使用诸如钼、钛、铬、钽、钨、钽或钨之类的高熔点导电材料所形成的层的分层结构的情况下, 能够实现高导电率和高耐热性, 这是优选的。例如, 能够使用铝和钼的二层结构、铜和钼的二层结构、铜和氮化钛的二层结构、铜和氮化钽的二层结构等。此外, 可使用氮化钛和钼的二层结构。此外, 能够使用三层结构, 其中铝、铝和硅的合金、铝和钛的合金、铝和钽的合金等等夹在钨、氮化钨、氮化钛、钛等的层之间。

[0102] 随后, 包括结晶区 106 的氧化物半导体层 104 形成成为使得覆盖导电层 102 (参见图 2B)。注意, 可形成没有结晶区 106 的氧化物半导体层 104。

[0103] 氧化物半导体层 104 使用小节 < 氧化物半导体层 > 中的任意的氧化物半导体材料来形成。能够通过溅射等等在包括例如氩的稀有气体气氛、氧气氛或者其中混合稀有气体和氧的混合气体气氛中沉积氧化物半导体层 104。在溅射中, 借助于包含 2 至 10wt. % 的

SiO₂的靶, SiO_x($x > 0$) 包含在氧化物半导体层 104 中, 使得能够抑制氧化物半导体层 104 的晶化。这种方法在得到具有非晶结构的氧化物半导体层 104 中是有效的。

[0104] 例如, 使用包含 In、Ga 和 Zn 的氧化物半导体沉积靶 (例如组成比为 In : Ga : Zn = 1 : 1 : 0.5 [原子百分比]、In : Ga : Zn = 1 : 1 : 1 [原子百分比] 或者 In : Ga : Zn = 1 : 1 : 2 [原子百分比] 的靶); 衬底与靶之间的距离为 100mm; 压力为 0.6Pa; DC 功率为 0.5kW; 以及气氛为氧 (氧流率比 (flow rate ratio) 为 100%) 气氛。因此, 能够得到作为氧化物半导体层 104 的 In-Ga-Zn-O 基非晶氧化物半导体层。注意, 在脉冲 DC 电源用作电源的情况下, 沉积中的粉状物质 (又称作粒子或灰尘) 能够降低, 并且能够使厚度分布是均匀的, 这是优选的。

[0105] 如小节 < 氧化物半导体层 > 中所述, 氧化物半导体层 104 的厚度能够根据诸如预期击穿电压之类的特性适当地设置。例如, 氧化物半导体层 104 的厚度可以是大约 100nm 至 10 μ m。

[0106] 结晶区 106 通过在形成氧化物半导体层 104 之后执行的热处理来形成。注意, 通过热处理来消除氧化物半导体层 104 中包含的 H₂、H、OH 等, 使得热处理可称作脱水处理或脱氢处理。

[0107] 作为热处理, 能够使用其中使用高温惰性气体 (例如氮或稀有气体) 的 RTA (快速热退火) 处理。在这里, 热处理的温度优选地为 500°C 或更高。虽然热处理温度的上限并不是具体限制到某个温度, 但是需要将上限设置在衬底 100 的耐热性之内。另外, 热处理的时间优选地为 1 至 10 分钟。例如, RTA 处理优选地以 650°C 执行大约 3 至 6 分钟。通过 RTA 处理, 热处理能够在短时间内执行; 因此, 热量对衬底 100 的不利影响能够降低。换言之, 与长时间执行热处理的情况相比, 有可能提高热处理温度的上限。注意, 热处理的定时并不局限于上述定时, 并且热处理能够在不同步骤之前或之后执行。此外, 热处理的数量并不局限于一, 而是热处理可执行一次以上。

[0108] 在热处理中, 优选的是, 氢 (包括水) 等没有包含在处理气氛中。例如, 引入热处理设备中的惰性气体的纯度为 6N (99.9999%, 即, 杂质浓度为 1ppm 或更小) 或更大、优选地为 7N (99.99999%, 即, 杂质浓度为 0.1ppm 或更小) 或更大。

[0109] 通过热处理, 晶化氧化物半导体层 104 中的表面部分, 使得形成其中排列微晶体的结晶区 106。氧化物半导体层 104 的其它区域具有非晶结构、其中非晶结构和微晶结构相互混合的结构或者微晶结构。注意, 结晶区 106 是氧化物半导体层 104 的一部分, 并且氧化物半导体层 104 包括结晶区 106。在这里, 结晶区 106 的厚度优选地为 20nm 或更小。这是因为当结晶区较厚时, 半导体器件的性质仅取决于结晶区 106。

[0110] 注意, 重要的是防止氢 (包括水) 在热处理之后进入氧化物半导体层 104。为了防止氢 (包括水) 进入, 必要的是, 衬底至少在热处理和以后的冷却过程中没有暴露于空气。例如, 这在当在相同气氛中执行热处理和以后的冷却过程时来实现。不用说, 冷却过程的气氛可与热处理气氛是不同的。在这种情况下, 冷却过程的气氛例如能够是氧气体、N₂O 气体或者超干空气 (露点为 -40°C 或更低、优选地为 -60°C 或更低)。

[0111] 随后, 在氧化物半导体层 104 之上没有与导电层 102 重叠的区域中形成导电层 108 (参见图 2C)。

[0112] 导电层 108 能够按照与导电层 102 相似的方式来形成。换言之, 导电层 108 按照

如下方式来形成：使得导电层通过诸如溅射或真空蒸发之类的方法来沉积，并且然后通过借助于抗蚀剂掩模的蚀刻去除不必要的部分。蚀刻可以是湿法蚀刻或干法蚀刻。在氧化物半导体层 104 的表面部分中形成结晶区 106 的情况下，必要的是，结晶区 106 没有通过蚀刻被去除。

[0113] 例如，在诸如钛之类的导电材料用于导电层 108 的情况下，优选地使用其中过氧化氢溶液或加热盐酸用作蚀刻剂的湿法蚀刻。在导电层 108 的导电材料与氧化物半导体材料之间的蚀刻选择性充分高的条件下按照这种方式来执行蚀刻时，表面部分中的结晶区 106 能够保留。

[0114] 随后，绝缘层 110 形成为使得覆盖氧化物半导体层 104 和导电层 108（参见图 2D）。

[0115] 例如，能够使用小节〈绝缘层〉中所述的绝缘材料来形成绝缘层 110。作为沉积方法，能够使用 CVD（包括等离子体增强 CVD）、溅射等。注意，绝缘层 110 的厚度能够根据半导体器件的性质适当地设置；但是绝缘层 110 的厚度优选地为 10nm 至 1 μm。

[0116] 然后，通过有选择地去除绝缘层 110 等，来形成达到导电层 102 和导电层 108 的开口，并且然后形成电连接到导电层 108 的导电层 112、电连接到导电层 102 的导电层 114 以及导电层 116（参见图 2E）。

[0117] 去除绝缘层 110 等能够通过借助于抗蚀剂掩模的蚀刻来执行。蚀刻可以是湿法蚀刻或干法蚀刻。

[0118] 导电层 112、114 和 116 能够按照与其它导电层相似的方式来形成。换言之，导电层 112、114 和 116 的每个按照如下方式来形成：使得导电层通过诸如溅射或真空蒸发之类的方法来沉积，并且然后通过借助于抗蚀剂掩模的蚀刻去除不必要的部分。蚀刻可以是湿法蚀刻或干法蚀刻。

[0119] 如上所述，能够制造称作功率 MOSFET 的半导体器件。如这个实施例中所述，当氧化物半导体材料用于半导体层时，半导体器件的击穿电压得到改进。具体来说，当使用具有结晶区的氧化物半导体层时，半导体器件的击穿电压能够进一步得到改进。此外，由于氧化物半导体层使用诸如溅射之类的生产方法来沉积，所以半导体器件的生产率能够提高，并且制造成本能够降低。

[0120] 这个实施例中所述的结构、方法等能够与任意其它实施例适当地组合。

[0121] （实施例 2）

[0122] 在这个实施例中，参照图 3A 和图 3B 以及图 4A 至图 4E 来描述半导体器件及其制造方法的不同示例。注意，这个实施例中所述的半导体器件以及上述实施例中的半导体器件有许多相同之处。因此，省略对共同部分的描述，而主要描述差别。

[0123] 〈半导体器件概述〉

[0124] 图 3A 和图 3B 示出半导体器件的结构的不同示例。图 3A 对应于截面图，以及图 3B 对应于平面图。此外，图 3A 对应于沿图 3B 的线条 A-B 所截取的截面。

[0125] 图 3A 和图 3B 所示的半导体器件的组件与图 1A 和图 1B 所示的半导体器件的组件相似。换言之，图 3A 和图 3B 所示的半导体器件包括：衬底 100；用作源电极和漏电极中的一个的导电层 102；氧化物半导体层 104；氧化物半导体层 104 中的结晶区 106；用作源电极和漏电极中的另一个的导电层 108；用作栅绝缘层的绝缘层 110；电连接到导电层 108 的导电层 112；电连接到导电层 102 的导电层 114；用作栅电极的导电层 116；等等。

[0126] 图 3A 和图 3B 所示的半导体器件与图 1A 和图 1B 所示的半导体器件的不同之处在于,对氧化物半导体层 104 形成图案。甚至在采用图 3A 和图 3B 的结构的情况下,图 3A 和图 3B 所示的半导体器件也按照与图 1A 和图 1B 所示的半导体器件相似的方式进行操作,并且能够得到与图 1A 和图 1B 所示的半导体器件相似的有利效果。

[0127] < 制造半导体器件的步骤 >

[0128] 制造半导体器件的步骤与图 2A 至图 2E 基本上相似。下面参照图 4A 至图 4E 简要地描述制造半导体器件的步骤。

[0129] 首先,导电层 102 在衬底 100 之上形成(参见图 4A)。关于细节,能够参阅上述实施例。

[0130] 随后,包括结晶区 106 的氧化物半导体层 104 形成为使得覆盖导电层 102(参见图 4B)。氧化物半导体层 104 的形成方法与上述实施例的形成方法相似;但是,这个实施例中的氧化物半导体层 104 与上述实施例中的氧化物半导体层 104 的不同之处在于,它形成为使得覆盖导电层 102 的部分。

[0131] 这个实施例中的氧化物半导体层 104 能够按照如下方式来得到:氧化物半导体层(包括结晶区)例如通过上述实施例中所述的方法来沉积,并且然后对氧化物半导体层形成图案。形成图案能够通过借助于抗蚀剂掩模的蚀刻来执行。蚀刻可以是湿法蚀刻或干法蚀刻;但是,优选的是执行蚀刻,使得保留结晶区。

[0132] 随后,在氧化物半导体层 104 之上没有与导电层 102 重叠的区域中形成导电层 108(参见图 4C)。关于细节,能够参阅上述实施例。

[0133] 随后,绝缘层 110 形成为使得覆盖氧化物半导体层 104 和导电层 108(参见图 4D)。关于绝缘层 110 的细节,能够参阅上述实施例。

[0134] 然后,通过有选择地去除绝缘层 110 等,来形成达到导电层 102 和导电层 108 的开口,并且然后形成电连接到导电 108 的导电层 112、电连接到导电层 102 的导电层 114 以及导电层 116(参见图 4E)。关于细节,能够参阅上述实施例。

[0135] 如上所述,能够制造称作功率 MOSFET 的半导体器件。本实施例中所述的结构、方法等能够与任意其它实施例适当地组合。

[0136] (实施例 3)

[0137] 在这个实施例中,参照图 5A 和图 5B 以及图 6A 至图 6D 来描述半导体器件及其制造方法的不同示例。注意,这个实施例中所述的半导体器件以及上述实施例中的半导体器件有许多相同之处。因此,省略对共同部分的描述,而主要描述差别。

[0138] < 半导体器件概述 >

[0139] 图 5A 和图 5B 示出半导体器件的结构的不同示例。图 5A 对应于截面图,以及图 5B 对应于平面图。此外,图 5A 对应于沿图 5B 的线条 A-B 所截取的截面。

[0140] 图 5A 和图 5B 所示的半导体器件对应于其中采用导电层 109 取代上述实施例所述的半导体器件中的导电层 102 的半导体器件。换言之,图 5A 和图 5B 所示的半导体器件包括:衬底 100;用作源电极和漏电极中的一个的导电层 109;氧化物半导体层 104;氧化物半导体层 104 中的结晶区 106;用作源电极和漏电极中的另一个的导电层 108;用作栅绝缘层的绝缘层 110;电连接到导电层 108 的导电层 112;电连接到导电层 109 的导电层 114;用作栅电极的导电层 116;等等。

[0141] 导电层 109 使用与导电层 108 相同的层来形成。通过采用导电层 109 取代导电层 102,所有导电层均设置在氧化物半导体层 104 之上。因此,氧化物半导体层 104 的表面的平坦度得到改进。

[0142] 通过上述结构,与上述实施例中所所述的半导体器件不同,载流子仅流动到氧化物半导体层 104 的表面部分(即,结晶区 106)。因此,结晶区 106 的有利效果更为显著。

[0143] <制造半导体器件的步骤>

[0144] 制造半导体器件的步骤与图 2A 至图 2E 以及图 4A 至图 4E 中的步骤相似,但是没有形成导电层 102,并且导电层 109 与导电层 108 同时形成。下面参照图 6A 至图 6D 简要地描述制造半导体器件的步骤。

[0145] 首先,氧化物半导体层 104 在衬底 100 之上形成(参见图 6A)。关于氧化物半导体层 104 的形成等的细节,能够参阅上述实施例。

[0146] 随后,导电层 108 和导电层 109 在氧化物半导体层 104 之上形成(参见图 6B)。导电层 109 能够按照与导电层 108 相似的方式来形成。应当注意,导电层 108 和导电层 109 相互分离。关于导电层 108 的形成等的细节,能够参阅上述实施例。

[0147] 随后,绝缘层 110 形成为使得覆盖氧化物半导体层 104、导电层 108 和导电层 109(参见图 6C)。关于绝缘层 110 的细节,能够参阅上述实施例。

[0148] 然后,通过有选择地去除绝缘层 110 等,来形成达到导电层 108 和导电层 109 的开口,并且然后形成电连接到导电层 108 的导电层 112、电连接到导电层 109 的导电层 114 以及导电层 116(参见图 6D)。关于细节,能够参阅上述实施例。

[0149] 如上所述,能够制造称作功率 MOSFET 的半导体器件。本实施例中所所述的结构、方法等能够与任意其它实施例适当地组合。

[0150] (实施例 4)

[0151] 在这个实施例中,参照图 7A 至图 7C 以及图 8A 和图 8B 来描述用于在同一衬底之上并且通过相似步骤来制造所谓的功率 MOSFET 和薄膜晶体管的方法的示例。注意,下面描述一个示例,其中图 1A 和图 1B 所示的半导体器件作为功率 MOSFET 来形成。

[0152] 制造这个实施例中所示的半导体器件的步骤对应于通过对图 2A 至图 2E 的步骤添加制造薄膜晶体管的步骤所得到的步骤。也就是说,基本制造步骤与图 2A 至图 2E 所示的步骤相似。注意,功率 MOSFET 和薄膜晶体管一般具有不同的所需性质。功率 MOSFET 和薄膜晶体管的大小等优选地根据所需性质来适当地设置。虽然功率 MOSFET 和薄膜晶体管在图 7A 至图 7C 以及图 8A 和图 8B 中基于大致相同的标度来示出,但是这种标度用于促进理解而不是限定实际大小的关系。

[0153] 首先,导电层 102 在衬底 100 之上形成(参见图 7A)。关于细节,能够参阅上述实施例。

[0154] 随后,包括结晶区 106 的氧化物半导体层 104 形成为使得覆盖导电层 102,并且形成包括作为薄膜晶体管的组件的结晶区 206 的氧化物半导体层 204(参见图 7B)。氧化物半导体层 104 和 204 的每个能够按照如下方式来得到:氧化物半导体层(包括结晶区)例如通过上述实施例中所述的方法来沉积,并且然后对氧化物半导体层形成图案。形成图案能够通过借助于抗蚀剂掩模的蚀刻来执行。蚀刻可以是湿法蚀刻或干法蚀刻;但是,优选的是执行蚀刻,使得保留氧化物半导体层中的结晶区。

[0155] 然后,在氧化物半导体层 104 之上没有与导电层 102 重叠的区域中形成导电层 108,并且在氧化物半导体层 204 之上形成导电层 208 和 209(参见图 7C)。在这里,导电层 208 用作薄膜晶体管的源电极和漏电极中的一个,而导电层 209 用作薄膜晶体管的源电极和漏电极中的另一个。制造导电层 208 和 209 的步骤与导电层 108 相似。关于制造导电层 108 的步骤的细节,能够参阅上述实施例。

[0156] 随后,绝缘层 110 形成为使得覆盖氧化物半导体层 104、导电层 108、氧化物半导体层 204、导电层 208 和导电层 209(参见图 8A)。绝缘层 110 还用作薄膜晶体管的栅绝缘层。关于制造绝缘层 110 的步骤的细节,能够参阅上述实施例。

[0157] 然后,通过有选择地去除绝缘层 110 等,来形成达到导电层 102、导电层 108、导电层 208 和导电层 209 的开口,并且然后形成电连接到导电层 108 的导电层 112、电连接到导电层 102 的导电层 114、导电层 116、电连接到导电层 208 的导电层 212、电连接到导电层 209 的导电层 214 以及导电层 216(参见图 8B)。制造导电层 212、214 和 216 的步骤与导电层 112、114 和 116 相似。关于细节,能够参阅上述实施例。

[0158] 这样,功率 MOSFET 和薄膜晶体管能够在同一衬底之上并且通过相似步骤来形成。

[0159] 通过这个实施例中所述的方法等,功率 MOSFET 和薄膜晶体管能够在同一衬底之上并且通过相似步骤来形成。因此,各种集成电路和功率电路能够在同一衬底之上形成。

[0160] 注意,在这个实施例中,功率 MOSFET 的氧化物半导体层 104 以及薄膜晶体管的氧化物半导体层 204 通过相同步骤来形成;但是,在一些情况下,氧化物半导体层的所需厚度在功率 MOSFET 与薄膜晶体管之间是不同的。因此,氧化物半导体层 104 和氧化物半导体层 204 可通过不同步骤来形成。具体来说,氧化物半导体层 104 和氧化物半导体层 204 可按如下所述来形成。制造氧化物半导体层的步骤分为两个阶段;在第一阶段制造氧化物半导体层 104 和氧化物半导体层 204 中的一个;以及在第二阶段制造氧化物半导体层 104 和氧化物半导体层 204 中的另一个。备选地,通过蚀刻等,有选择地使厚氧化物半导体层变薄,使得制造氧化物半导体层 104 和氧化物半导体层 204。

[0161] 对于绝缘层 110,情况也会是这样。功率 MOSFET 和薄膜晶体管的绝缘层 110 单独形成为使得具有不同厚度。具体来说,绝缘层 110 按如下所述来形成。制造绝缘层的步骤分为两个阶段;在第一阶段制造氧化物半导体层 104 之上形成的绝缘层和氧化物半导体层 204 之上形成的绝缘层中的一个;以及在第二阶段制造氧化物半导体层 104 之上形成的绝缘层和氧化物半导体层 204 之上形成的绝缘层中的另一个。备选地,通过蚀刻等,有选择地使厚绝缘层变薄,使得制造氧化物半导体层 104 之上形成的绝缘层和氧化物半导体层 204 之上形成的绝缘层。

[0162] 本实施例中所述的结构、方法等能够与任意其它实施例适当地组合。

[0163] (实施例 5)

[0164] 在这个实施例中,参照图 9 以及图 10A 至图 10C 来描述包括所公开的本发明的半导体器件的电路的示例。注意,下面描述作为功率电路(例如功率转换电路)的示例的 DC-DC 转换器。

[0165] DC-DC 转换器是用于将 DC 电压转换为不同 DC 电压的电路。DC-DC 转换器的典型转换方法是线性方法和开关(switching)方法。由于开关类型 DC-DC 转换器具有高转换效率,所以在将要取得电子装置的功率节省时,这种 DC-DC 转换器是优选的。在这里,描述开

关类型 DC-DC 转换器、具体是斩波式 DC-DC 转换器。

[0166] 图 9 所示的 DC-DC 转换器包括电源 300、参考电压发生电路 302、参考电流发生电路 304、误差放大器 306、PWM 缓冲器 308、三角波发生电路 310、线圈 312、功率 MOSFET 314、二极管 316、电容器 318、电阻器 320、电阻器 322 等。注意,在这里,n 沟道功率 MOSFET 用作功率 MOSFET 314。

[0167] 参考电压发生电路 302 生成各种参考电压 (V_{ref})。另外,参考电流发生电路 304 借助于参考电压发生电路 302 中生成的参考电压 (V_{ref}) 来生成参考电流 (I_{ref}) 或者偏置电流。

[0168] 误差放大器 306 对参考电压发生电路 302 中生成的参考电压 (V_{ref}) 与反馈电压 (V_{FB}) 之间的差进行积分,并且向 PWM 缓冲器 308 输出积分值。三角波发生电路 310 从参考电压 (V_{ref}) 和参考电流 (I_{ref}) 来生成三角波,并且向 PWM 缓冲器 308 输出三角波。

[0169] PWM 缓冲器 308 比较来自误差放大器 306 的输出和来自三角波发生电路 310 的三角波,并且向功率 MOSFET 314 输出脉冲信号。

[0170] 在来自 PWM 缓冲器 308 的脉冲信号具有高电位的情况下,n 沟道功率 MOSFET 314 导通,并且二极管 316 的输入侧的电位变成地电位(低电位)。因此,在脉冲信号具有高电位的期间,输出电压 (V_{OUT}) 逐渐降低。

[0171] 与此相反,在来自 PWM 缓冲器 308 的脉冲信号具有低电位的情况中,n 沟道功率 MOSFET 314 截止,并且二极管 316 的输入侧的电位升高。因此,在脉冲信号具有低电位的期间,输出电压 (V_{OUT}) 逐渐增加。

[0172] 因来自 PWM 缓冲器 308 的脉冲信号而引起的输出电压 (V_{OUT}) 的变化极小。因此,通过 DC-DC 转换器,输出电压的电平能够保持为基本上恒定。

[0173] 注意,在 DC-DC 转换器中,设置线圈 312 以用于降低因功率 MOSFET 314 的开关而引起的电流的变化。此外,设置电容器 318 以用于抑制输出电压 (V_{OUT}) 的剧烈波动。此外,设置电阻器 320 和 322 以用于从输出电压 (V_{OUT}) 来生成反馈电压 (V_{FB})。

[0174] 图 10A 至图 10C 示出 DC-DC 转换器中包含的电路的输出波形的示例。

[0175] 图 10A 示出从三角波发生电路 310 所输出的三角波 350。图 10B 示出来自误差放大器 306 的输出波形 352。

[0176] 图 10C 示出在 PWM 缓冲器 308 中生成的脉冲信号 354。当三角波 350 和输出波形 352 输入到 PWM 缓冲器 308 时,PWM 缓冲器 308 将这些波进行相互比较,并且生成脉冲信号 354。然后,向功率 MOSFET 314 输出脉冲信号 354,并且确定输出电压 (V_{OUT}) 的电平。

[0177] 如上所述,所公开的本发明的功率 MOSFET 能够施加到 DC-DC 转换器。所公开的本发明的功率 MOSFET 具有高击穿电压,并且包括功率 MOSFET 的 DC-DC 转换器的可靠性能够得到改进。此外,抑制所公开的本发明的功率 MOSFET 的制造成本,使得抑制包括功率 MOSFET 的 DC-DC 转换器的制造成本。通过按照这种方式在电子电路中使用所公开的本发明的半导体器件,能够得到诸如可靠性的提高和制造成本的降低之类的有利效果。

[0178] 注意,这个实施例中所述的 DC-DC 转换器只是包括所公开的本发明的半导体器件的功率电路的一个示例。不用说,所公开的本发明的半导体器件能够在不同电路中使用。本实施例中所述的结构、方法等能够与任意其它实施例适当地组合。

[0179] (实施例 6)

[0180] 在这个实施例中,参照图 11 来描述配置有使用所公开的本发明的半导体器件所

形成的逆变器的太阳能光伏系统的示例。注意,在这里描述家用太阳能光伏系统的结构的示例。

[0181] 图 11 所示的家用太阳能光伏系统是其中用于提供电力的方法根据光伏发电的条件来改变的示例。例如,当(例如在晴朗天空的情况下)执行光伏发电时,在家庭中消耗由光伏发电所生成的电力,并且剩余电力从电力公司提供到配电线 414。与此相反,当光伏发电所生成的电量不充分时(例如在夜间或雨天的情况下),电力从配电线 414 来提供,并且在家庭中消耗。

[0182] 图 11 所示的家用太阳能光伏系统包括用于将太阳光转换为电力(DC 电力)的太阳能电池板 400、将 DC 电力转换为 AC 电力的逆变器 404 等。从逆变器 404 所输出的 AC 电力用作用于操作各种电器 410 的电力。

[0183] 剩余电力通过配电线 414 提供到家庭外部。也就是说,有可能借助于该系统来销售电力。设置 DC 开关 402 以用于选择太阳能电池板 400 和逆变器 404 是相互连接还是断开连接。设置 AC 开关 408 以用于选择连接到配电线 414 的变压器 412 和配电盘 406 是相互连接还是断开连接。

[0184] 通过将所公开的本发明的半导体器件应用于逆变器,有可能实现具有高可靠性的廉价太阳能光伏系统。

[0185] 本实施例中所述的结构、方法等能够与任意其它实施例适当地组合。

[0186] (实施例 7)

[0187] 在这个实施例中,参照图 12A 至图 12F 以及图 13A 至图 13E 来描述作为半导体器件的晶体管(具体来说是薄膜晶体管)及其制造方法的示例。注意,下面描述的半导体器件是具有新结构的半导体器件。在半导体器件中使用在表面部分具有结晶区的氧化物半导体层。半导体器件采用两个导电层来控制电流。

[0188] 首先,导电层 502 沉积在衬底 500 之上(参见图 12A),并且在导电层 502 之上有选择地形成抗蚀剂掩模 504。然后,使用抗蚀剂掩模 504 有选择地蚀刻导电层 502,使得形成导电层 506(参见图 12B)。在去除抗蚀剂掩模 504 之后,绝缘层 508 形成成为使得覆盖导电层 506(参见图 12C)。在这里,导电层 506 具有控制氧化物半导体层中的电场的功能。此外,导电层 506 具有阻止不利地影响晶体管的操作的外部电场的功能。对于组件的材料、制造方法等,能够参阅上述实施例(例如实施例 1 至 3)。

[0189] 注意,虽然以上描述通过有选择地蚀刻导电层 502 来形成导电层 506 的示例,但是导电层 506 可在衬底的整个上表面之上形成。备选地,导电层 506 可在氧化物半导体层的整个下表面之下形成。

[0190] 随后,氧化物半导体层 510 在绝缘层 508 之上沉积(参见图 12D),并且抗蚀剂掩模 512 在氧化物半导体层 510 之上有选择地形成。然后,使用抗蚀剂掩模 512 有选择地蚀刻氧化物半导体层 510,使得形成氧化物半导体层 514(参见图 12E)。注意,在形成氧化物半导体层 514 之后,去除抗蚀剂掩模 512。关于氧化物半导体层的细节,能够参阅上述实施例。此外,关于其它组件的细节,能够参阅上述实施例。氧化物半导体层 510 的厚度能够根据预期性质适当地设置。在氧化物半导体层 510 用于薄膜晶体管的情况下,例如,氧化物半导体层 510 的厚度优选地为大约 20nm 至 2 μ m。

[0191] 随后,导电层 516 沉积为使得覆盖氧化物半导体层 514(参见图 12F),并且抗蚀剂

掩模 518 和抗蚀剂掩模 520 在导电层 516 之上有选择地形成。然后,使用抗蚀剂掩模有选择地蚀刻导电层 516,使得形成用作源电极和漏电极中的一个的导电层 522 以及用作源电极和漏电极中的另一个的导电层 524(参见图 13A)。注意,在形成导电层 522 和导电层 524 之后,去除抗蚀剂掩模 518 和抗蚀剂掩模 520。关于上述组件的细节,能够参阅上述实施例。

[0192] 随后,用作栅绝缘层的绝缘层 526 形成为使得覆盖氧化物半导体层 514、导电层 522 和导电层 524(参见图 13B)。然后,导电层 528 沉积在绝缘层 526 之上(参见图 15C),并且在导电层 528 之上有选择地形成抗蚀剂掩模 530。此后,使用抗蚀剂掩模 530 有选择地蚀刻导电层 528,使得形成用作栅电极的导电层 532(参见图 13D)。在形成导电层 532 之后,去除抗蚀剂掩模 530。关于上述组件的细节,能够参阅上述实施例。

[0193] 这样,设置晶体管 550,其中包括在衬底 500 之上形成的导电层 506、覆盖导电层 506 的绝缘层 508、在绝缘层 508 之上形成为与导电层 506 的一部分重叠并且在表面部分中具有结晶区的氧化物半导体层 514、形成为与氧化物半导体层 514 相接触的导电层 522 和 524、覆盖氧化物半导体层 514 和导电层 522 和 524 的绝缘层 526 以及在绝缘层 526 之上形成为与氧化物半导体层 514 的一部分重叠的导电层 532(参见图 13E)。注意,可以说,晶体管 550 是新半导体器件,因为使用在表面部分中具有结晶区的氧化物半导体层,并且用两个导电层来控制电流。

[0194] 当如这个实施例中所述的使用上述实施例中所述的氧化物半导体层来制造半导体器件时,能够防止杂质(例如氢(包括水))进入氧化物半导体层。因此,半导体器件的可靠性能够得到提高。

[0195] 另外,当使用上述实施例中所述的氧化物半导体层来制造半导体器件时,有可能提供具有有利电特性的半导体器件。

[0196] 此外,通过采用其中除了用作所谓的栅电极的导电层之外还在氧化物半导体层之下形成导电层的结构,能够阻止外部电场,使得外部电场对半导体器件的不利影响能够降低。因此,能够防止因氧化物半导体层的衬底侧上的电荷的积聚以及阈值电压的波动而引起的寄生沟道的生成。

[0197] 这个实施例中所述的结构、方法等能够与任意其它实施例中所述的结构、方法等适当组合。

[0198] (实施例 8)

[0199] 在这个实施例中,参照图 14A 至图 14F 以及图 15A 至图 15E 来描述作为半导体器件的晶体管及其制造方法的示例。

[0200] 首先,导电层 602 沉积在衬底 600 之上(参见图 14A),并且在导电层 602 之上有选择地形成抗蚀剂掩模 604。然后,使用抗蚀剂掩模 604 有选择地蚀刻导电层 602,使得形成导电层 606(参见图 14B)。在去除抗蚀剂掩模 604 之后,绝缘层 608 形成为使得覆盖导电层 606(参见图 14C)。在这里,导电层 606 具有控制氧化物半导体层中的电场的功能。此外,导电层 606 具有阻止不利地影响晶体管的操作的外部电场的功能。对于组件的材料、制造方法等,能够参阅上述实施例(例如实施例 1 至 3)。

[0201] 注意,虽然以上描述通过有选择地蚀刻导电层 602 来形成导电层 606 的示例,但是导电层 606 可在衬底的整个上表面之上形成。备选地,导电层 606 可在氧化物半导体层的整个下表面之下形成。

[0202] 随后,导电层 610 沉积在绝缘层 608 之上(参见图 14D),并且在导电层 610 之上有选择地形成抗蚀剂掩模 612 和抗蚀剂掩模 614。然后,使用抗蚀剂掩模有选择地蚀刻导电层 610,使得形成用作源电极和漏电极中的一个的导电层 616 以及用作源电极和漏电极中的另一个的导电层 618(参见图 14E)。注意,在形成导电层 616 和导电层 618 之后,去除抗蚀剂掩模 612 和抗蚀剂掩模 614。关于上述组件的细节,能够参阅上述实施例。

[0203] 随后,氧化物半导体层 620 沉积为使得覆盖导电层 616 和导电层 618(参见图 14F),并且在氧化物半导体层 620 之上有选择地形成抗蚀剂掩模 622。然后,使用抗蚀剂掩模 622 有选择地蚀刻氧化物半导体层 620,使得形成氧化物半导体层 624(参见图 15A)。注意,在形成氧化物半导体层 624 之后,去除抗蚀剂掩模 622。关于氧化物半导体层的细节,能够参阅上述实施例。此外,关于其它组件的细节,能够参阅上述实施例。氧化物半导体层 620 的厚度能够根据预期性质适当地设置。在氧化物半导体层 620 用于薄膜晶体管的情况下,例如,氧化物半导体层 620 的厚度优选地为大约 20nm 至 2 μ m。

[0204] 随后,用作栅绝缘层的绝缘层 626 形成为使得覆盖导电层 616、导电层 618 和氧化物半导体层 624(参见图 15B)。然后,导电层 628 沉积在绝缘层 626 之上(参见图 13C),并且在导电层 628 之上有选择地形成抗蚀剂掩模 630。此后,使用抗蚀剂掩模 630 有选择地蚀刻导电层 628,使得形成用作栅电极的导电层 632(参见图 15D)。在形成导电层 632 之后,去除抗蚀剂掩模 630。关于上述组件的细节,能够参阅上述实施例。

[0205] 这样,设置晶体管 650,其中包括在衬底 600 之上形成的导电层 606、覆盖导电层 606 的绝缘层 608、在绝缘层 608 之上形成为与导电层 606 的一部分重叠并且在表面部分中具有结晶区的氧化物半导体层 624、形成为与氧化物半导体层 624 相接触的导电层 616 和 618、覆盖氧化物半导体层 624 和导电层 616 和 618 的绝缘层 626 以及在绝缘层 626 之上形成为与氧化物半导体层 624 的一部分重叠的导电层 632(参见图 15E)。注意,可以说,晶体管 650 是新半导体器件,因为使用在表面部分中具有结晶区的氧化物半导体层,并且用两个导电层来控制电流。

[0206] 当如这个实施例中所述使用上述实施例中所述的氧化物半导体层来制造半导体器件时,能够防止杂质(例如氢(包括水))进入氧化物半导体层。因此,半导体器件的可靠性能够得到提高。

[0207] 另外,当使用上述实施例中所述的氧化物半导体层来制造半导体器件时,有可能提供具有有利电特性的半导体器件。

[0208] 此外,通过采用其中除了用作所谓的栅电极的导电层之外还在氧化物半导体层之下形成导电层的结构,能够阻止外部电场,使得外部电场对半导体器件的不利影响能够降低。因此,能够防止因氧化物半导体层的衬底侧上的电荷的积聚以及阈值电压的波动而引起的寄生沟道的生成。

[0209] 这个实施例中所述的结构、方法等能够与任意其它实施例中所述的结构、方法等适当组合。

[0210] (实施例 9)

[0211] 在这个实施例中,参照图 16A 至图 16C 以及图 17A 和图 17B 来描述用于在同一衬底之上并且通过相似步骤来制造所谓的功率 MOSFET 和薄膜晶体管的方法的示例。注意,这个实施例中制造半导体器件的步骤和上述实施例中的步骤具有许多相同之处,使得省略对

共同部分的描述。

[0212] 注意,这个实施例中制造半导体器件的步骤与上述实施例中制造半导体器件的步骤的不同之处在于,用于控制氧化物半导体层中的电场的导电层在氧化物半导体层之下形成。

[0213] 首先,导电层 102 在衬底 100 之上形成,并且形成作为薄膜晶体管的组件的导电层 202。然后,形成覆盖导电层 202 的绝缘层 203(参见图 16A)。关于细节,能够参阅上述实施例(例如实施例 4)。注意,导电层 202 通过与导电层 102 相似的步骤来形成,并且具有控制氧化物半导体层中的电场的功能。优选的是,导电层 102 没有覆盖有绝缘层 203。例如,绝缘层 203 能够按照使得绝缘层在衬底 100 之上形成并且形成图案的方式来形成。

[0214] 随后,包括结晶区 106 的氧化物半导体层 104 形成为使得覆盖导电层 102,并且包括结晶区 206 的氧化物半导体层 204 在绝缘层 203 之上形成(参见图 16B)。然后,在氧化物半导体层 104 之上没有与导电层 102 重叠的区域中形成导电层 108,并且在氧化物半导体层 204 之上形成导电层 208 和 209(参见图 16C)。关于细节,能够参阅上述实施例。

[0215] 下列步骤与上述实施例(例如实施例 4)的步骤相似。换言之,绝缘层 110 形成为使得覆盖氧化物半导体层 104、导电层 108、氧化物半导体层 204、导电层 208 和导电层 209(参见图 17A);通过有选择地去除绝缘层 110 等,来形成达到导电层 102、108、202、208 和 209 的开口;然后,形成电连接到导电层 108 的导电层 112、电连接到导电层 102 的导电层 114、导电层 116、电连接到导电层 202 的导电层(未示出)、电连接到导电层 208 的导电层 212、电连接到导电层 209 的导电层 214、导电层 216 等(参见图 17B)。注意,导电层 202 和导电层 216 可相互电连接;但是,为了控制电场,导电层 202 和导电层 216 不一定相互电连接。例如,作为导电层 202 的电位,能够使用浮动电位、固定电位以及与导电层 216 的电位不同地波动的电位中的任一个。

[0216] 这样,功率 MOSFET 和薄膜晶体管能够在同一衬底之上并且通过相似步骤来形成。

[0217] 此外,通过采用其中除了用作所谓的栅电极的导电层之外还在氧化物半导体层之下形成导电层的结构,能够阻止外部电场,使得外部电场对半导体器件的不利影响能够降低。因此,能够防止因氧化物半导体层的衬底侧上的电荷的积聚以及阈值电压的波动而引起的寄生沟道的生成。

[0218] 本实施例中所述的结构、方法等能够与任意其它实施例适当地组合。

[0219] (实施例 10)

[0220] 在这个实施例中,参照图 18A 至图 18C 以及图 19A 和图 19B 来描述用于在同一衬底之上并且通过相似步骤来制造所谓的功率 MOSFET 和薄膜晶体管的方法的一个不同示例。注意,这个实施例中制造半导体器件的步骤和上述实施例中的步骤具有许多相同之处,使得省略对共同部分的描述。

[0221] 注意,这个实施例中制造半导体器件的步骤与上述实施例中制造半导体器件的步骤的不同之处在于,用于控制电场的导电层在功率 MOSFET 的氧化物半导体层之下形成。

[0222] 首先,导电层 102 和导电层 103 在衬底 100 之上形成,并且形成作为薄膜晶体管的组件的导电层 202。然后,形成覆盖导电层 103 和 202 的绝缘层 203(参见图 18A)。关于细节,能够参阅上述实施例(例如实施例 4)。注意,导电层 103 和 202 的每个通过与导电层 102 的步骤相似的步骤来形成,并且具有控制氧化物半导体层中的电场的功能。优选的是,

导电层 102 没有覆盖有绝缘层 203。例如,绝缘层 203 能够按照使得绝缘层在衬底 100 之上形成并且形成图案的方式来形成。

[0223] 随后,包括结晶区 106 的氧化物半导体层 104 形成为使得覆盖导电层 102 和绝缘层 203,并且包括结晶区 206 的氧化物半导体层 204 在绝缘层 203 之上形成(参见图 18B)。然后,在氧化物半导体层 104 之上没有与导电层 102 重叠的区域中形成导电层 108,并且在氧化物半导体层 204 之上形成导电层 208 和 209(参见图 18C)。关于细节,能够参阅上述实施例(例如实施例 4)。

[0224] 下列步骤与上述实施例(例如实施例 4 或 9)相似。换言之,绝缘层 110 形成为使得覆盖氧化物半导体层 104、导电层 108、氧化物半导体层 204、导电层 208 和导电层 209(参见图 19A);通过有选择地去除绝缘层 110 等,来形成达到导电层 102、103、108、202、208 和 209 的开口;然后,形成电连接到导电层 108 的导电层 112、电连接到导电层 102 的导电层 114、电连接到导电层 103 的导电层(未示出)、导电层 116、电连接到导电层 202 的导电层(未示出)、电连接到导电层 208 的导电层 212、电连接到导电层 209 的导电层 214、导电层 216 等(参见图 19B)。注意,导电层 103 和 116 或者导电层 202 和 216 可相互电连接;但是,为了控制电场,导电层 103 和 116 或者导电层 202 和 216 不一定相互电连接。例如,作为导电层 103 的电位或者导电层 202 的电位,能够使用浮动电位、固定电位以及与导电层 116 的电位或者导电层 216 的电位不同地波动的电位中的任一个。

[0225] 这样,功率 MOSFET 和薄膜晶体管能够在同一衬底之上并且通过相似步骤来形成。

[0226] 此外,通过采用其中除了用作所谓的栅电极的导电层之外还在氧化物半导体层之下形成导电层的结构,能够阻止外部电场,使得外部电场对半导体器件的不利影响能够降低。因此,能够防止因氧化物半导体层的衬底侧上的电荷的积聚以及阈值电压的波动而引起的寄生沟道的生成。

[0227] 本实施例中所述的结构、方法等能够与任意其它实施例适当地组合。

[0228] 本申请基于 2009 年 10 月 9 日向日本专利局提交的序号为 2009-235604 的日本专利申请,通过引用将其完整内容结合于此。

图 1A

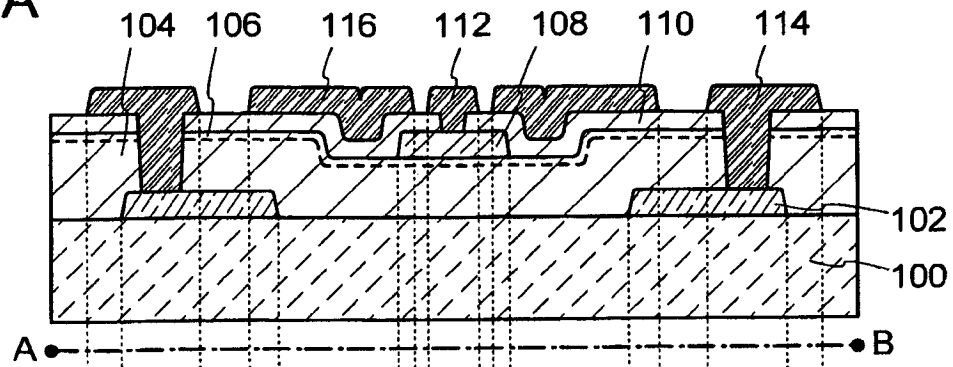
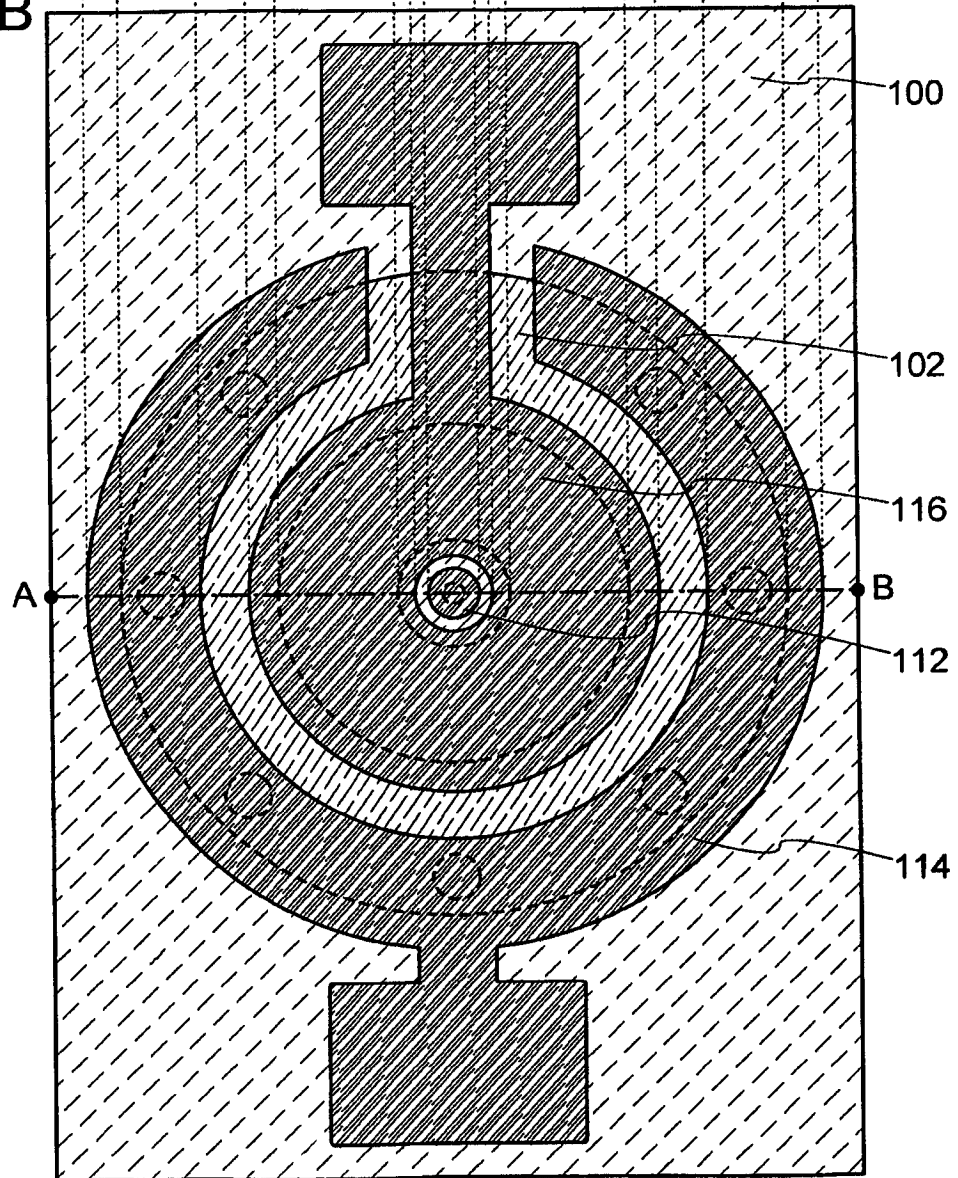


图 1B



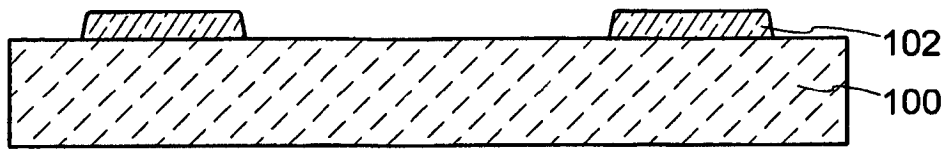


图 2A

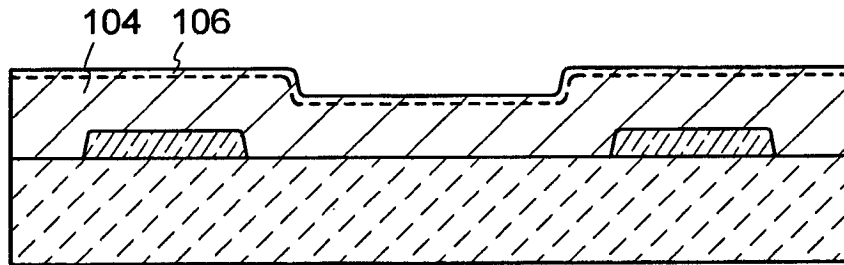


图 2B

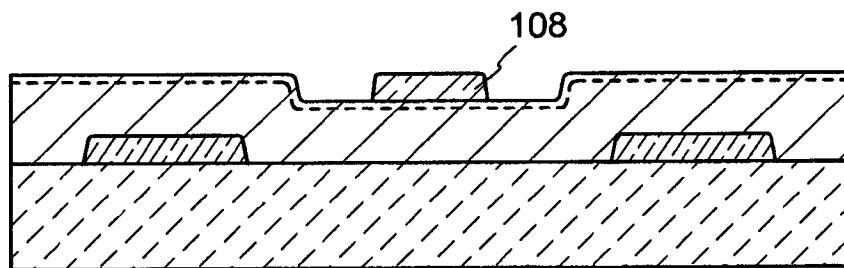


图 2C

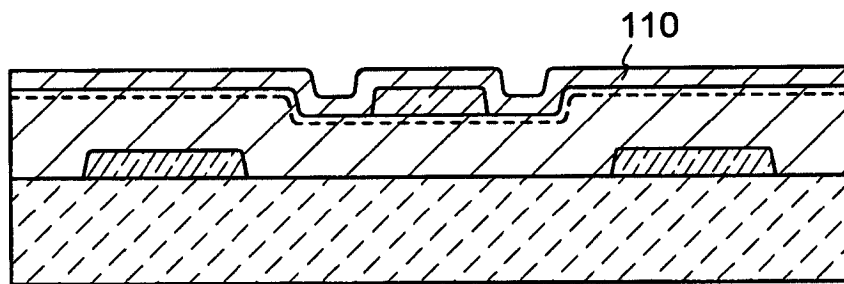


图 2D

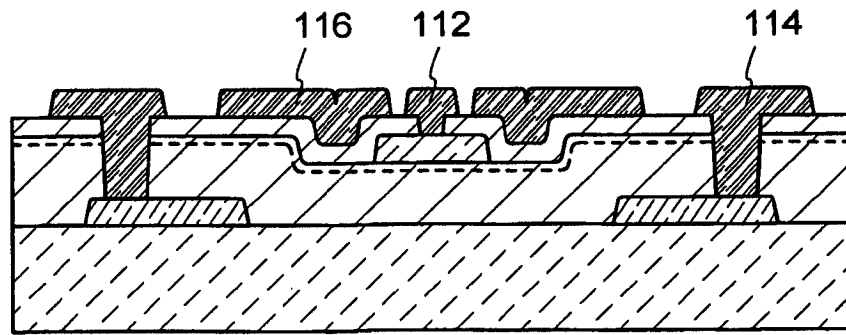


图 2E

图 3A

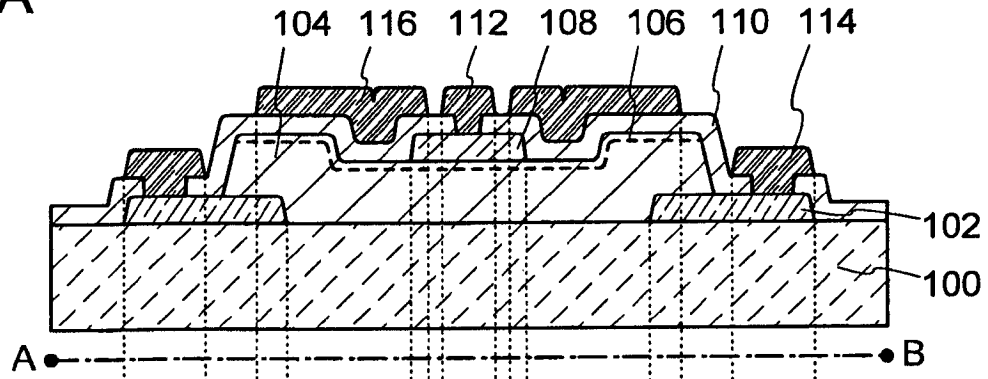
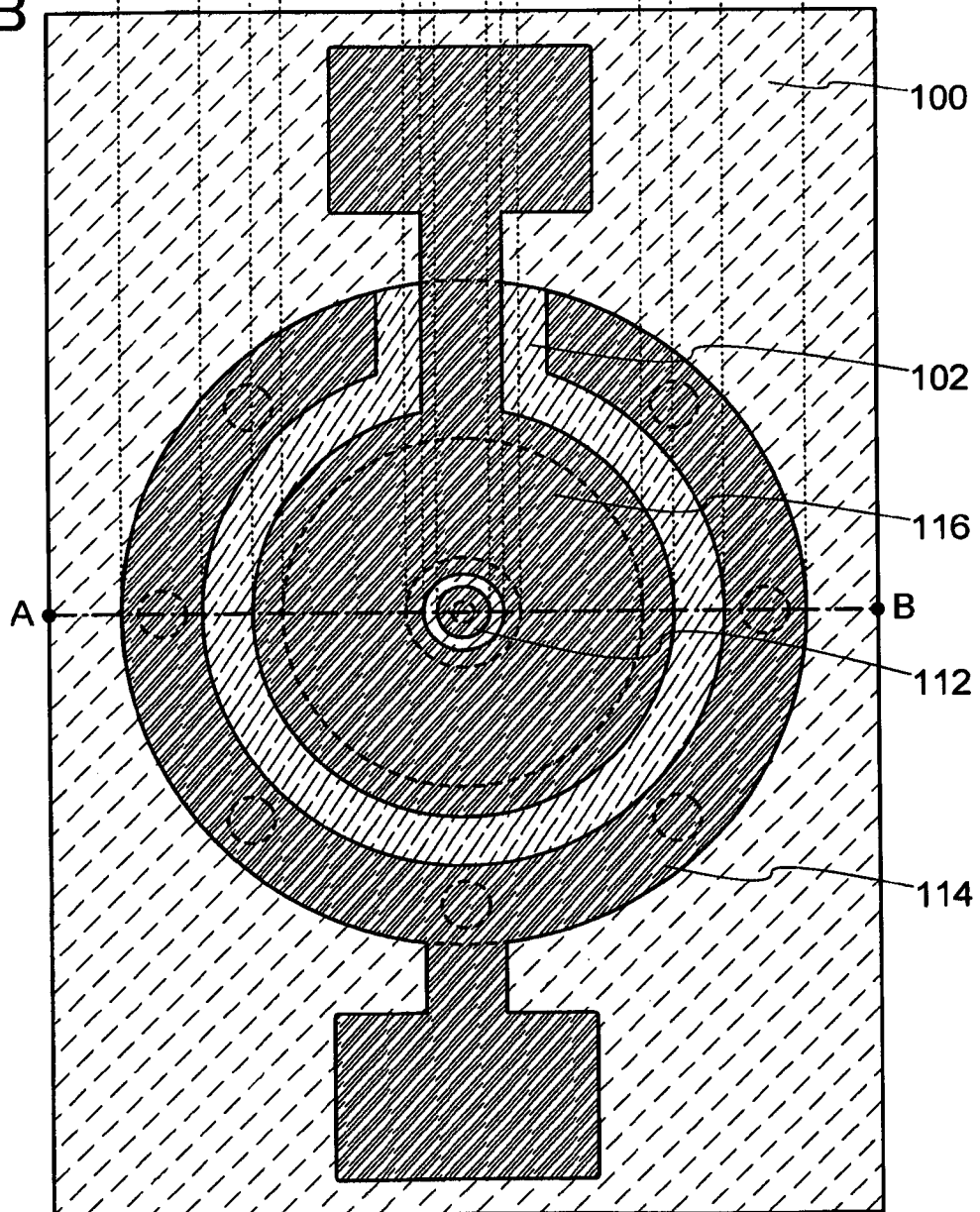


图 3B



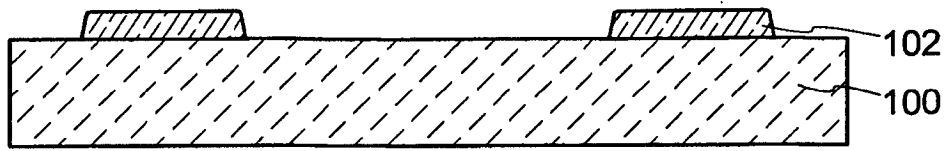


图 4A

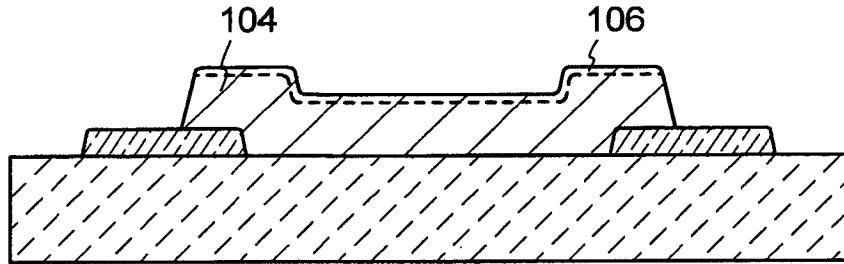


图 4B

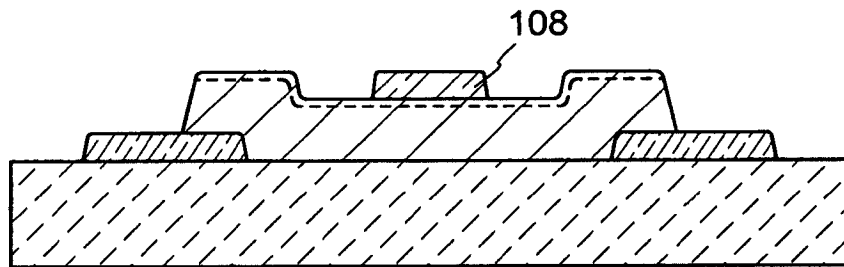


图 4C

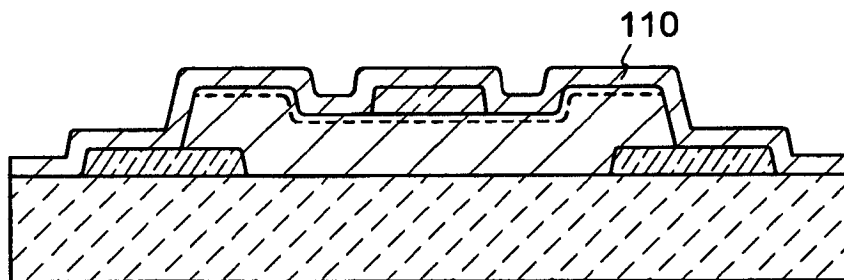


图 4D

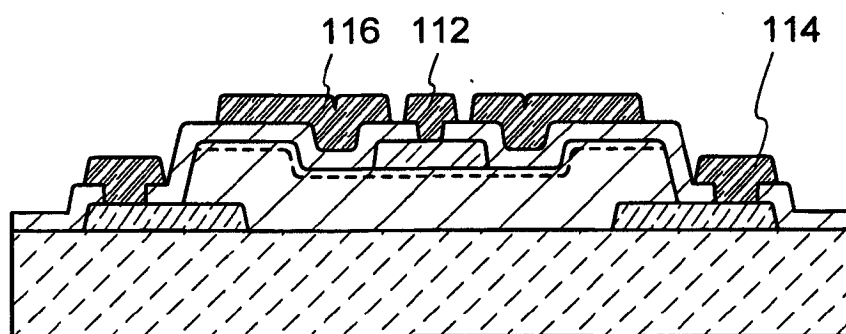


图 4E

图 5A

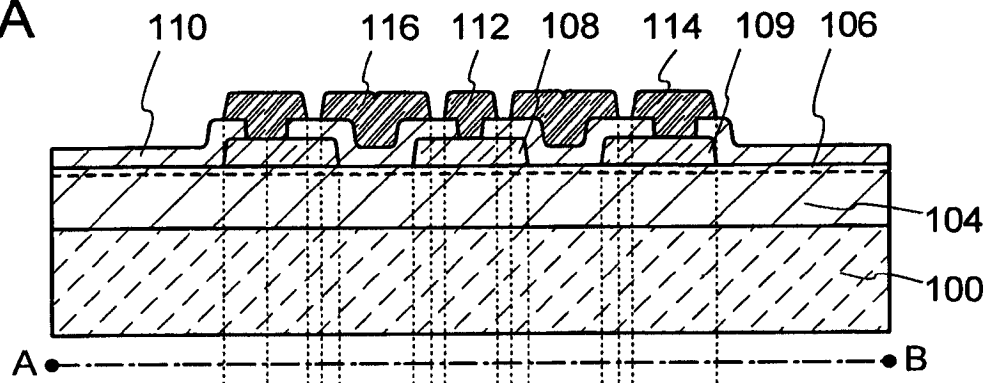
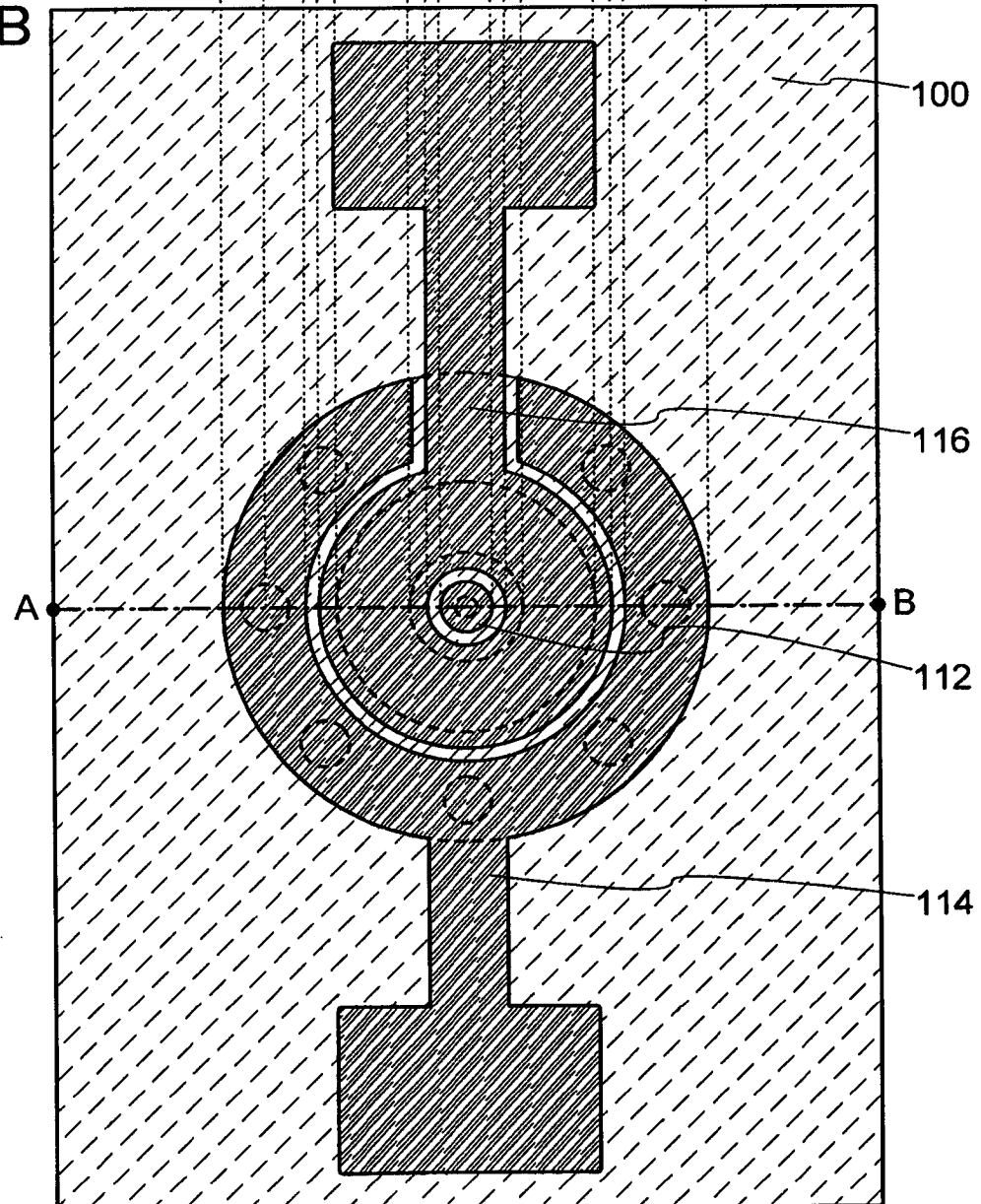


图 5B



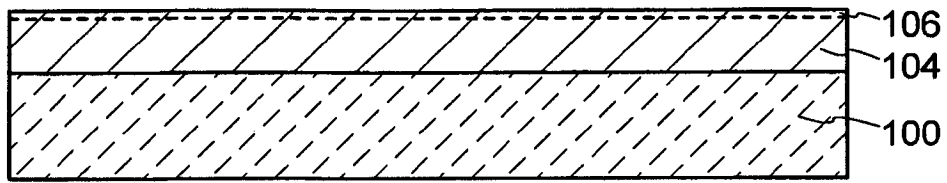


图 6A

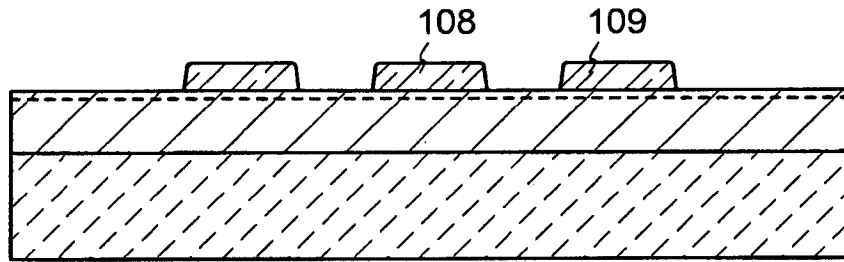


图 6B

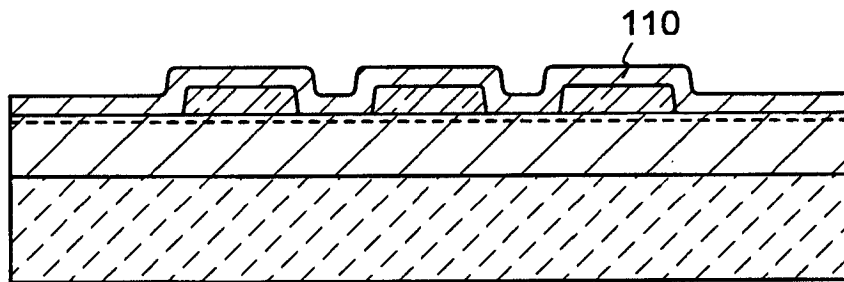


图 6C

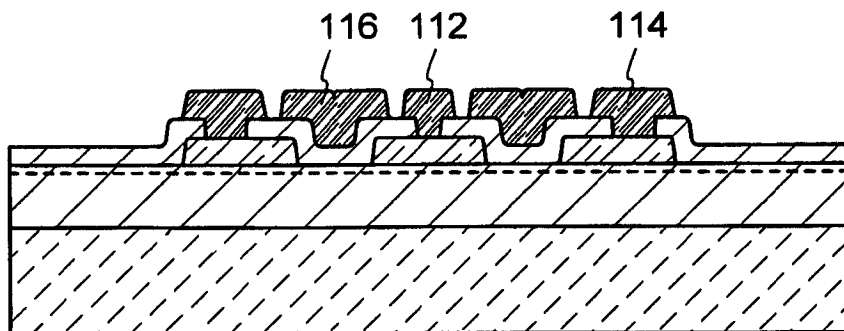


图 6D

图 7A

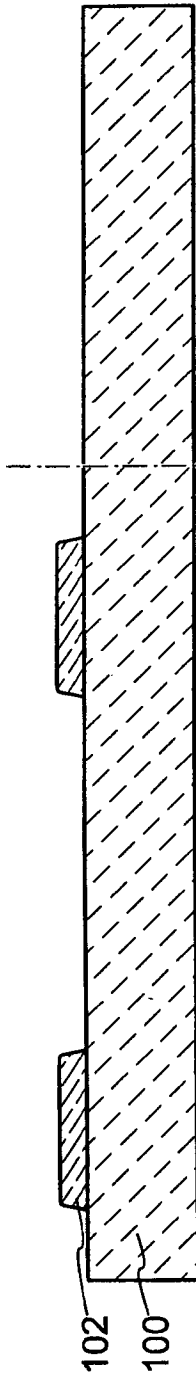


图 7B

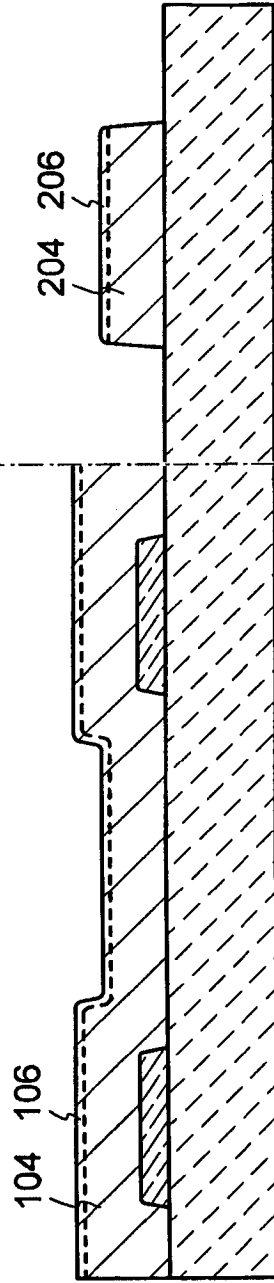


图 7C

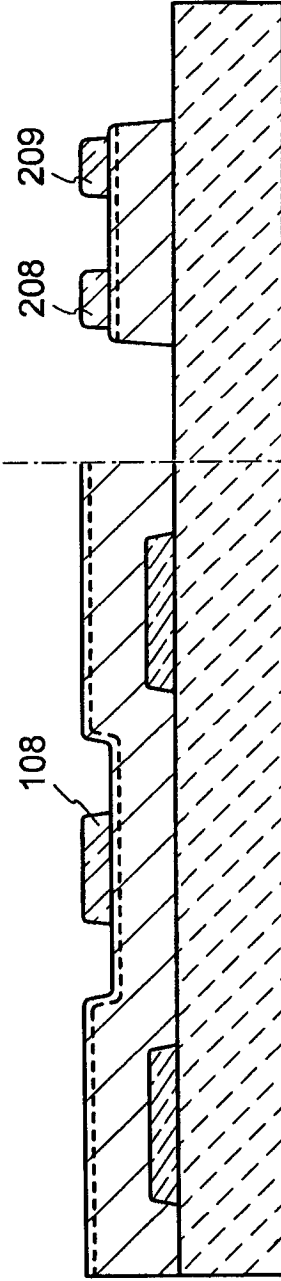


图 8A

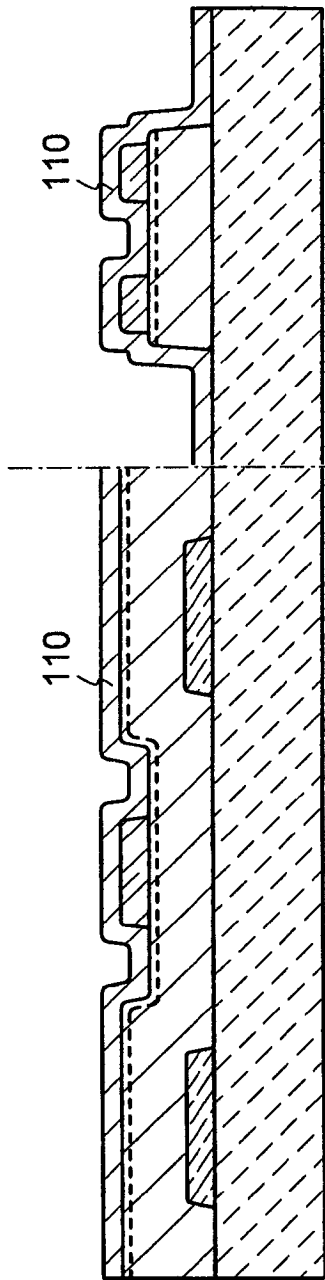
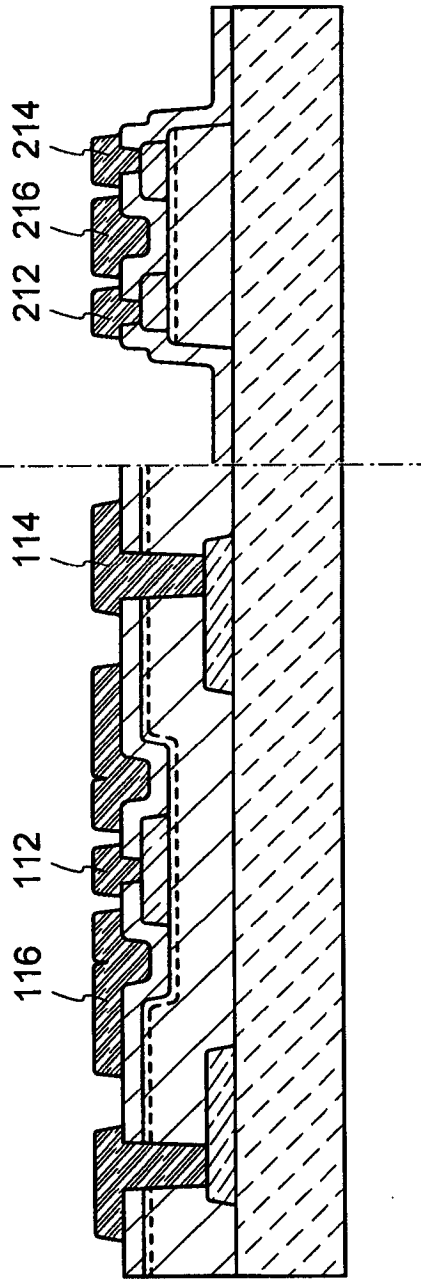


图 8B



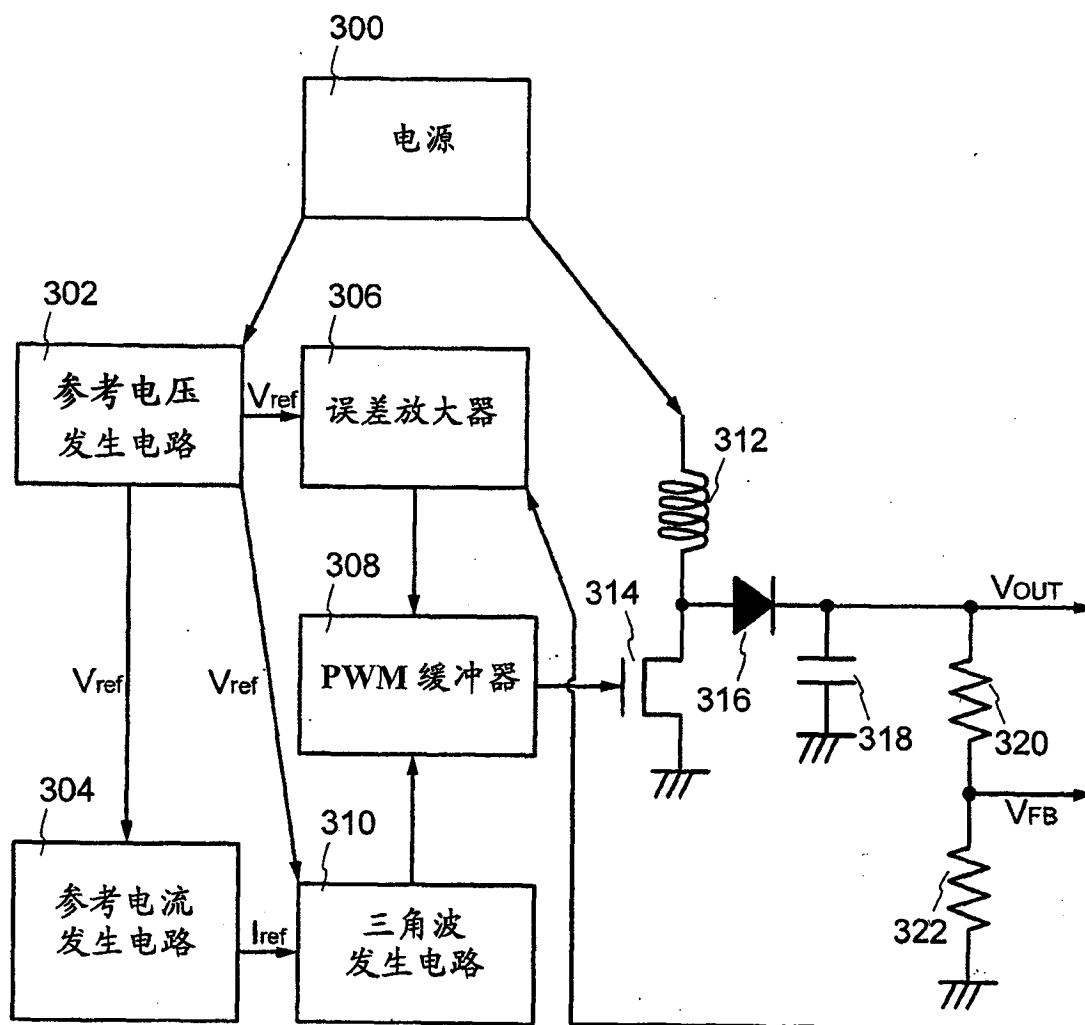


图 9

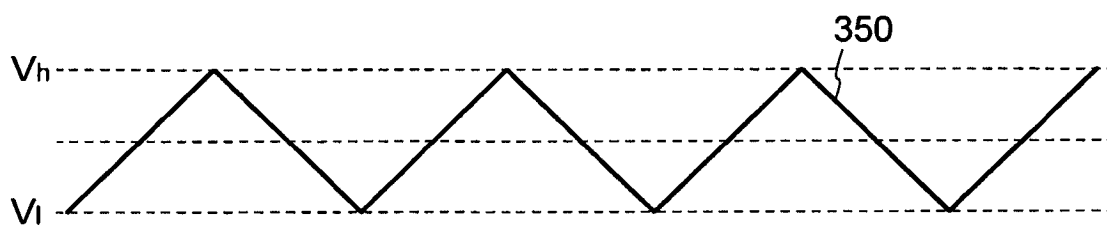


图 10A

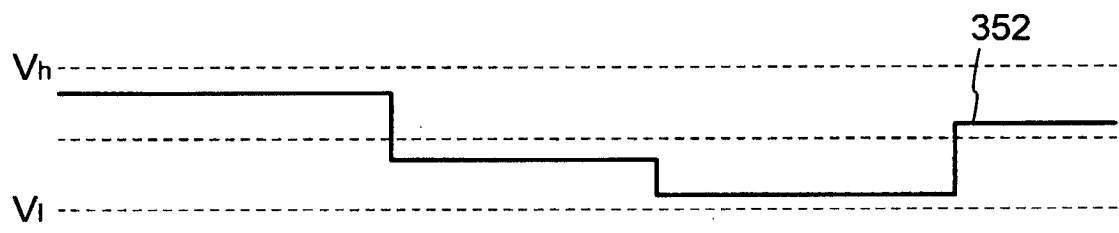


图 10B

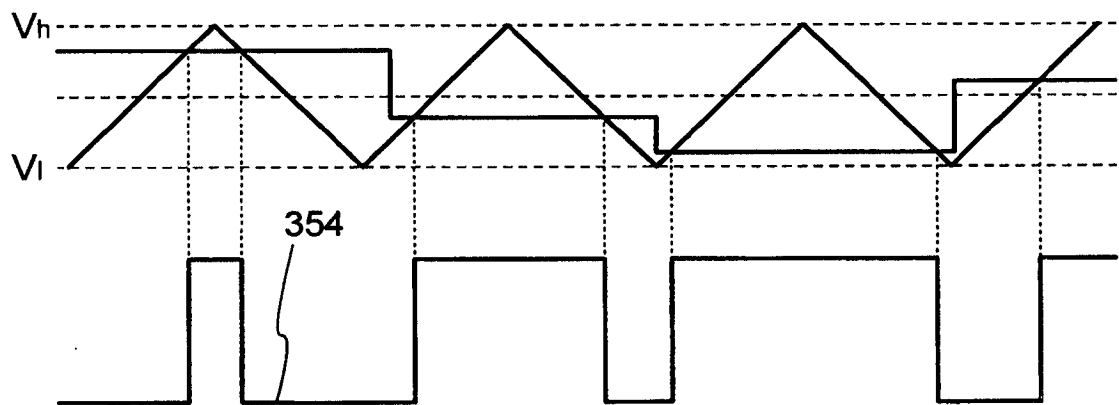


图 10C

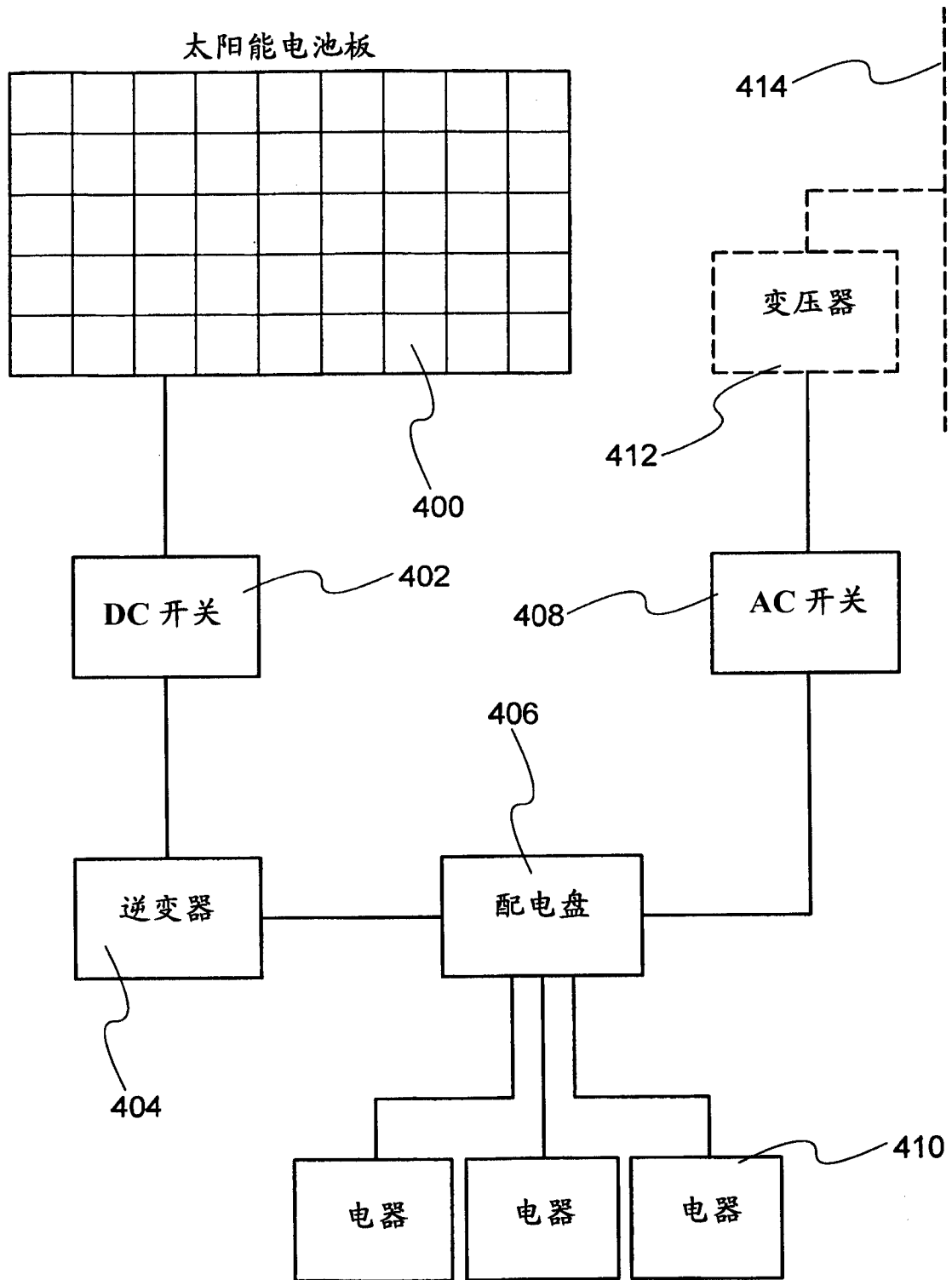


图 11

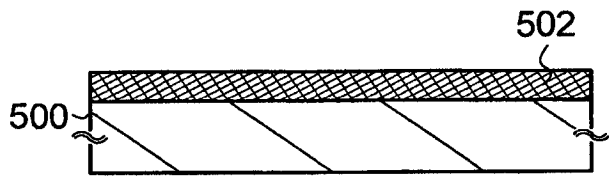


图 12A

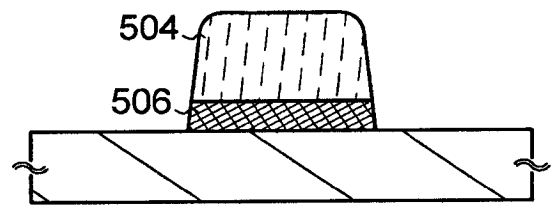


图 12B

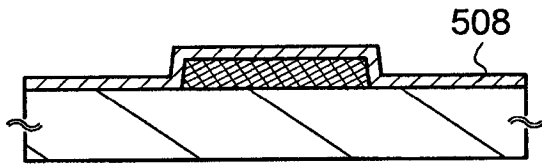


图 12C

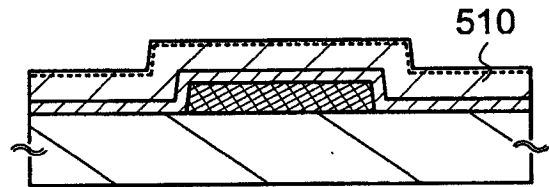


图 12D

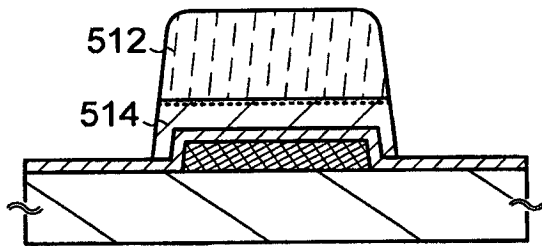


图 12E

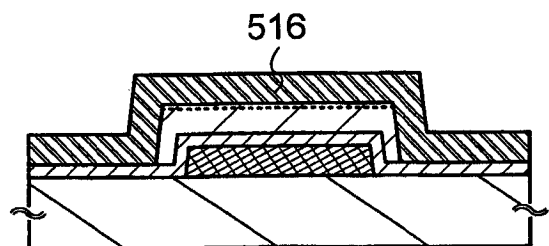


图 12F

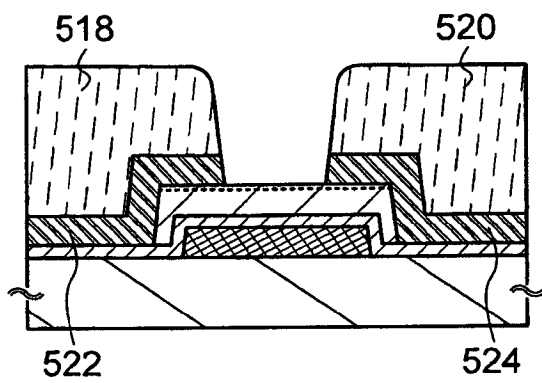


图 13A

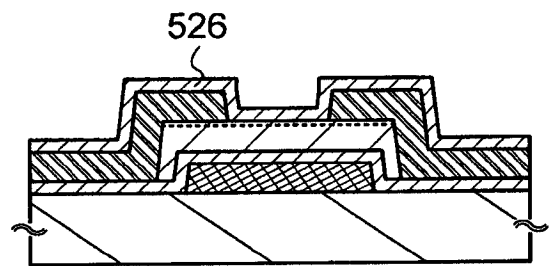


图 13B

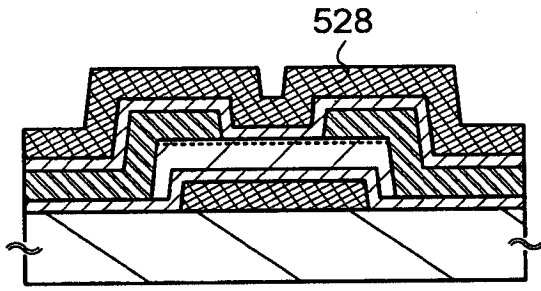


图 13C

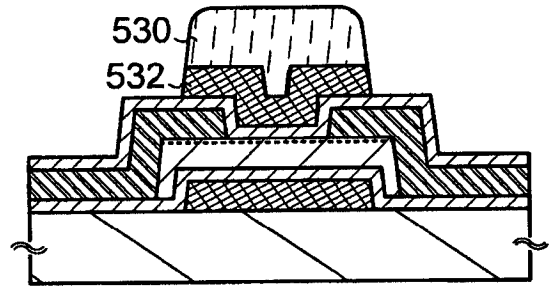


图 13D

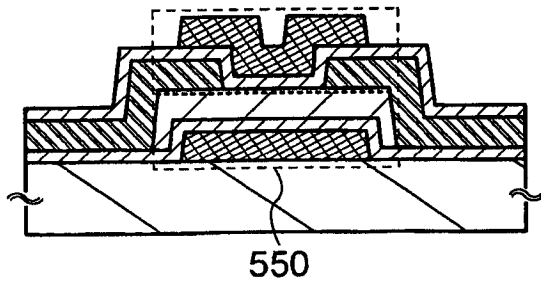


图 13E

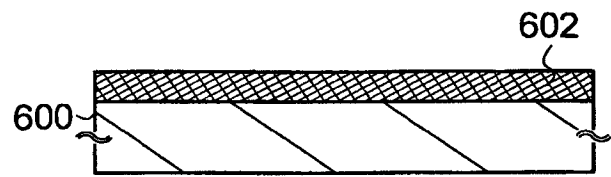


图 14A

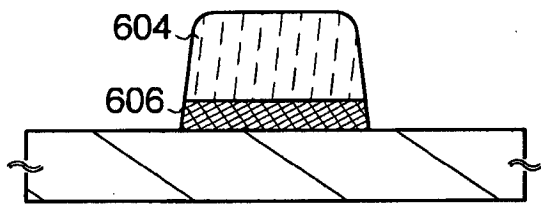


图 14B

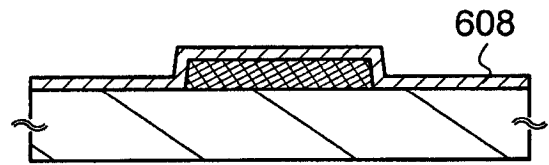


图 14C

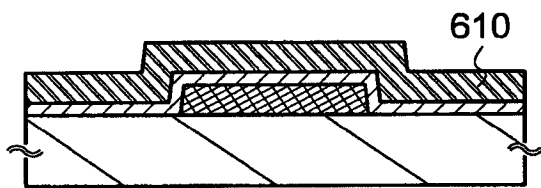


图 14D

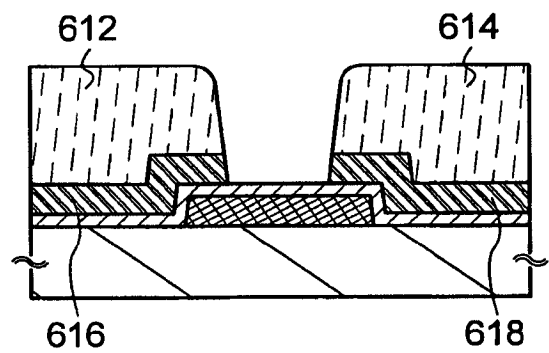


图 14E

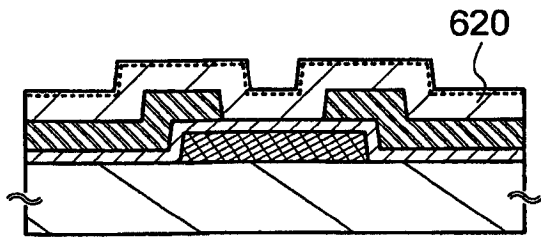


图 14F

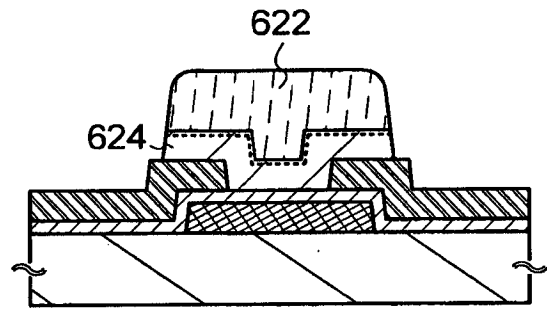


图 15A

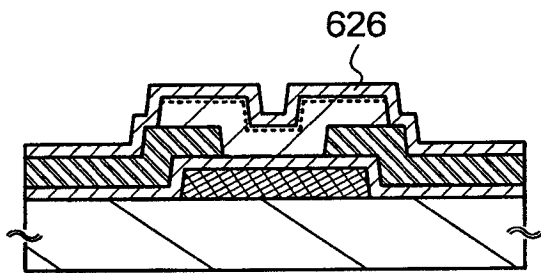


图 15B

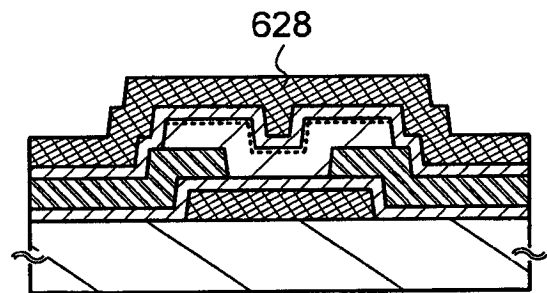


图 15C

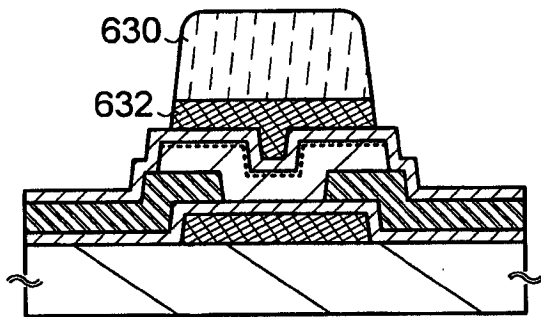


图 15D

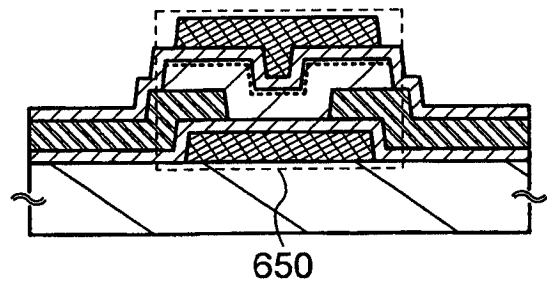


图 15E

图 16A

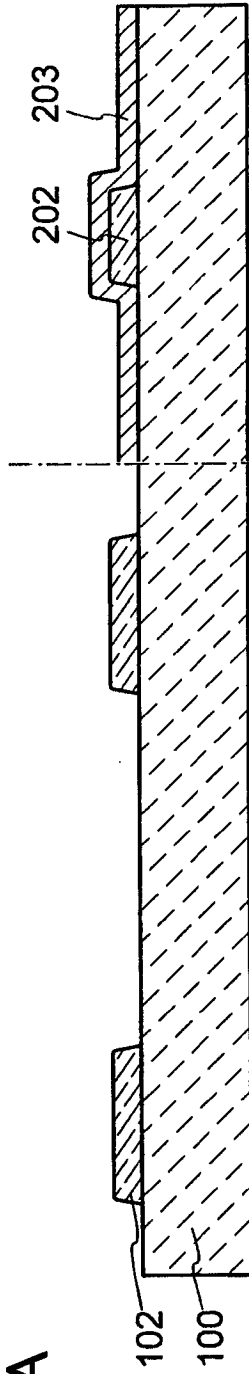


图 16B

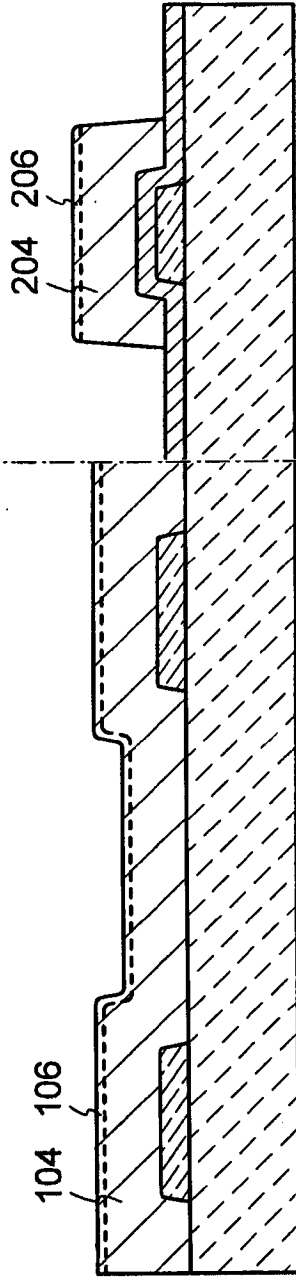


图 16C

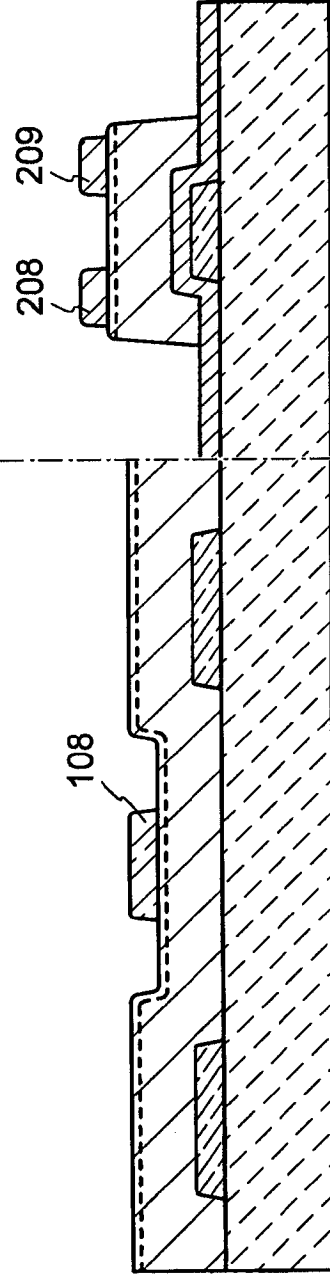


图 17A

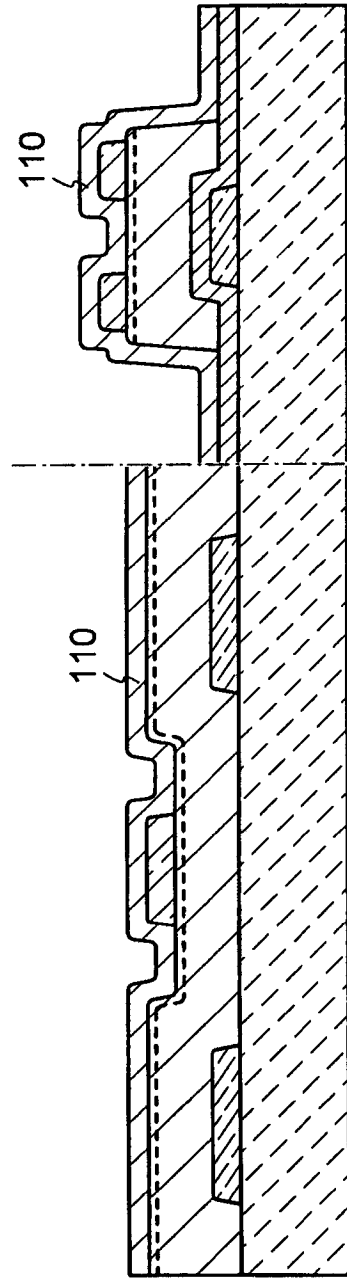


图 17B

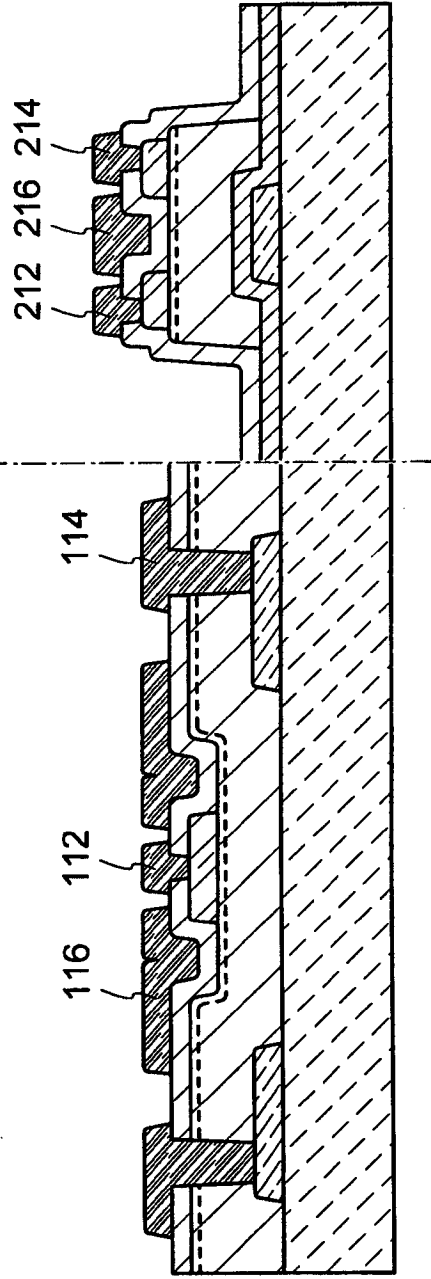


图 18A

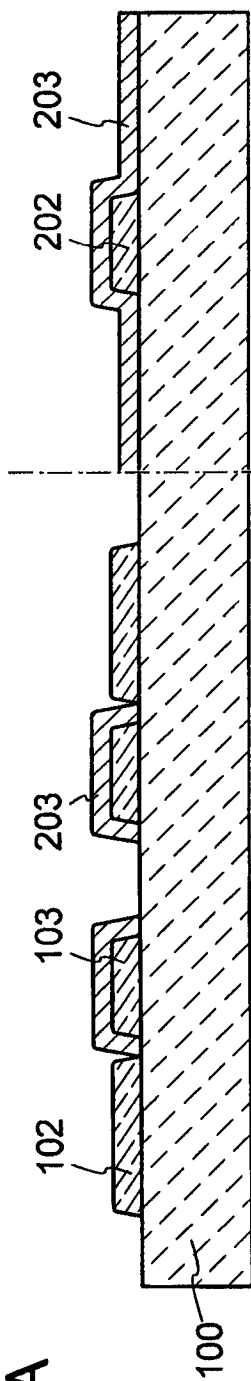


图 18B

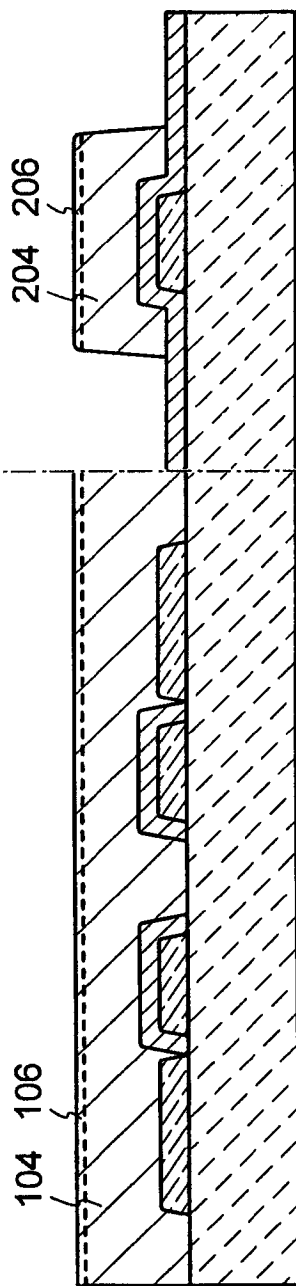


图 18C

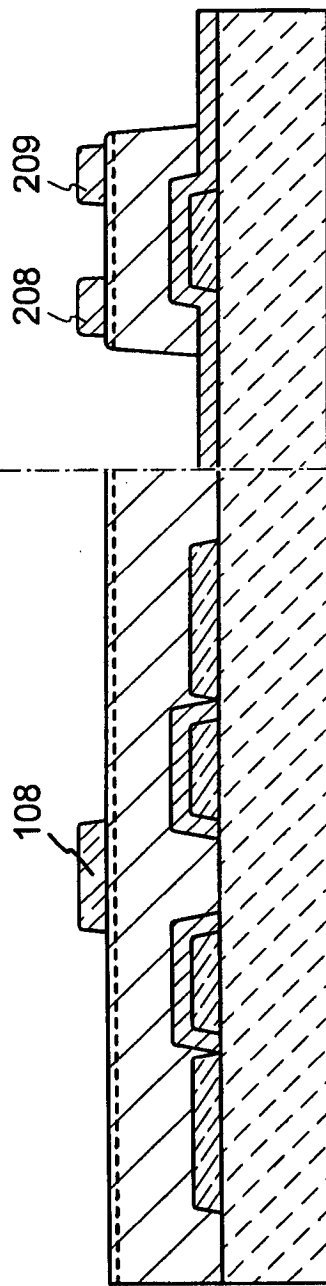


图 19A

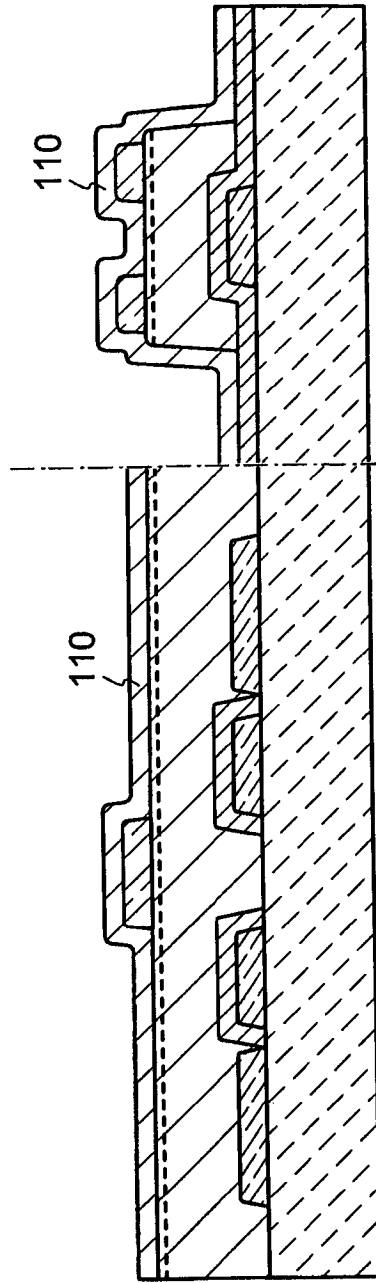
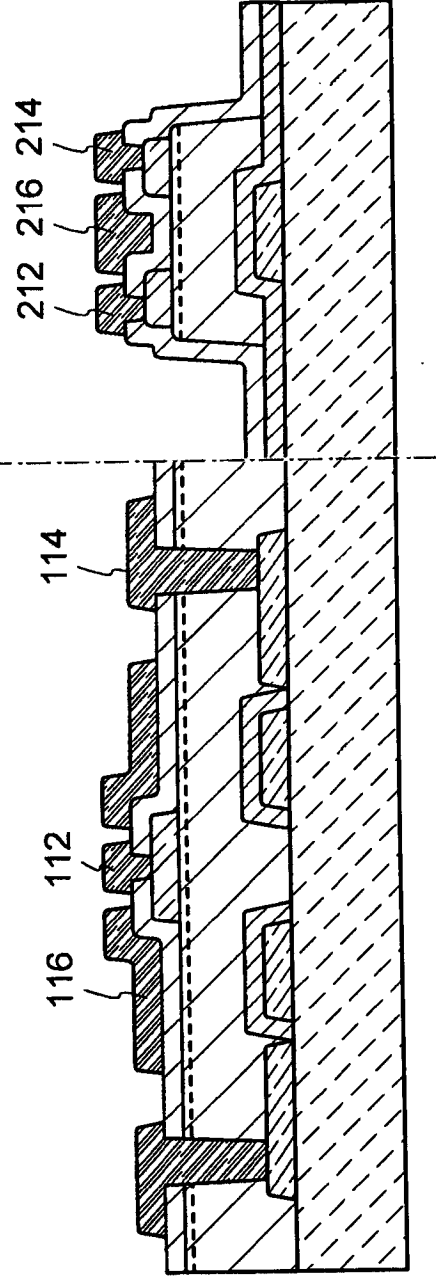


图 19B



参考标号说明

100: 衬底, 102: 导电层, 103: 导电层, 104: 氧化物半导体层, 106: 结晶区, 108: 导电层, 109: 导电层, 110: 绝缘层, 112: 导电层, 114: 导电层, 116: 导电层, 202: 导电层, 203: 绝缘层, 204: 氧化物半导体层, 206: 结晶区, 208: 导电层, 209: 导电层, 212: 导电层, 214: 导电层, 216: 导电层, 300: 电源, 302: 参考电压发生电路, 304: 参考电流发生电路, 306: 误差放大器, 308: PWM 缓冲器, 310: 三角波发生电路, 312: 线圈, 314: 功率 MOSFET, 316: 二极管, 318: 电容器, 320: 电阻器, 322: 电阻器, 350: 三角波, 352: 输出波形, 354: 脉冲信号, 400: 太阳能电池板, 402: DC 开关, 404: 逆变器, 406: 配电盘, 408: AC 开关, 410: 电器, 412: 变压器, 414: 配电线, 500: 衬底, 502: 导电层, 504: 抗蚀剂掩模, 506: 导电层, 508: 绝缘层, 510: 氧化物半导体层, 512: 抗蚀剂掩模, 514: 氧化物半导体层, 516: 导电层, 518: 抗蚀剂掩模, 520: 抗蚀剂掩模, 522: 导电层, 524: 导电层, 526: 绝缘层, 528: 导电层, 530: 抗蚀剂掩模, 532: 导电层, 550: 晶体管, 600: 衬底, 602: 导电层, 604: 抗蚀剂掩模, 606: 导电层, 608: 绝缘层, 610: 导电层, 612: 抗蚀剂掩模, 614: 抗蚀剂掩模, 616: 导电层, 618: 导电层, 620: 氧化物半导体层, 622: 抗蚀剂掩模, 624: 氧化物半导体层, 626: 绝缘层, 628: 导电层, 630: 抗蚀剂掩模, 632: 导电层, 以及 650: 晶体管