



(12)实用新型专利

(10)授权公告号 CN 207800597 U

(45)授权公告日 2018.08.31

(21)申请号 201820270365.X

(22)申请日 2018.02.26

(30)优先权数据

2017-035049 2017.02.27 JP

(73)专利权人 瑞萨电子株式会社

地址 日本东京

(72)发明人 萱岛祐治 关口智久

(74)专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 金春实

(51)Int.Cl.

H01L 23/485(2006.01)

H01L 23/488(2006.01)

(ESM)同样的发明创造已同日申请发明专利

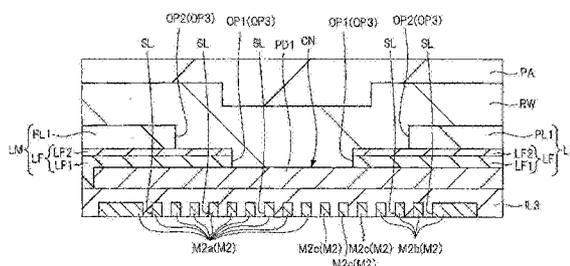
权利要求书3页 说明书32页 附图44页

(54)实用新型名称

半导体装置

(57)摘要

本公开涉及半导体装置,具有:半导体基板;第一布线;第二层间绝缘膜;第一焊盘;第一绝缘膜,具有第一开口部;第二布线;以及第二焊盘,其中,在俯视观察时,所述第一布线的至少一部分与所述第一焊盘重叠,所述第一布线的端部位于所述第一焊盘与所述第二布线的连接区域的下方,在所述第一布线中的第一区域形成有多个第二开口部,在俯视观察时,所述第一区域的至少一部分与所述连接区域重叠。本公开的一个实施例解决的一个问题是在形成焊盘后形成有再布线的半导体装置中提高可靠性。根据本公开的一个实施例的一个用途是能够提高半导体装置的可靠性。



1. 一种半导体装置,其特征在于,具有:
半导体基板;
第一布线,在所述半导体基板上隔着第一层绝缘膜形成;
第二层绝缘膜,在所述第一层绝缘膜上以覆盖所述第一布线的方式形成;
第一焊盘,形成在所述第二层绝缘膜上;
第一绝缘膜,形成在所述第二层绝缘膜上,具有暴露所述第一焊盘的第一开口部;
第二布线,形成在包括从所述第一开口部暴露的所述第一焊盘之上在内的所述第一绝缘膜上,与所述第一焊盘电连接;以及
第二焊盘,形成在所述第一绝缘膜上,与所述第二布线成一体地连接,
其中,在俯视观察时,所述第一布线的至少一部分与所述第一焊盘重叠,
所述第一布线的端部位于所述第一焊盘与所述第二布线的连接区域的下方,
在所述第一布线中的第一区域形成有多个第二开口部,
在俯视观察时,所述第一区域的至少一部分与所述连接区域重叠。
2. 根据权利要求1所述的半导体装置,其特征在于,
在俯视观察时,所述第一布线与所述连接区域的重叠区域包含于所述第一区域。
3. 根据权利要求1所述的半导体装置,其特征在于,
所述多个第二开口部在所述第一布线的所述第一区域形成为狭缝状。
4. 根据权利要求1所述的半导体装置,其特征在于,
所述多个第二开口部在所述第一布线的所述第一区域形成为网格状。
5. 根据权利要求1所述的半导体装置,其特征在于,
假定在所述第一布线中未形成所述多个第二开口部的情况下的所述第一布线的第一宽度是 $0.6\mu\text{m}$ 以上,
在所述连接区域的下方,以在所述第一布线中不产生宽度为 $0.6\mu\text{m}$ 以上的部位的方式,
在所述第一布线的所述第一区域形成有所述多个第二开口部。
6. 根据权利要求1所述的半导体装置,其特征在于,
所述第一绝缘膜由第二绝缘膜与所述第二绝缘膜上的第三绝缘膜的层叠膜构成,
所述第三绝缘膜由树脂膜构成,
所述第一开口部由所述第二绝缘膜的第三开口部和所述第三绝缘膜的第四开口部形成,
在俯视观察时,所述第三开口部包含在所述第四开口部的内部,
对从所述第二绝缘膜的所述第三开口部暴露的所述第一焊盘连接有所述第二布线。
7. 根据权利要求6所述的半导体装置,其特征在于,
在俯视观察时,所述第一布线与所述第三开口部的重叠区域包含于所述第一区域。
8. 根据权利要求7所述的半导体装置,其特征在于,
在俯视观察时,所述第一布线与所述第四开口部的重叠区域包含于所述第一区域。
9. 根据权利要求8所述的半导体装置,其特征在于,
假定在所述第一布线中未形成所述多个第二开口部的情况下的所述第一布线的第一宽度是 $0.6\mu\text{m}$ 以上,
在所述第四开口部的下方,以在所述第一布线中不产生宽度为 $0.6\mu\text{m}$ 以上的部位的方

式,在所述第一布线的所述第一区域形成有所述多个第二开口部。

10. 根据权利要求8所述的半导体装置,其特征在于,

在俯视观察时,在与所述第四开口部相距 $5\mu\text{m}$ 以上的区域中未形成所述多个第二开口部。

11. 根据权利要求8所述的半导体装置,其特征在于,

所述多个第二开口部在所述第一布线的所述第一区域形成为狭缝状。

12. 根据权利要求8所述的半导体装置,其特征在于,

所述多个第二开口部在所述第一布线的所述第一区域形成为网格状。

13. 根据权利要求8所述的半导体装置,其特征在于,

所述第二绝缘膜由第四绝缘膜与形成在所述第四绝缘膜上的第五绝缘膜的层叠膜构成,所述第四绝缘膜由氧化硅膜构成,所述第五绝缘膜由氮氧化硅膜或氮化硅膜构成。

14. 根据权利要求1所述的半导体装置,其特征在于,

所述第一焊盘是铝焊盘,

所述第二布线是铜布线。

15. 根据权利要求1所述的半导体装置,其特征在于,

所述第一布线是电源布线或地线布线。

16. 根据权利要求1所述的半导体装置,其特征在于,

在所述第一绝缘膜上还具有以覆盖所述第二布线的方式形成的保护绝缘膜,

所述保护绝缘膜具有暴露所述第二焊盘的第五开口部。

17. 根据权利要求1所述的半导体装置,其特征在于,

还具有在所述第一焊盘的下方延伸且与所述第一布线同层的第三布线,

在俯视观察时,所述第三布线的至少一部分与所述第一焊盘重叠,

所述第三布线的端部位于所述连接区域的下方,

在所述第三布线中未形成开口部,

所述第三布线的第二宽度小于假定在所述第一布线中未形成所述多个第二开口部的情况下的所述第一布线的第一宽度。

18. 根据权利要求17所述的半导体装置,其特征在于,

所述第一布线是电源布线或地线布线,

所述第三布线是信号布线。

19. 根据权利要求1所述的半导体装置,其特征在于,

所述第一布线成一体地具有沿第一方向延伸的第一布线部以及沿与所述第一方向交叉的第二方向延伸的第二布线部,

所述第一布线部与所述第二布线部的连结部包含于所述第一区域,

在所述第一布线部中的所述第一区域,所述多个第二开口部在所述连结部的附近形成为网格状,在除了所述连结部的附近以外的部分形成为沿所述第一方向延伸的狭缝状。

20. 一种半导体装置,其特征在于,具有:

半导体基板;

第一布线,在所述半导体基板上隔着第一层间绝缘膜形成;

第二层间绝缘膜,在所述第一层间绝缘膜上以覆盖所述第一布线的方式形成;

第一焊盘,形成在所述第二层间绝缘膜上;

第一绝缘膜,形成在所述第二层间绝缘膜上,具有暴露所述第一焊盘的第一开口部;

第二布线,形成在包括从所述第一开口部暴露的所述第一焊盘之上在内的所述第一绝缘膜上,与所述第一焊盘电连接;以及

第二焊盘,形成在所述第一绝缘膜上,与所述第二布线成一体地连接,

其中,所述第一绝缘膜由第二绝缘膜与所述第二绝缘膜上的第三绝缘膜的层叠膜构成,

所述第三绝缘膜由树脂膜构成,

所述第一开口部由所述第二绝缘膜的第三开口部和所述第三绝缘膜的第四开口部形成,

在俯视观察时,所述第三开口部包含在所述第四开口部的内部,

对从所述第二绝缘膜的所述第三开口部暴露的所述第一焊盘连接有所述第二布线,

在俯视观察时,所述第一布线的至少一部分与所述第一焊盘重叠,

所述第一布线的端部位于所述第四开口部的下方,

在所述第一布线中的第一区域形成有多个第二开口部,

在俯视观察时,所述第一区域的至少一部分与所述第四开口部重叠。

半导体装置

技术领域

[0001] 本实用新型涉及一种半导体装置,例如能够适当利用于在形成焊盘后形成有再布线的半导体装置。

背景技术

[0002] 存在一种在形成结合焊盘后形成再布线来制造半导体装置的技术。

[0003] 在日本特开2003-264256号公报(专利文献1)中,记载了关于在形成结合焊盘BP后形成有Cu布线10的半导体装置的技术。在日本特开2000-183214号公报(专利文献2)和日本特开平6-53211号公报(专利文献3)中记载了在布线层中设置狭缝的技术。

[0004] 专利文献1:日本特开2003-264256号公报

[0005] 专利文献2:日本特开2000-183214号公报

[0006] 专利文献3:日本特开平6-53211号公报

实用新型内容

[0007] 本公开的一个实施例的一个目的是在形成焊盘后形成有再布线的半导体装置中提高可靠性。

[0008] 根据一个实施例,半导体装置具有:半导体基板;第一布线,在所述半导体基板上隔着第一层间绝缘膜形成;第二层间绝缘膜,在所述第一层间绝缘膜上以覆盖所述第一布线的方式形成;第一焊盘,形成在所述第二层间绝缘膜上;第一绝缘膜,形成在所述第二层间绝缘膜上,具有暴露所述第一焊盘的第一开口部;第二布线,形成在包括从所述第一开口部暴露的所述第一焊盘之内的所述第一绝缘膜上,与所述第一焊盘电连接;以及第二焊盘,形成在所述第一绝缘膜上,与所述第二布线成一体地连接,其中,在俯视观察时,所述第一布线的至少一部分与所述第一焊盘重叠,所述第一布线的端部位于所述第一焊盘与所述第二布线的连接区域的下方,在所述第一布线中的第一区域形成有多个第二开口部,在俯视观察时,所述第一区域的至少一部分与所述连接区域重叠。

[0009] 根据一个实施例,在俯视观察时,所述第一布线与所述连接区域的重叠区域包含于所述第一区域。

[0010] 根据一个实施例,所述多个第二开口部在所述第一布线的所述第一区域形成为狭缝状。

[0011] 根据一个实施例,所述多个第二开口部在所述第一布线的所述第一区域形成为网格状。

[0012] 根据一个实施例,假定在所述第一布线中未形成所述多个第二开口部的情况下的所述第一布线的第一宽度是 $0.6\mu\text{m}$ 以上,在所述连接区域的下方,以在所述第一布线中不产生宽度为 $0.6\mu\text{m}$ 以上的部位的方式,在所述第一布线的所述第一区域形成有所述多个第二开口部。

[0013] 根据一个实施例,所述第一绝缘膜由第二绝缘膜与所述第二绝缘膜上的第三绝缘

膜的层叠膜构成,所述第三绝缘膜由树脂膜构成,所述第一开口部由所述第二绝缘膜的第三开口部和所述第三绝缘膜的第四开口部形成,在俯视观察时,所述第三开口部包含在所述第四开口部的内部,对从所述第二绝缘膜的所述第三开口部暴露的所述第一焊盘连接有所述第二布线。

[0014] 根据一个实施例,在俯视观察时,所述第一布线与所述第三开口部的重叠区域包含于所述第一区域。

[0015] 根据一个实施例,在俯视观察时,所述第一布线与所述第四开口部的重叠区域包含于所述第一区域。

[0016] 根据一个实施例,假定在所述第一布线中未形成所述多个第二开口部的情况下的所述第一布线的第二宽度是 $0.6\mu\text{m}$ 以上,在所述第四开口部的下方,以在所述第一布线中不产生宽度为 $0.6\mu\text{m}$ 以上的部位的方式,在所述第一布线的所述第一区域形成有所述多个第二开口部。

[0017] 根据一个实施例,在俯视观察时,在与所述第四开口部相距 $5\mu\text{m}$ 以上的区域中未形成所述多个第二开口部。

[0018] 根据一个实施例,所述多个第二开口部在所述第一布线的所述第一区域形成为狭缝状。

[0019] 根据一个实施例,所述多个第二开口部在所述第一布线的所述第一区域形成为网格状。

[0020] 根据一个实施例,所述第二绝缘膜由第四绝缘膜与形成在所述第四绝缘膜上的第五绝缘膜的层叠膜构成,所述第四绝缘膜由氧化硅膜构成,所述第五绝缘膜由氮氧化硅膜或氮化硅膜构成。

[0021] 根据一个实施例,所述第一焊盘是铝焊盘,所述第二布线是铜布线。

[0022] 根据一个实施例,所述第一布线是电源布线或地线布线。

[0023] 根据一个实施例,在所述第一绝缘膜上还具有以覆盖所述第二布线的方式形成的保护绝缘膜,所述保护绝缘膜具有暴露所述第二焊盘的第五开口部。

[0024] 根据一个实施例,还具有在所述第一焊盘的下方延伸且与所述第一布线同层的第三布线,在俯视观察时,所述第三布线的至少一部分与所述第一焊盘重叠,所述第三布线的端部位于所述连接区域的下方,在所述第三布线中未形成开口部,所述第三布线的第二宽度小于假定在所述第一布线中未形成所述多个第二开口部的情况下的所述第一布线的第二宽度。

[0025] 根据一个实施例,所述第一布线是电源布线或地线布线,所述第三布线是信号布线。

[0026] 根据一个实施例,所述第一布线成一体地具有沿第一方向延伸的第一布线部以及沿与所述第一方向交叉的第二方向延伸的第二布线部,所述第一布线部与所述第二布线部的连结部包含于所述第一区域,在所述第一布线部中的所述第一区域,所述多个第二开口部在所述连结部的附近形成为网格状,在除了所述连结部的附近以外的部分形成为沿所述第一方向延伸的狭缝状。

[0027] 根据一个实施例,半导体装置具有:半导体基板;第一布线,在所述半导体基板上隔着第一层间绝缘膜形成;第二层间绝缘膜,在所述第一层间绝缘膜上以覆盖所述第一布

线的方式形成;第一焊盘,形成在所述第二层间绝缘膜上;第一绝缘膜,形成在所述第二层间绝缘膜上,具有暴露所述第一焊盘的第一开口部;第二布线,形成在包括从所述第一开口部暴露的所述第一焊盘之上在内的所述第一绝缘膜上,与所述第一焊盘电连接;以及第二焊盘,形成在所述第一绝缘膜上,与所述第二布线成一体地连接,其中,所述第一绝缘膜由第二绝缘膜与所述第二绝缘膜上的第三绝缘膜的层叠膜构成,所述第三绝缘膜由树脂膜构成,所述第一开口部由所述第二绝缘膜的第三开口部和所述第三绝缘膜的第四开口部形成,在俯视观察时,所述第三开口部包含在所述第四开口部的内部,对从所述第二绝缘膜的所述第三开口部暴露的所述第一焊盘连接有所述第二布线,在俯视观察时,所述第一布线的至少一部分与所述第一焊盘重叠,所述第一布线的端部位于所述第四开口部的下方,在所述第一布线中的第一区域形成有多个第二开口部,在俯视观察时,所述第一区域的至少一部分与所述第四开口部重叠。

[0028] 根据本公开的一个实施例的一个技术效果是能够提高半导体装置的可靠性。

附图说明

- [0029] 图1是一个实施方式的半导体装置的主要部分截面图。
- [0030] 图2是一个实施方式的半导体装置的主要部分截面图。
- [0031] 图3是一个实施方式的半导体装置的顶视图。
- [0032] 图4是一个实施方式的半导体装置的平面透视图。
- [0033] 图5是一个实施方式的半导体装置的制造工序中的主要部分截面图。
- [0034] 图6是接着图5的半导体装置的制造工序中的主要部分截面图。
- [0035] 图7是接着图6的半导体装置的制造工序中的主要部分截面图。
- [0036] 图8是接着图7的半导体装置的制造工序中的主要部分截面图。
- [0037] 图9是接着图8的半导体装置的制造工序中的主要部分截面图。
- [0038] 图10是接着图9的半导体装置的制造工序中的主要部分截面图。
- [0039] 图11是接着图10的半导体装置的制造工序中的主要部分截面图。
- [0040] 图12是与图11相同的半导体装置的制造工序中的主要部分截面图。
- [0041] 图13是接着图11的半导体装置的制造工序中的主要部分截面图。
- [0042] 图14是与图13相同的半导体装置的制造工序中的主要部分截面图。
- [0043] 图15是接着图13的半导体装置的制造工序中的主要部分截面图。
- [0044] 图16是与图15相同的半导体装置的制造工序中的主要部分截面图。
- [0045] 图17是接着图15的半导体装置的制造工序中的主要部分截面图。
- [0046] 图18是与图17相同的半导体装置的制造工序中的主要部分截面图。
- [0047] 图19是接着图17的半导体装置的制造工序中的主要部分截面图。
- [0048] 图20是与图19相同的半导体装置的制造工序中的主要部分截面图。
- [0049] 图21是接着图20的半导体装置的制造工序中的主要部分截面图。
- [0050] 图22是一个实施方式的半导体封装体的截面图。
- [0051] 图23是一个实施方式的半导体装置的主要部分截面图。
- [0052] 图24是一个实施方式的半导体装置的主要部分俯视图。
- [0053] 图25是一个实施方式的半导体装置的主要部分俯视图。

- [0054] 图26是一个实施方式的半导体装置的主要部分俯视图。
- [0055] 图27是一个实施方式的半导体装置的主要部分俯视图。
- [0056] 图28是研究例的方式的半导体装置的主要部分截面图。
- [0057] 图29是研究例的方式的半导体装置的主要部分俯视图。
- [0058] 图30是研究例的方式的半导体装置的主要部分俯视图。
- [0059] 图31是一个实施方式的半导体装置的主要部分俯视图。
- [0060] 图32是一个实施方式的半导体装置的主要部分俯视图。
- [0061] 图33是一个实施方式的半导体装置的主要部分俯视图。
- [0062] 图34是第一变形例的方式的半导体装置的主要部分截面图。
- [0063] 图35是第一变形例的半导体装置的主要部分俯视图。
- [0064] 图36是第一变形例的半导体装置的主要部分俯视图。
- [0065] 图37是第二变形例的半导体装置的主要部分俯视图。
- [0066] 图38是第二变形例的半导体装置的主要部分俯视图。
- [0067] 图39是第二变形例的半导体装置的主要部分俯视图。
- [0068] 图40是第二变形例的半导体装置的主要部分俯视图。
- [0069] 图41是第三变形例的半导体装置的主要部分俯视图。
- [0070] 图42是第三变形例的半导体装置的主要部分俯视图。
- [0071] 图43是第三变形例的半导体装置的主要部分俯视图。
- [0072] 图44是第三变形例的半导体装置的主要部分俯视图。
- [0073] (符号说明)
- [0074] CN:连接区域;IL1、IL2、IL3:层间绝缘膜;LF:绝缘膜;LM:层叠膜;M1、M2、M2a、M2b、M2c、M3、M102a、M102b、M102c:布线;OP1、OP2、OP3、OP4、SL:开口部;PD1、PD2:焊盘;PA:保护膜;PL1:树脂膜;RG1、RG2:开口部形成区域;RW:再布线;SB:半导体基板。

具体实施方式

[0075] 在以下的实施方式中在为了便于说明而有其必要性时,分为多个部分或实施方式进行说明,但是除了特别明示的情况以外,它们不是相互之间无关系,一方处于另一方的一部分或全部的变形例、详情、补充说明等关系。另外,在以下的实施方式中,在言及要素的数量等(包括个数、数值、量、范围等)的情况下,除了特别明示的情况和在原理上明显限定于特定的数量的情况以外,不限定于该特定的数量,可以是特定的数量以上,也可以是特定的数量以下。并且,在以下的实施方式中,其结构要素(还包括要素步骤等)除了特别明示的情况和在原理上明显认为必需的情况以外,未必是必需的,这是不言而喻的。同样地,在以下的实施方式中,在言及结构要素等的形状、位置关系等时,除了特别明示的情况和在原理上明显认为不是那样的情况以外,包括实质上与该形状等近似或类似之物等。这对于上述数值和范围也同样。

[0076] 下面,基于附图来详细说明实施方式。此外,在用于说明实施方式的全图中,对具有相同的功能的构件附加相同的符号,省略其重复说明。另外,在以下的实施方式中,除了特别需要时以外,原则上不重复同一或同样的部分的说明。

[0077] 另外,在实施方式中使用的附图中,还存在即使是截面图也为了便于观察附图而

省略阴影的情况。另外,还存在即使是俯视图也为了便于观察附图而附加阴影的情况。

[0078] (实施方式)

[0079] <关于半导体装置的构造>

[0080] 图1和图2是表示本实施方式的半导体装置的截面构造的主要部分截面图。图1和图2对应于本实施方式的半导体装置中的互不相同的位置处的截面图,在图1中示出了横切焊盘PD1的截面,在图2中示出了横切焊盘PD2的截面。此外,在图2中,为了简化附图,关于层间绝缘膜IL2及其下方的构造省略了图示,但是实际上,在图2的截面构造之下也存在与图1所示的层间绝缘膜IL2及其下方的构造类似的构造。

[0081] 本实施方式的半导体装置是利用由单晶硅等构成的半导体基板SB来制造的半导体装置(半导体芯片)。

[0082] 在构成本实施方式的半导体装置(半导体芯片)的由单晶硅等构成的半导体基板SB上,根据需要形成有各种元件(半导体元件)。作为形成于半导体基板SB的元件,能够例示MISFET(Metal Insulator Semiconductor Field Effect Transistor:金属绝缘体半导体场效应晶体管)等晶体管元件、存储器元件、电容元件或电阻元件等。在图1中,作为一例,示出了在半导体基板SB上形成有电容元件CT的情况,但是在未图示的区域中,在半导体基板SB上还形成有MISFET等晶体管元件。电容元件CT例如是为了电源的稳定化而使用的电容元件。

[0083] 电容元件CT例如是PIP(Polysilicon Insulator Polysilicon:多晶硅-绝缘体-多晶硅)型的电容元件,但是也可以是MIM(Metal Insulator Metal:金属-绝缘体-金属)型的电容元件。在电容元件CT是PIP型的情况下,电容元件CT具有作为下部电极的多晶硅膜PS1、作为上部电极的多晶硅膜PS2以及作为电容绝缘膜(电介质膜)的绝缘膜YZ。在图1的情况下,在半导体基板SB中使用STI(Shallow Trench Isolation:浅沟槽隔离)法等形成的元件分离区域ST上形成有多晶硅膜PS1,在多晶硅膜PS1上隔着绝缘膜YZ形成有多晶硅膜PS2。

[0084] 另外,在此,作为半导体基板SB,列举单晶硅基板来进行说明,但是作为其它方式,也能够将SOI(Silicon On Insulator:绝缘体上硅)基板等用作半导体基板SB。

[0085] 在半导体基板SB上,由多个层间绝缘膜和多个布线层形成有多层布线构造。即,在半导体基板SB上形成有多个层间绝缘膜IL1、IL2、IL3,在该多个层间绝缘膜IL1、IL2、IL3中形成有插塞V1、通孔部V2、V3以及布线M1、M2、M3。

[0086] 具体地说,在半导体基板SB上,以覆盖形成于半导体基板SB的元件的方式形成有层间绝缘膜IL1来作为绝缘膜,在该层间绝缘膜IL1上形成有布线M1。布线M1是第一布线层(最下层的布线层)的布线。在层间绝缘膜IL1上,以覆盖布线M1的方式形成有层间绝缘膜IL2来作为绝缘膜,在该层间绝缘膜IL2上形成有布线M2。布线M2是作为第一布线层的上一层布线层的第二布线层的布线。在层间绝缘膜IL2上,以覆盖布线M2的方式形成有层间绝缘膜IL3来作为绝缘膜,在该层间绝缘膜IL3上形成有布线M3。布线M3是作为第二布线层的上一层布线层的第三布线层的布线。

[0087] 插塞V1由导电体构成,形成在布线M1的下层,即在层间绝缘膜IL1中以贯通层间绝缘膜IL1的方式形成,插塞V1的上表面与布线M1的下表面相接,由此与布线M1电连接。另外,插塞V1的底部与元件连接。例如,插塞V1的底部与构成电容元件CT的多晶硅膜PS1或多晶硅膜PS2、或构成MISFET(未图示)的栅极电极或源极/漏极区域等连接。由此,布线M1经由插塞

V1来与形成于半导体基板SB的各种元件电连接。

[0088] 通孔部V2由导电体构成,形成在布线M2与布线M1之间,即形成在层间绝缘膜IL2中,将布线M2与布线M1连接。通孔部V2还能够与布线M2成一体地形成。另外,通孔部V3由导电体构成,形成在布线M3与布线M2之间,即形成在层间绝缘膜IL3中,将布线M3与布线M2连接。通孔部V3还能够与布线M3成一体地形成。

[0089] 在本实施方式的半导体装置中,第三布线层即布线M3是最上层布线。即,通过第一布线层(布线M1)、第二布线层(布线M2)以及第三布线层(布线M3)来进行形成于半导体基板SB的元件的期望的接线,从而能够进行期望的动作。

[0090] 通过作为最上层布线的第三布线层来形成焊盘(焊盘区域、焊盘电极、结合焊盘)PD1。即,焊盘PD1与布线M3形成于同层。也就是说,布线M3与焊盘PD1是通过同层的导电层并通过同一工序来形成的。因此,焊盘PD1形成在层间绝缘膜IL3上。焊盘PD1还能够视为布线M3的一部分,但是布线M3其整体被绝缘膜LF所覆盖,与此相对,焊盘PD1其至少一部分从绝缘膜LF的开口部OP1暴露。

[0091] 其中,焊盘PD1的一部分被绝缘膜LF所覆盖。即,从绝缘膜LF的开口部OP1暴露出焊盘PD1,但是在俯视观察时不与开口部OP1重叠的部分的焊盘PD1被绝缘膜LF所覆盖。具体地说,焊盘PD1的上表面的中央部不被绝缘膜LF覆盖,焊盘PD1的上表面的外周部和侧面被绝缘膜LF所覆盖。在形成再布线RW之前,还能够利用该焊盘PD1来进行半导体装置是否进行期望的测试(后述的探头测试)。

[0092] 此外,设“俯视观察”是指在与半导体基板SB的主面大致平行的平面上进行观察的情况。

[0093] 优选的是,焊盘PD1由以铝为主要成分(主体)的导电材料(呈现金属传导的导电材料)构成。列举焊盘PD1的优选的材料例,则存在Al(铝)与Si(硅)的化合物或合金、或Al(铝)与Cu(铜)的化合物或合金、或Al(铝)、Si(硅)与Cu(铜)的化合物或合金。在构成焊盘PD1的材料(以铝为主要成分的导电材料)中,优选的是,Al(铝)的组成比大于50原子百分比(即富含Al),如果是97原子百分比以上则更为优选。另外,在图1中示出了1个焊盘PD1,但是实际上焊盘PD1形成有1个以上,优选的是形成有多个。

[0094] 对焊盘PD1连接(连结)有与焊盘PD1成一体地形成的布线M3,与该焊盘PD1成一体地形成的布线M3经由设置于该布线M3的正下方的通孔部V3来与布线M2连接,由此能够将焊盘PD1电连接于布线M2。作为其它方式,还能够焊盘PD1的正下方设置通孔部V3,经由该通孔部V3来将焊盘PD1电连接于布线M2。

[0095] 另外,在图1中示出了形成在半导体基板SB上的布线层的数量(不包括再布线RW)为3层的情况(布线M1、M2、M3的合计3层的情况),但是布线层的数量不限定于3层,只要是2层以上(即多个)则能够进行各种变更。但是,如果布线层的数量(不包括再布线RW)为3层以上,则容易进行布线的布局设计,因此更为优选。

[0096] 如图1和图2所示,在层间绝缘膜IL3上,以覆盖布线M3的方式形成有绝缘膜(层叠绝缘膜)LF,在该绝缘膜LF上形成有树脂膜PL1,在该树脂膜PL1上形成有再布线(再配置布线)RW。即,在层间绝缘膜IL3上,以覆盖布线M3的方式形成有绝缘膜LF与绝缘膜LF上的树脂膜PL1的层叠膜,在该层叠膜上形成有再布线RW。

[0097] 绝缘膜LF是作为钝化膜发挥功能的绝缘膜,在此,由氧化硅膜LF1与氧化硅膜LF1

上的氮氧化硅膜LF2的层叠膜构成。还能够使用氮化硅膜来代替氮氧化硅膜LF2。氮氧化硅膜、氮化硅膜作为钝化膜用的绝缘膜而言优异。因此,通过绝缘膜LF包括氮氧化硅膜或氮化硅膜,绝缘膜LF能够作为钝化膜适当地发挥功能。

[0098] 优选的是,树脂膜PL1是聚酰亚胺膜(聚酰亚胺树脂膜)。聚酰亚胺(polyimide)膜是按重复单位包含酰亚胺键的高分子,是有机绝缘膜的一种。聚酰亚胺系树脂是适当用于要求200℃以上的高耐热的器件的有机树脂。作为树脂膜PL1,除了聚酰亚胺膜以外,还能够使用环氧系、PBO系、丙烯酸系、WRP系的树脂等其它有机绝缘膜。在绝缘膜LF由氧化硅膜LF1与氧化硅膜LF1上的氮氧化硅膜LF2的层叠膜构成的情况下,树脂膜PL1形成在氮氧化硅膜LF2上。

[0099] 绝缘膜LF具有暴露焊盘PD1的至少一部分的开口部OP1,树脂膜PL1具有将绝缘膜LF的开口部OP1包含在内部的开口部OP2。即,在俯视观察时,绝缘膜LF的开口部OP1包含在焊盘PD1的内部,且包含在树脂膜PL1的开口部OP2的内部。因此,开口部OP1的平面尺寸(平面面积)小于焊盘PD1的平面尺寸,且开口部OP2的平面尺寸大于开口部OP1的平面尺寸。因此,从绝缘膜LF的开口部OP1暴露的部分的焊盘PD1不被树脂膜PL1覆盖,从树脂膜PL1的开口部OP2暴露。

[0100] 在形成氧化硅膜LF1与氧化硅膜LF1上的氮氧化硅膜LF2的层叠膜(即绝缘膜LF)之后,使用照相技术和蚀刻技术来在该层叠膜中形成开口部OP1,因此氮氧化硅膜LF2的开口部(OP1)与氧化硅膜LF1的开口部(OP1)相匹配(连续)。即,绝缘膜LF的开口部OP1由氮氧化硅膜LF2的开口部(OP1)和氧化硅膜LF1的开口部(OP1)构成,而该氮氧化硅膜LF2的开口部(OP1)与氧化硅膜LF1的开口部(OP1)的平面形状及平面尺寸大致相同,且平面位置大致一致。

[0101] 另一方面,树脂膜PL1是在氧化硅膜LF1与氮氧化硅膜LF2的层叠膜(绝缘膜LF)中形成开口部OP1之后形成的。因此,能够使树脂膜PL1的开口部OP2的平面尺寸不同于绝缘膜LF的开口部OP1的平面尺寸。在本实施方式中,树脂膜PL1的开口部OP2的平面尺寸大于绝缘膜LF的开口部OP1的平面尺寸,在俯视观察时,树脂膜PL1的开口部OP2包含在绝缘膜LF的开口部OP1的内部。

[0102] 因此,从绝缘膜LF的开口部OP1暴露出焊盘PD1的至少一部分,从树脂膜PL1的开口部OP2暴露出从绝缘膜LF的开口部OP1暴露的部分的焊盘PD1,并且还暴露出构成开口部OP1的周边部的绝缘膜LF。

[0103] 焊盘PD1从绝缘膜LF的开口部OP1暴露,在从开口部OP1暴露的焊盘PD1上也形成有再布线RW。另外,在从树脂膜PL1的开口部OP2暴露的部分的绝缘膜LF上也形成有再布线RW。即,再布线RW形成在包括从开口部OP1暴露的焊盘PD1之上和从开口部OP2暴露的绝缘膜LF之上在内的树脂膜PL1上,与焊盘PD1电连接。

[0104] 在俯视观察时,开口部OP1包含在开口部OP2的内部,该开口部OP2包含在再布线RW的内部。因此,构成开口部OP1的底面的焊盘PD1的上表面(即从开口部OP1暴露的部分的焊盘PD1的上表面)、构成开口部OP1的侧壁的绝缘膜LF的侧面、从开口部OP2暴露的绝缘膜LF的上表面以及构成开口部OP2的侧壁的树脂膜PL1的侧面被再布线RW所覆盖。

[0105] 再布线RW是将作为最上层布线(在此是第三布线层)的一部分的焊盘PD1引出至半导体芯片的期望的区域(焊盘PD2)的布线。也就是说,再布线RW以起于从绝缘膜LF的开口部

OP1暴露的焊盘PD1上直至树脂膜PL1上的焊盘PD2为止在树脂膜PL1上延伸的方式形成。

[0106] 焊盘(焊盘区域、焊盘电极、结合焊盘)PD2与再布线RW是通过同层的导电层在同层上通过同一工序形成的。因此,焊盘PD2也形成在树脂膜PL1上。焊盘PD2与再布线RW成一体地形成而被电连接,经由该再布线RW来与焊盘PD1电连接。另外,在图2中示出了一个焊盘PD2,但是实际上,在半导体装置中焊盘PD2形成有1个以上,优选的是形成有多个。此外,在图1和图2中,为了便于观察附图,关于再布线RW和焊盘PD2,将后述的铜膜CF和晶种膜SE不分开而一体化地示出。

[0107] 在树脂膜PL1上,以覆盖再布线RW的方式形成有绝缘性的保护膜PA。保护膜PA是绝缘膜,因此还能够视为保护绝缘膜。通过保护膜PA,再布线RW被覆盖而受到保护。作为保护膜PA,优选的是树脂膜,例如能够适当使用聚酰亚胺膜(聚酰亚胺树脂膜)。保护膜PA成为半导体装置(半导体芯片)的最表面的膜。作为保护膜PA,使用聚酰亚胺膜等树脂膜,由此能够获得可靠性提高、容易处理半导体装置等优点。

[0108] 焊盘PD2从保护膜PA的开口部OP4暴露。即,在焊盘PD2上设置开口部OP4,由此焊盘PD2从保护膜PA的开口部OP4暴露。将焊盘PD2和开口部OP4各自的平面形状例如能够设为圆形状。在从保护膜PA的开口部OP4暴露的焊盘PD2上形成有凸块电极BP。在俯视观察时,保护膜PA的开口部OP4包含在焊盘PD2的内部。另外,在图2中示出了在焊盘PD2上隔着基底金属膜UM形成有凸块电极BP的情况。关于基底金属膜UM,还能够省略其形成,但是更为优选的是形成。

[0109] 图3是本实施方式的半导体装置(半导体芯片)CP的顶视图(整体顶视图),示出了半导体装置CP中的凸块电极BP的排列。此外,凸块电极BP如上述图2所示那样形成在焊盘PD2上,因此半导体装置CP中的焊盘PD2的排列与图3中的凸块电极BP的排列相同。图4是本实施方式的半导体装置CP的平面透视图,示出了半导体装置CP中的焊盘PD1的排列。此外,上述图1对应于半导体装置CP中横切焊盘PD1的截面,上述图2对应于半导体装置CP中横切焊盘PD2及其上的凸块电极BP的截面。在俯视观察时,焊盘PD1与焊盘PD2分离,再布线RW以将多个焊盘PD1与多个焊盘PD2分别连接的方式延伸,对此在图3和图4中未图示。

[0110] 再布线RW是将半导体晶圆(半导体基板)中的各芯片区域的焊盘PD1与安装电极(在本实施方式中对应于焊盘PD2及其上的凸块电极BP)电连接的布线,该安装电极用于将该半导体晶圆单片化为各芯片区域而得到的半导体芯片(CP)安装于规定的布线基板上。再布线RW具有取得受到晶圆工艺的尺寸限制的焊盘PD1与受到封装体工艺的尺寸限制的安装电极在尺寸上的相匹配的功能。

[0111] 即,上述安装电极的尺寸(电极本身的尺寸和相邻间隔、间距等)受到布线基板侧的寸的限制,因此需要比焊盘PD1的尺寸(焊盘本身的尺寸和相邻间隔、间距等)相对大的尺寸。因此,不是将受到晶圆工艺的限制的微细的焊盘PD1直接用于安装电极,而是将焊盘PD1通过再布线RW引出到芯片区域的主面的比较大的面积的空闲区域,在该区域配置相对大的尺寸和间距的安装电极(在此是焊盘PD2及其上的凸块电极BP)。能够使焊盘PD2的平面尺寸和排列间距大于焊盘PD1的平面尺寸和排列间距,在半导体装置CP的上表面,能够使焊盘PD2及其上的凸块电极BP配置(排列)成例如阵列状。由此,能够将半导体装置CP容易且准确地安装于布线基板。

[0112] <关于半导体装置的制造工序>

[0113] 接着,说明本实施方式的半导体装置的制造工序。通过以下的制造工序来制造上述图1~图4的半导体装置。

[0114] 图5~图21是本实施方式的半导体装置的制造工序中的主要部分截面图。在图5~图21中,在图5~图11、图13、图15、图17以及图19中示出了相当于上述图1的区域的截面图,在图12、图14、图16、图18、图20以及图21中示出了相当于上述图2的区域的截面图。此外,为了简化附图,在图9~图21中,关于层间绝缘膜IL2及其下方的构造省略了图示。

[0115] 首先,如图5所示,准备(预备)例如由具有 $1\sim 10\ \Omega\ \text{cm}$ 左右的电阻率的p型的单晶硅等构成的半导体基板(半导体晶圆)SB。

[0116] 接着,在半导体基板SB的主面,例如利用STI(Shallow Trench Isolation)法等来形成元件分离区域ST。

[0117] 接着,在半导体基板SB中,在由元件分离区域ST规定(划定)的活性区域形成MISFET(未图示)等元件(半导体元件)。另外,还能够在元件分离区域ST上形成电容元件CT。例如,在形成多晶硅膜之后,对其进行图案形成,由此在元件分离区域ST上形成多晶硅膜PS1,以覆盖该多晶硅膜PS1的方式形成绝缘膜和多晶硅膜,之后对它们进行图案形成,由此形成绝缘膜YZ和多晶硅膜PS2,从而能够形成电容元件CT。

[0118] 接着,如图6所示,在半导体基板SB的主面(整个主面)上形成层间绝缘膜IL1。层间绝缘膜IL1以覆盖形成于半导体基板SB的各种元件的方式形成。因此,在半导体基板SB的活性区域形成有MISFET(未图示)的情况下,该MISFET也被层间绝缘膜IL1所覆盖,另外,在元件分离区域ST上形成有电容元件CT的情况下,该电容元件CT也被层间绝缘膜IL1所覆盖。层间绝缘膜IL1例如由氧化硅膜的单体膜、或氮化硅膜与其上的氧化硅膜的层叠膜等构成。在层间绝缘膜IL1的成膜后,根据需要,利用CMP(Chemical Mechanical Polishing:化学机械研磨)法对层间绝缘膜IL1的上表面进行研磨等,来使层间绝缘膜IL1的上表面平坦化。

[0119] 接着,将使用光刻技术在层间绝缘膜IL1上形成的光致抗蚀剂层(未图示)用作蚀刻掩膜来对层间绝缘膜IL1进行干蚀刻,由此在层间绝缘膜IL1中形成接触孔。之后,在该接触孔内埋入导电膜,由此如图6所示那样形成导电性的插塞(连接用导体部)V1。

[0120] 为了形成插塞V1,例如在包括接触孔的底面和侧壁之上在内的层间绝缘膜IL1上,利用溅射法或等离子体CVD法等形成势垒导体膜(例如钛膜、氮化钛膜、或它们的层叠膜)。之后,利用CVD法等,在势垒导体膜上以填充接触孔的方式形成由钨膜等构成的主导体膜。之后,利用CMP法或回蚀法等来去除接触孔的外部的不必要的主导体膜和势垒导体膜。由此,层间绝缘膜IL1的上表面暴露,由被埋入层间绝缘膜IL1的接触孔内而残留的势垒导体膜和主导体膜形成插塞V1。

[0121] 接着,如图7所示,在埋入有插塞V1的层间绝缘膜IL1上形成作为最下层的布线层的第一布线层的布线M1。为了形成布线M1,首先,在埋入有插塞V1的层间绝缘膜IL1上形成第一布线层用的导电膜。该导电膜例如从下起按顺序由势垒导体膜与铝膜与势垒导体膜的层叠膜构成,能够使用溅射法等来形成。该导电膜中的所述铝膜能够视为用于形成布线M1的铝膜。作为势垒导体膜,例如能够使用钛膜、氮化钛膜、或它们的层叠膜。之后,使用光刻技术和蚀刻技术对该导电膜进行图案形成,由此能够形成布线M1。插塞V1通过其上表面与布线M1相接来与布线M1电连接。

[0122] 用于形成布线M1的上述铝膜不限于纯铝膜,能够使用以铝为主成分的导电材料

膜(但是,呈现金属传导的导电材料膜)。例如,能够将Al(铝)与Si(硅)的化合物膜或合金膜、或Al(铝)与Cu(铜)的化合物膜或合金膜、或Al(铝)、Si(硅)与Cu(铜)的化合物膜或合金膜优选用于形成布线M1的铝膜。另外,优选的是,该铝膜中的Al(铝)的组成比大于50原子百分比(即富含Al),如果是97原子百分比以上则更为优选。这不仅对于用于形成布线M1的上述铝膜,对于用于形成布线M2的铝膜、用于形成布线M3和焊盘PD1的铝膜也同样。因此,布线M1、M2、M3均是以铝(Al)为主体的铝布线,焊盘PD1是以铝为主体的铝焊盘。

[0123] 接着,如图7所示,在半导体基板SB的主面(整个主面)上、即层间绝缘膜IL1上,以覆盖布线M1的方式形成层间绝缘膜IL2。层间绝缘膜IL2由氧化硅膜等构成,能够使用CVD法等来形成。在层间绝缘膜IL2的成膜后,还能够根据需要,利用CMP法对层间绝缘膜IL2的上表面进行研磨等来提高层间绝缘膜IL2的上表面的平坦性。

[0124] 接着,将使用光刻技术在层间绝缘膜IL2上形成的光致抗蚀剂层(未图示)用作蚀刻掩膜来对层间绝缘膜IL2进行干蚀刻,由此在层间绝缘膜IL2中形成贯通孔。之后,在该贯通孔内埋入导电膜,由此形成导电性的通孔部(连接用导体部)V2。通孔部V2还能够视为导电性的插塞。通孔部V2能够利用与插塞V1同样的方法来形成,但是也能够使通孔部V2在导电膜的材料上不同于插塞V1。例如还能够设为:插塞V1以钨膜为主体,通孔部V2以铝膜为主体。

[0125] 接着,如图8所示,在埋入有通孔部V2的层间绝缘膜IL2上形成第二布线层的布线M2。为了形成布线M2,首先,在埋入有通孔部V2的层间绝缘膜IL2上形成第二布线层用的导电膜。该导电膜例如从下起按顺序由势垒导体膜与铝膜与势垒导体膜的层叠膜构成,能够使用溅射法等来形成。该导电膜中的所述铝膜能够视为用于形成布线M2的铝膜。作为势垒导体膜,例如能够使用钛膜、氮化钛膜、或它们的层叠膜。之后,使用光刻技术和蚀刻技术对该导电膜进行图案形成,由此能够形成布线M2。通孔部V2通过其下表面与布线M1相接来与布线M1电连接,通过其上表面与布线M2相接来与布线M2电连接。即,通孔部V2将布线M1与布线M2电连接。布线M2包括后述的布线M2a、M2b、M2c。

[0126] 另外,在此说明了将通孔部V2与布线M2通过不同的工序形成的情况。作为其它方式,还能够将通孔部V2与布线M2通过同一工序形成,在该情况下,通孔部V2与布线M2成一体地形成。在该情况下,在层间绝缘膜IL2中形成通孔部V2用的贯通孔之后,以填充该贯通孔的方式在层间绝缘膜IL2上形成导电膜(第二布线层用的导电膜),之后使用光刻技术和蚀刻技术对该导电膜进行图案形成,由此形成布线M2。由此,形成布线M2,并且也形成与布线M2成一体地形成的通孔部V2。

[0127] 接着,如图8所示,在半导体基板SB的主面(整个主面)上、即层间绝缘膜IL2上,以覆盖布线M2的方式形成层间绝缘膜IL3。层间绝缘膜IL3由氧化硅膜等构成,能够使用CVD法等来形成。在层间绝缘膜IL3的成膜后,还能够根据需要,利用CMP法对层间绝缘膜IL3的上表面进行研磨等来提高层间绝缘膜IL3的上表面的平坦性。

[0128] 接着,将使用光刻技术在层间绝缘膜IL3上形成的光致抗蚀剂层(未图示)用作蚀刻掩膜来对层间绝缘膜IL3进行干蚀刻,由此在层间绝缘膜IL3中形成贯通孔。之后,在该贯通孔内埋入导电膜,由此形成导电性的通孔部(连接用导体部)V3。通孔部V3还能够视为导电性的插塞。通孔部V3能够利用与通孔部V2同样的导电材料并通过同样的方法来形成。此外,关于通孔部V3,未在图8中示出,而在上述图2中示出。

[0129] 接着,如图9所示,在埋入有通孔部V3的层间绝缘膜IL3上,形成第三布线层的布线M3和焊盘PD1。此外,布线M3和通孔部V3在上述图2中示出。另外,如上所述,在图9中,为了简化附图,关于层间绝缘膜IL2及其下方的构造省略了图示,但是实际上,在图9的截面构造之下也存在图8所示的层间绝缘膜IL2及其下方的构造。

[0130] 为了形成布线M3和焊盘PD1,首先,在埋入有通孔部V3的层间绝缘膜IL3上形成第三布线层用的导电膜。该导电膜CD2例如从下起按顺序由势垒导体膜与铝膜与势垒导体膜的层叠膜构成,能够使用溅射法等来形成。该导电膜是第三布线层用的导电膜,但是兼作用于形成焊盘PD1的导电膜。该导电膜中的所述铝膜能够视为用于形成布线M3和焊盘PD1的铝膜。作为势垒导体膜,例如能够使用钛膜、氮化钛膜、或它们的层叠膜。之后,使用光刻技术和蚀刻技术对该导电膜进行图案形成,由此能够形成布线M3和焊盘PD1。通孔部V3通过其下表面与布线M2相接来与布线M2电连接,通过其上表面与布线M3或焊盘PD1相接来与布线M3或焊盘PD1电连接。即,通孔部V3将布线M2与布线M3电连接,或者将布线M2与焊盘PD1电连接。焊盘PD1的平面形状例如能够设为具有比布线M3的布线宽度大的边的大致矩形的平面形状。

[0131] 另外,在此说明了将通孔部V3与布线M3通过不同的工序形成的情况。作为其它方式,还能够将通孔部V3与布线M3及焊盘PD1通过同一工序形成,在该情况下,通孔部V3与布线M3或焊盘PD1成一体地形成。在该情况下,在层间绝缘膜IL3中形成通孔部V3用的贯通孔之后,以填充该贯通孔的方式在层间绝缘膜IL3上形成导电膜(第二布线层用的导电膜),之后使用光刻技术和蚀刻技术对该导电膜进行图案形成,由此形成布线M3和焊盘PD1。由此,形成布线M3和焊盘PD1,并且也形成与布线M3或焊盘PD1成一体地形成的通孔部V3。

[0132] 接着,如图10所示,在半导体基板SB的主面(整个主面)上、即层间绝缘膜IL3上,以覆盖布线M3和焊盘PD1的方式形成氧化硅膜LF1。氧化硅膜LF1能够利用CVD法等来形成。作为氧化硅膜LF1的成膜法,特别优选的是HDP(High Density Plasma:高密度等离子体)-CVD法。将氧化硅膜LF1的厚度(形成膜厚)例如能够设为 $0.5\sim 0.6\mu\text{m}$ 左右。在形成氧化硅膜LF1之前的阶段,布线M3和焊盘PD1被暴露,但是当形成氧化硅膜LF1时,布线M3和焊盘PD1被氧化硅膜LF1所覆盖,因此成为不暴露的状态。

[0133] 接着,在半导体基板SB的主面(整个主面)上、即氧化硅膜LF1上形成氮氧化硅膜LF2。氮氧化硅膜LF2能够利用CVD法等来形成。作为氮氧化硅膜LF2的成膜法,特别优选的是等离子体CVD法。将氮氧化硅膜LF2的厚度(形成膜厚)例如能够设为 $0.9\sim 1.1\mu\text{m}$ 左右。作为其它方式,还能够代替氮氧化硅膜LF2而使用氮化硅膜。

[0134] 通过形成氧化硅膜LF1和氮氧化硅膜LF2,成为在层间绝缘膜IL3上以覆盖布线M3和焊盘PD1的方式形成有由氧化硅膜LF1与氧化硅膜LF1上的氮氧化硅膜LF2的层叠膜构成的绝缘膜LF的状态。

[0135] 接着,在绝缘膜LF中形成开口部OP1。开口部OP1是通过选择性地去除焊盘PD1上的绝缘膜LF来形成的。开口部OP1形成为在俯视观察时包含在焊盘PD1的内部。

[0136] 具体地说,能够通过如下方式形成开口部OP1。即,在将氧化硅膜LF1和氮氧化硅膜LF2依次成膜之后,使用光刻技术来在氮氧化硅膜LF2上形成光致抗蚀剂图案(未图示)。之后,将该光致抗蚀剂图案用作蚀刻掩膜来对氮氧化硅膜LF2和氧化硅膜LF1依次进行蚀刻(干蚀刻),由此在绝缘膜LF中形成开口部OP1。之后,去除光致抗蚀剂图案,在图10中示出了

该阶段。开口部OP1以贯通绝缘膜LF(即氧化硅膜LF1与氮氧化硅膜LF2的层叠膜)的方式形成,从开口部OP1暴露出焊盘PD1的至少一部分。

[0137] 当在绝缘膜LF中形成有开口部OP1时,焊盘PD1从绝缘膜LF的开口部OP1暴露,但是优选的是,此时,焊盘PD1的上表面的至少一部分从绝缘膜LF的开口部OP1暴露,而焊盘PD1的侧面(侧壁)被绝缘膜LF覆盖而不从绝缘膜LF的开口部OP1暴露。也就是说,优选的是,在俯视观察时,绝缘膜LF的开口部OP1与焊盘PD1重叠,但是包含在焊盘PD1的内部,即,在俯视观察时,绝缘膜LF的开口部OP1的外周比焊盘PD1的外周靠内侧。

[0138] 另外,当在绝缘膜LF中形成有开口部OP1时,从绝缘膜LF的开口部OP1暴露出焊盘PD1,但是焊盘PD1以外的布线M3维持被绝缘膜LF覆盖的状态,因此不被暴露。焊盘PD1以外的布线M3在此后也维持被绝缘膜LF覆盖的状态,因此不被暴露。

[0139] 接着,如图11和图12所示,在半导体基板SB的主面(整个主面)上、即绝缘膜LF上,以覆盖焊盘PD1的方式形成树脂膜PL1。

[0140] 作为树脂膜PL1,能够优选使用聚酰亚胺膜等。树脂膜PL1例如能够利用涂布法来形成。具体地说,使用所谓的旋涂(spin coat)法,一边使半导体基板SB旋转一边在半导体基板SB的主面涂布聚酰亚胺的前体液,之后使其干燥,由此能够形成作为树脂膜PL1的聚酰亚胺膜。将树脂膜PL1的厚度(形成膜厚)例如能够设为3~5 μm 左右。

[0141] 树脂膜PL1形成在绝缘膜LF上以及从绝缘膜LF的开口部OP1暴露的焊盘PD1上。在形成树脂膜PL1之前的阶段,从绝缘膜LF的开口部OP1暴露出焊盘PD1,但是当形成树脂膜PL1时,从绝缘膜LF的开口部OP1暴露的焊盘PD1被树脂膜PL1所覆盖,因此成为不被暴露的状态。

[0142] 接着,在树脂膜PL1中形成开口部OP2。在图11和图12中示出了在树脂膜PL1中形成有开口部OP2的阶段。其中,图11是横切开口部OP1、OP2的截面,而图12是不横切开口部OP1、OP2的截面,因此关于开口部OP1、OP2,在图11中示出,而在图12中未示出。例如能够通过如下方式形成开口部OP2。

[0143] 即,事先将树脂膜PL1作为感光性树脂膜来形成,对由该感光性树脂构成的树脂膜PL1进行曝光、显影,由此选择性地去除成为开口部OP2的部分的树脂膜PL1,从而在树脂膜PL1中形成开口部OP2。之后,实施热处理,使树脂膜PL1固化。开口部OP2以贯通树脂膜PL1的方式形成,从开口部OP2暴露出焊盘PD1的至少一部分。

[0144] 另外,作为其它方式,还能够将使用光刻技术在树脂膜PL1上形成的光致抗蚀剂图案用作蚀刻掩膜来对树脂膜PL1进行干蚀刻,由此在树脂膜PL1中形成开口部OP2,在该情况下,树脂膜PL1也可以不是感光性树脂膜。

[0145] 开口部OP2形成为在俯视观察时将开口部OP1包含在内部。即,树脂膜PL1的开口部OP2的平面尺寸(平面面积)大于绝缘膜LF的开口部OP1的平面尺寸,在俯视观察时,树脂膜PL1的开口部OP2将绝缘膜LF的开口部OP1包含在内部。也就是说,在俯视观察时,树脂膜PL1的开口部OP2的外周位于绝缘膜LF的开口部OP1的外周的外侧。

[0146] 因此,在形成树脂膜PL1的阶段,构成开口部OP1的底面的焊盘PD1的上表面和绝缘膜LF的开口部OP1的内壁成为被树脂膜PL1覆盖的状态,但是,当在之后在树脂膜PL1中形成有开口部OP2时,构成开口部OP1的底面的焊盘PD1的上表面和绝缘膜LF的开口部OP1的内壁成为不被树脂膜PL1覆盖而暴露的状态。

[0147] 通过这样,形成具有暴露焊盘PD1的至少一部分的开口部OP1、OP2的绝缘膜LF和树脂膜PL1。在此,设将树脂膜PL1的开口部OP2与绝缘膜LF的开口部OP1合在一起称为开口部OP3。另外,设将绝缘膜LF与绝缘膜LF上的树脂膜PL1的层叠膜称为层叠膜LM。层叠膜LM是层叠绝缘膜,因此还能够将层叠膜LM整体视为绝缘膜。开口部OP3对应于绝缘膜LF与绝缘膜LF上的树脂膜PL1的层叠膜LM的开口部,由树脂膜PL1的开口部OP2和绝缘膜LF的开口部OP1形成。具体地说,开口部OP3的内壁由树脂膜PL1的开口部OP2的内壁、绝缘膜LF的开口部OP1的内壁、以及位于开口部OP2的内壁与开口部OP1的内壁之间且不被树脂膜PL1覆盖的绝缘膜LF的上表面形成。在该阶段(图11和图12),具有暴露焊盘PD1的至少一部分的开口部OP3的层叠膜LM成为在层间绝缘膜IL3上以覆盖布线M3的方式形成的状态。

[0148] 这样,如图5~图12那样,对半导体基板SB实施晶圆工艺。晶圆工艺也被称为前工序。在此,晶圆工艺一般是指直到成为如下状态为止的工序:在半导体晶圆(半导体基板SB)的主面上形成各种元件、布线层(在此是布线M1、M2、M3)以及焊盘电极(在此是焊盘PD1),在形成表面保护膜(在此是层叠膜LM)之后,能够利用探头等来进行形成于半导体晶圆的多个芯片区域各自的电气试验。半导体晶圆的各芯片区域对应于半导体晶圆中的从此处获取1个半导体芯片的区域。

[0149] 因此,层叠膜LM在实施了晶圆工艺的半导体晶圆中成为最上层,作为表面保护膜。即,在实施了晶圆工艺的半导体晶圆中,层叠膜LM中的树脂膜PL1成为最上层的膜。在实施了晶圆工艺的半导体晶圆中,通过将最上层的膜设为如聚酰亚胺膜等那样的树脂膜(有机系绝缘膜),能够使半导体晶圆的处理容易。另外,第三布线层的布线M3成为最上层布线,通过该第三布线层形成焊盘PD1。

[0150] 通过利用从层叠膜LM的开口部OP3暴露的焊盘PD1进行探头测试(晶圆测试),还能够进行半导体晶圆的各芯片区域的电气试验。具体地说,能够使测试用的探头(探头针、探针)接触半导体晶圆的各芯片区域中从层叠膜LM的开口部OP3暴露的焊盘PD1来进行各芯片区域的电气试验。根据该探头测试的结果,挑选半导体晶圆的各芯片区域是合格品还是疵品,或者通过将探头测试的测定结果的数据反馈到各制造工序来能够有助于成品率提高、可靠性提高。因此,探头测试虽然也能够省略,但是更为优选的是进行探头测试。

[0151] 在通过如上所述的晶圆工艺(前处理)工序得到上述图11和图12的构造之后,根据需要进行探头测试,之后如图13和图14所示,在半导体基板SB的主面(整个主面)上、即包括从层叠膜LM的开口部OP3暴露的焊盘PD1之上在内的层叠膜LM上形成晶种膜(晶种层)SE。晶种膜SE是之后作为电解镀用的晶种层(供电层)发挥功能的膜。

[0152] 晶种膜SE例如由铬(Cr)膜与该铬(Cr)膜上的铜(Cu)膜的层叠膜等构成,例如能够利用溅射法来形成。由此,在包括在开口部OP3的底部暴露的焊盘PD1之上和开口部OP3的内壁之上在内的层叠膜LM上形成晶种膜SE。除了开口部OP3以外,层叠膜LM的表面是树脂膜PL1,因此在树脂膜PL1上以与树脂膜PL1相接的方式形成晶种膜SE。

[0153] 关于晶种膜SE的膜厚,例如能够设为:铬(Cr)膜为75nm左右,铜(Cu)膜为250nm左右。另外,晶种膜SE中的下层侧的铬(Cr)膜能够作为势垒导体膜发挥功能,例如具有防止铜的扩散的功能、提高与树脂膜PL1的粘接性的功能,但是不限于铬(Cr)膜,例如能够使用钛(Ti)膜、钛钨(TiW)膜、氮化钛(TiN)膜或钨(W)膜等。

[0154] 接着,在晶种膜SE上,使用光刻技术来形成光致抗蚀剂图案PR1。该光致抗蚀剂图

案PR1形成在除要形成再布线RW和焊盘PD2的区域以外的区域,在计划形成再布线RW的区域和计划形成焊盘PD2的区域中暴露出晶种膜SE。即,光致抗蚀剂图案PR1在计划形成再布线RW的区域和计划形成焊盘PD2的区域具有开口部(槽)。

[0155] 接着,在从光致抗蚀剂图案PR1的开口部暴露的晶种膜SE上利用电解镀法来形成铜(Cu)膜CF。由此,铜膜CF选择性地形成在未被光致抗蚀剂图案PR1覆盖的区域的晶种膜SE上。将铜膜CF的膜厚例如能够设为5~6 μm 左右。铜膜CF形成在计划形成再布线RW的区域和计划形成焊盘PD2的区域。在图13和图14中示出了形成有铜膜CF的阶段。

[0156] 接着,如图15和图16所示,在包括铜膜CF之上在内的光致抗蚀剂图案PR1上,使用光刻技术来形成其它光致抗蚀剂图案PR2。该光致抗蚀剂图案PR2形成在除要形成焊盘PD2中的基底金属膜UM的区域以外的区域,在计划形成基底金属膜UM的区域中,暴露出铜膜CF。即,光致抗蚀剂图案PR2在计划形成基底金属膜UM的区域具有开口部。

[0157] 接着,在从光致抗蚀剂图案PR2的开口部暴露的铜膜CF上利用电解镀法来形成基底金属膜UM。由此,基底金属膜UM形成在未被光致抗蚀剂图案PR2覆盖的区域的铜膜CF上。基底金属膜UM形成在成为焊盘PD2的部分的铜膜CF上。基底金属膜UM例如由镍(Ni)膜与该镍(Ni)膜上的金(Au)膜的层叠膜等构成。将基底金属膜UM的膜厚例如能够设为2~3 μm 左右。在图15和图16中示出了形成有基底金属膜UM的阶段。

[0158] 接着,如图17和图18所示,去除光致抗蚀剂图案PR2和光致抗蚀剂图案PR1。由此,暴露出铜膜CF,并且也暴露出未被铜膜CF覆盖的部分的晶种膜SE。

[0159] 另外,在本实施方式中说明了如下情况:在形成铜膜CF之后,不去除光致抗蚀剂图案PR1而形成光致抗蚀剂图案PR2,之后形成基底金属膜UM,之后去除光致抗蚀剂图案PR2、PR1。作为其它方式,还能够在形成铜膜CF之后去除光致抗蚀剂图案PR1,之后形成光致抗蚀剂图案PR2,之后形成基底金属膜UM,之后去除光致抗蚀剂图案PR2。

[0160] 接着,如图17和图18所示,通过蚀刻来去除未被铜膜CF覆盖的部分的晶种膜SE。此时,被铜膜CF覆盖的部分的晶种膜SE、即位于铜膜CF之下的晶种膜SE不被去除而残留。此时的蚀刻优选设为去除未被铜膜CF覆盖的部分的晶种膜SE、但是铜膜CF、基底金属膜UM不会被过度地蚀刻的程度的蚀刻。

[0161] 通过这样,形成由晶种膜SE和铜膜CF构成的再布线RW和焊盘PD2。即,再布线RW和焊盘PD2分别由晶种膜SE与晶种膜SE上的铜膜CF的层叠膜构成。因此,再布线RW还能够视为以铜(Cu)为主体的铜布线,另外,焊盘PD2还能够视为以铜(Cu)为主体的铜焊盘。

[0162] 再布线RW和焊盘PD2形成在层叠膜LM的树脂膜PL1上。其中,再布线RW形成在包括从开口部OP3暴露的焊盘PD1之上在内的层叠膜LM上,与焊盘PD1电连接。再布线RW还与焊盘PD2连接,具体地说,焊盘PD2与再布线RW成一体地形成。因此,焊盘PD1与焊盘PD2经由再布线RW电连接。此外,在构成焊盘PD2的铜膜CF上形成有基底金属膜UM,还能够将该基底金属膜UM视为焊盘PD2的一部分。

[0163] 接着,如图19和图20所示,在半导体基板SB的主面(整个主面)上、即层叠膜LM上,以覆盖再布线RW和焊盘PD2的方式形成绝缘性的保护膜PA。作为保护膜PA,优选的是树脂膜,例如优选使用聚酰亚胺膜。此外,在图19和图20中,为了便于观察附图,关于再布线RW和焊盘PD2,将铜膜CF和晶种膜SE不分开而一体化地示出。保护膜PA例如能够利用涂布法来形成,例如能够利用与上述树脂膜PL1同样的方法来形成。

[0164] 接着,在保护膜PA中形成开口部OP4。在图19和图20中示出了在保护膜PA中形成有开口部OP4的阶段。其中,图20是横切开口部OP4的截面,而图19是不横切开口部OP4的截面,因此关于开口部OP4,在图20中示出,而在图19中未示出。

[0165] 例如能够通过如下方式形成开口部OP4。即,事先将保护膜PA作为感光性树脂膜来形成,对由该感光性树脂构成的保护膜PA进行曝光、显影,由此选择性地去除成为开口部OP4的部分的保护膜PA,从而在保护膜PA中形成开口部OP4。之后,实施热处理,使保护膜PA固化。开口部OP4以贯通保护膜PA的方式形成,从开口部OP4暴露出焊盘PD2的至少一部分。在焊盘PD2上形成有基底金属膜UM的情况下,从开口部OP2暴露出焊盘PD2上的基底金属膜UM。

[0166] 另外,作为其它方式,还能够将使用光刻技术在保护膜PA上形成的光致抗蚀剂图案用作蚀刻掩膜来对保护膜PA进行干蚀刻,由此在保护膜PA中形成开口部OP4,在该情况下,保护膜PA也可以不是感光性树脂膜。

[0167] 焊盘PD2(或焊盘PD2上的基底金属膜UM)从保护膜PA的开口部OP2暴露出,但是再布线RW被保护膜PA覆盖而受到保护。通过将最上层的保护膜PA设为如聚酰亚胺膜等那样的树脂膜(有机系绝缘膜),能够将比较柔软的树脂膜(有机系绝缘膜)作为最上层来使半导体装置的处理容易。

[0168] 接着,如图21所示,在从开口部OP4暴露的焊盘PD2上的基底金属膜UM上形成凸块电极BP。凸块电极BP例如由焊锡凸块等构成。例如能够通过如下方式形成焊锡凸块(凸块电极BP):在使用印刷法向从开口部OP4暴露的焊盘PD2上的基底金属膜UM上供给焊锡糊剂之后实施热处理(焊锡回流焊处理),由此在基底金属膜UM上形成球形的焊锡凸块(凸块电极BP)。基底金属膜UM还能够视为凸块电极BP的一部分。作为其它方式,还能够从开口部OP4暴露的焊盘PD2上的基底金属膜UM上配置(供给)球状的焊锡球之后实施热处理(焊锡回流焊处理),由此在基底金属膜UM上形成球形的焊锡凸块(凸块电极BP)。并且,作为其它方式,还能够使用镀法来形成凸块电极BP。

[0169] 之后,进行切割工序,由此切断(切割)半导体基板SB来分割(单片化)为多个半导体芯片。即,沿着划线区域切断半导体基板SB。由此,从半导体基板SB(半导体晶圆)的各芯片区域获取半导体芯片。各个半导体芯片对应于上述图3和图4的半导体装置CP。此外,也可以在切割之前进行半导体基板SB的背面磨削,来使半导体基板SB的厚度变薄。

[0170] <关于半导体封装体的构造>

[0171] 接着,关于使用本实施方式的半导体装置(半导体芯片)的半导体封装体(半导体装置)PKG的一例,参照图22来进行说明。图22是本实施方式的半导体封装体PKG的截面图。

[0172] 如图22所示,半导体封装体PKG具有布线基板PB、搭载于布线基板PB的上表面上的半导体芯片CP1、填满半导体芯片CP1与布线基板PB之间的树脂部(底部填充树脂)UFR以及设置于布线基板PB的下表面的多个焊锡球HB。半导体芯片CP1对应于上述图1~图4所示的半导体装置(CP)。因此,半导体芯片CP1具有多个凸块电极BP。

[0173] 半导体芯片CP1以倒装芯片的方式安装于布线基板PB的上表面。即,半导体芯片CP1以半导体芯片CP1的背面侧朝向上方、且半导体芯片CP1的表面(形成凸块电极BP的一侧的主面)朝向与布线基板PB的上表面相对的方向的方式隔着多个凸块电极BP搭载于布线基板PB的上表面上。因而,半导体芯片CP1倒焊于布线基板PB的上表面。半导体芯片CP1的多个

凸块电极BP分别与布线基板PB的上表面的多个连接盘(端子、基板侧端子、电极、导电性连接盘部)LA接合而电连接。即,半导体芯片CP1的多个上述焊盘PD2经由凸块电极BP分别与布线基板PB的上表面的多个连接盘LA电连接。

[0174] 在半导体芯片CP1与布线基板PB的上表面之间填充有作为底部填充树脂的树脂部UFR。树脂部UFR例如由环氧树脂或硅树脂等树脂材料(例如热固化性树脂材料)构成,还能够含有填料(二氧化硅等)。

[0175] 布线基板(封装体基板)PB的与其厚度交叉的平面形状为矩形,具有作为一侧的主面的上表面以及作为与上表面相反的一侧的主面的下表面。在布线基板PB的上表面中的芯片搭载区域(搭载半导体芯片CP1的区域),与半导体芯片CP1的表面中的凸块电极BP的排列对应的排列来排列有多个连接盘LA。由此,能够将半导体芯片CP1以倒装芯片的方式安装于布线基板PB的上表面,来将半导体芯片CP1的多个凸块电极BP与布线基板PB的上表面的多个连接盘LA分别接合。在半导体芯片CP1的表面中多个凸块电极BP配置成阵列状的情况下,在布线基板PB的上表面的芯片搭载区域中多个连接盘LA配置成阵列状。

[0176] 在布线基板PB的下表面形成有多个端子(外部连接用端子、电极、连接盘、导电性连接盘部)TE。布线基板PB的上表面的多个连接盘LA与布线基板PB的下表面的多个端子TE经由布线基板PB所具有的布线、通孔布线部等电连接。在布线基板PB的下表面,多个端子TE例如配置成阵列状,对各端子TE连接有焊锡球(球电极、突起电极、突起状电极)HB。焊锡球HB能够作为半导体封装体PKG的外部端子(外部连接用端子)发挥功能。

[0177] <关于焊盘PD1之下的布线构造>

[0178] 图23是本实施方式的半导体装置的主要部分截面图,示出了与上述图1相同的截面。但是,在图23中,为了简化附图,关于层间绝缘膜IL2及其下方的构造省略了图示,但是实际上,在图23的截面构造之下也存在图1所示的层间绝缘膜IL2及其下方的构造。另外,图24和图25是本实施方式的半导体装置的主要部分俯视图。在图24和图25中示出了相同的平面区域,但是示出的层不同,在图24中示出了焊盘PD1,在图25中示出了比焊盘PD1靠下层的布线M2。图24是俯视图,但是为了便于观察附图而对焊盘PD1和布线M3附加有阴影,另外,图25是俯视图,但是为了便于观察附图而对布线M2附加有阴影。图24和图25的A-A线的位置处的截面图大致对应于上述图1和图23。图26和图27也是本实施方式的半导体装置的主要部分俯视图,示出了与图25相同的平面区域、且与图25相同的层。此外,图26是以使开口部OP1、OP2与图25所示的布线M2的位置关系清楚的方式准备的图,在图25中省略阴影且追加了开口部OP1、OP2的位置的图对应于图26。另外,图27是以使后述的开口部形成区域RG1、RG2清楚的方式准备的图,在图25中追加表示开口部形成区域RG1的虚线和表示开口部形成区域RG2的虚线的图对应于图27。在图24和图26中,用双点划线表示上述绝缘膜LF的开口部OP1的位置(平面位置),用点划线表示上述树脂膜PL1的开口部OP2的位置(平面位置)。

[0179] 从图23和图24也可知,在俯视观察时,开口部OP1包含在开口部OP2的内部,开口部OP2包含在焊盘PD1的内部。在图24的情况下,开口部OP1、开口部OP2以及焊盘PD1各自的平面形状是矩形,更确定地说是具有X方向的边和Y方向的边的矩形。此外,各俯视图所示的X方向和Y方向是与半导体基板SB的主面大致平行的方向。另外,X方向和Y方向是相互正交的方向。

[0180] 从图23~图27也可知,在焊盘PD1的下方也有布线M2延伸。在进行布线设计时,如

果与本实施方式不同地将焊盘PD1的下方的区域设为禁止配置布线M2的区域来想要避开焊盘PD1的下方的区域地配置布线M2,则布线设计的自由度变低而难以进行布线设计,另外,还有可能招致半导体装置的平面尺寸的增大。因此,在本实施方式中,将焊盘PD1的下方的区域设为能够配置布线M2的区域。因此,在焊盘PD1的下方也有布线M2延伸,在图23~图27的情况下,沿X方向延伸的布线M2a、M2b、M2c穿过焊盘PD1的下方的区域。

[0181] 布线M2a、M2b、M2c均是形成有焊盘PD1的布线层(在此是第三布线层)的下一层的布线层(在此是第二布线层)的布线M2。因此,布线M2a、布线M2b以及布线M2c是同层的布线。布线M2a、M2b、M2c各自在焊盘PD1的下方延伸,因此在俯视观察时具有与焊盘PD1重叠的部分。即,在俯视观察时,布线M2a、M2b、M2c各自的至少一部分与焊盘PD1重叠。

[0182] 布线M2a、M2b、M2c中的布线M2a、M2b各自在焊盘PD1的下方具有多个开口部SL。布线M2a、M2b、M2c中的布线M2c在焊盘PD1的下方不具有开口部(SL)。在图23~图27的情况下,在布线M2a、M2b各自中,各开口部SL是沿着该布线的延伸方向(在此是X方向)延伸的狭缝状的开口部。

[0183] 如果将假定在布线M2a中未形成多个开口部SL的情况下的布线M2a的宽度W1a与假定在布线M2b中未形成多个开口部SL的情况下的布线M2b的宽度W1b与布线M2c的宽度W1c进行比较,则宽度W1a、W1b分别大于宽度W1c,宽度W1a大于宽度W1b, $W1a > W1b > W1c$ 成立。即,布线M2a和布线M2b对应于在宽度宽的布线中设置有多个开口部SL的布线,布线M2c对应于宽度窄且未设置开口部(SL)的布线。此外,“布线的宽度”对应于该布线的与电流方向(电流流过的方向)大致垂直的方向的尺寸(宽度)。在图26中,各布线M2a、M2b、M2c中的电流方向是X方向,因此宽度W1a、W1b、W1c均是Y方向的尺寸。

[0184] 从图25和图26可知,在俯视观察时,布线M2a的至少一部分与开口部OP1重叠,因而,重叠于焊盘PD1与再布线RW的连接区域CN。布线M2a的端部(侧面)位于焊盘PD1与再布线RW的连接区域CN的下方。

[0185] 在此,焊盘PD1与再布线RW的连接区域CN是指焊盘PD1与再布线RW连接的区域。在从绝缘膜LF的开口部OP1暴露的焊盘PD1上形成有再布线RW,因此从绝缘膜LF的开口部OP1暴露的焊盘PD1的上表面对应于焊盘PD1与再布线RW的连接区域CN。因而,在俯视观察时,焊盘PD1与再布线RW的连接区域CN实质上与绝缘膜LF的开口部OP1一致。

[0186] 另外,从图25和图26可知,在俯视观察时,布线M2b的至少一部分与开口部OP2重叠,但是布线M2b不与开口部OP1重叠,因而,布线M2b不重叠于焊盘PD1与再布线RW的连接区域CN。布线M2b的端部(侧面)位于开口部OP2的下方,但是布线M2b的端部(侧面)不位于连接区域CN的下方。

[0187] 另外,从图25和图26可知,3根布线M2c穿过焊盘PD1之下,其中的2根布线M2c(与布线M2a近的一侧的2根布线M2c)的至少一部分在俯视观察时与开口部OP1重叠,因而,重叠于焊盘PD1与再布线RW的连接区域CN。该2根布线M2c的端部(侧面)位于连接区域CN的下方。此外,布线M2c的根数不限定于3根。

[0188] 另外,从图25和图26可知,穿过焊盘PD1之下的3根布线M2c中的一根布线M2c(与布线M2b近的一侧的一根布线M2c)的至少一部分与开口部OP2重叠,但是不与开口部OP1重叠,不与连接区域CN重叠。该一根布线M2c的端部(侧面)位于开口部OP2的下方,但是不位于连接区域CN的下方。

[0189] 因此,布线M2a和2根布线M2c是端部(布线M2a、M2c的端部)位于开口部OP1的下方、因而位于连接区域CN的下方的布线。另外,布线M2b和一根布线M2c是端部(布线M2b、M2c的端部)不位于开口部OP1的下方、但是端部(布线M2b、M2c的端部)位于开口部OP2的下方的布线。

[0190] 在本实施方式中,为了抑制或防止在被夹在布线M2a、M2b与焊盘PD1之间的层间绝缘膜IL3中产生裂纹,在布线M2a、M2b各自中设置有多个开口部SL,详情在后面叙述。另一方面,布线M2c的宽度(W1c)小,因此,即使不在布线M2c中形成开口部(SL),在被夹在布线M2c与焊盘PD1之间的层间绝缘膜IL3中产生裂纹的担忧也小,因此不在布线M2c中形成开口部(SL)来谋求布线M2c的电阻降低。关于形成开口部SL的理由以及在何处形成开口部SL,在以下的“研究的经过”的栏和“关于主要特征和效果”的栏中进行说明。

[0191] <关于研究的经过>

[0192] 本发明人对在形成焊盘后形成有再布线的半导体装置进行了研究。通过本发明人的研究获知:在这种半导体装置中,起因于通过再布线(RW)对焊盘(PD1)施加的压力(应力),有可能在焊盘(PD1)之下的层间绝缘膜(IL3)中产生裂纹。下面,参照图28~图30来具体地进行说明。

[0193] 图28是本发明人研究的研究例的半导体装置的主要部分截面图,相当于上述图23。与上述图23同样地,在图28中,也关于上述层间绝缘膜IL2及其下方的构造省略了图示。另外,图29和图30是本发明人研究的研究例的半导体装置的主要部分俯视图,分别相当于上述图24和图25。在图29中示出了焊盘PD1,在图30中示出了比焊盘PD1靠下层的布线M2。为了便于观察附图,对图29的焊盘PD1和布线M3以及图30的布线M2附加有阴影。图29和图30的B-B线的位置处的截面图对应于图29。另外,在图29和图30中,用双点划线表示上述绝缘膜LF的开口部OP1的位置,用点划线表示上述树脂膜PL1的开口部OP2的位置。

[0194] 在图28~图30的研究例中,布线M102a相当于上述布线M2a,布线M102b相当于上述布线M2b,布线M102c相当于上述布线M2c,但是与上述布线M2a、M2b不同地,在布线M102a、M102b中未形成开口部SL。即,在上述图23~图27中在布线M2a、M2b中未形成开口部SL的情况对应于图28~图30的研究例。布线M102a除了不具有开口部SL以外与上述布线M2a同样,布线M102b除了不具有开口部SL以外与上述布线M2b同样,布线M102c是与上述布线M2a同样的布线。

[0195] 在图28~图30的研究例的情况下,在焊盘PD1与布线M2之间,在层间绝缘膜IL3中容易产生裂纹CR。其原因如下。

[0196] 在焊盘PD1上形成有再布线RW,因此通过再布线RW对焊盘PD1施加压力(应力)。这是因为,在将半导体装置(CP)安装于布线基板(PB)等时将半导体装置的凸块电极BP连接到布线基板(PB)的端子(连接盘LA),而随着布线基板(PB)的热收缩产生的应力通过凸块电极BP施加到再布线RW,进一步通过该再布线RW施加到焊盘PD1。另外,由于金属材料相比于绝缘材料而言热膨胀系数大以及再布线RW的厚度非常厚,因此,起因于再布线RW的压力(应力)容易施加到焊盘PD1。

[0197] 当通过再布线RW对焊盘PD1施加压力(应力)时,有时在被焊盘PD1和布线M2夹着的层间绝缘膜IL3中产生裂纹CR。根据本发明人的研究获知:在被焊盘PD1和布线M2夹着的层间绝缘膜IL3中产生裂纹CR是满足如下两个因素(第一因素和第二因素)的情况。

[0198] 第一因素是布线M2 (在此是布线M102a) 的端部存在于焊盘PD1与再布线RW的连接区域CN的下方,第二因素是该布线M2 (在此是布线M102a) 的宽度(布线宽度)大。

[0199] 在焊盘PD1中,通过再布线RW被施加的压力(应力)大的区域是连接区域CN及其下方的区域。这是因为,从再布线RW经过焊盘PD1与再布线RW的连接区域CN对焊盘PD1传递压力(应力)。也就是说,在焊盘PD1中,在连接区域CN及其下方的区域,从再布线RW直接被传递大的压力(应力)。

[0200] 布线M102a的端部(布线M102a的端部)存在于连接区域CN的下方。在布线M2的端部(在此是布线M102a的端部)存在于连接区域CN的下方的情况下,有可能在被构成该布线M102a的端部的角部(由布线的上表面和侧面形成的角部)和焊盘PD1夹着的层间绝缘膜IL3中以布线M102a的角部为起点产生裂纹CR。这是因为,通过再布线RW施加到焊盘PD1的压力(应力)施加到连接区域CN的下方的层间绝缘膜IL3;起因于布线M102a而施加到层间绝缘膜IL3的应力集中于构成布线M102a的端部的角部。

[0201] 起因于布线M2而施加到层间绝缘膜IL3的应力是有可能由于布线M2的热收缩等而产生的,该应力的大小与布线M2的宽度越大则越大的趋势。即,当将宽度宽的布线M2与宽度窄的布线M2进行比较时,与宽度窄的布线M2相比,宽度宽的布线M2的热收缩量更大,因此与宽度窄的布线M2相比,宽度宽的布线M2的起因于布线M2而施加到层间绝缘膜IL3的应力更大。因此,以构成布线M2的端部的角部为起点在层间绝缘膜IL3中产生裂纹CR的可能性在起因于该布线M2而施加到层间绝缘膜IL3的应力越大则越大,因此该布线M2的宽度越大则越大。

[0202] 因此,如果布线M2的端部存在于连接区域CN的下方,则有可能在被该布线M2和焊盘PD1夹着的层间绝缘膜IL3中以构成该布线M2的端部的角部为起点产生裂纹CR,如果该布线M2的宽度小则其可能性低,但是如果该布线M2的宽度宽则其可能性变高。也就是说,如果宽度宽的布线M102a的端部存在于连接区域CN的下方,则大的应力施加到被构成该布线M102a的端部的角部和焊盘PD1夹着的层间绝缘膜IL3,容易以布线M102a的角部为起点产生裂纹CR。在层间绝缘膜IL3中产生裂纹CR会导致半导体装置的可靠性降低。因此,为了提高半导体装置的可靠性,期望的是抑制或防止在层间绝缘膜IL3中产生裂纹CR。

[0203] 因此,作为抑制或防止在层间绝缘膜IL3中产生裂纹CR的方法,可考虑如下的第一方法和第二方法。

[0204] 第一方法是避免布线M2的端部存在于焊盘PD1与再布线RW的连接区域CN的下方。在该情况下,有可能成为裂纹CR的起点的布线M2的端部(角部)不存在于容易被传递来自再布线RW的压力的区域(连接区域CN的下方的区域),因此能够抑制或防止在层间绝缘膜IL3中产生裂纹CR。

[0205] 然而,在采用第一方法的情况下,连接区域CN的下方的整个区域成为禁止配置布线M2的端部的区域,因此布线M2的布局的自由度变低,半导体装置的布线设计变得困难。另外,如果为了采用第一方法而想要避开连接区域CN的下方的区域地配置布线M2,则不利于半导体装置的小型化,招致半导体装置的平面尺寸的增大。

[0206] 第二方法是在连接区域CN的下方不配置宽度宽的地线布线等而仅配置宽度窄的信号布线。在该情况下,虽然在容易被传递来自再布线RW的压力的区域(连接区域CN的下方的区域)存在布线M2的端部(角部),但是该布线M2的宽度小,因此以布线M2的端部(角部)为

起点产生裂纹CR的可能性低,能够抑制或防止在层间绝缘膜IL3中产生裂纹CR。

[0207] 然而,在采用第二方法的情况下,连接区域CN的下方的整个区域成为禁止配置如地线布线那样的宽度宽的布线M2的端部的区域,因此布线M2的布局的自由度变低,半导体装置的布线设计变得困难。另外,如果为了采用第二方法而想要避开连接区域CN的下方的区域地配置如地线布线那样的宽度宽的布线M2,则不利于半导体装置的小型化,招致半导体装置的平面尺寸的增大。

[0208] 因此,期望的是提供一种能够抑制或防止在层间绝缘膜IL3中产生裂纹CR、并且提高比焊盘PD1靠下层的布线M2的布局的自由度的技术。

[0209] <关于主要特征和效果>

[0210] 本实施方式的半导体装置具有:半导体基板SB;布线M2a(第一布线),在半导体基板SB上隔着层间绝缘膜IL2(第一层间绝缘膜)形成;层间绝缘膜IL3(第二层间绝缘膜),在层间绝缘膜IL2上以覆盖布线M2a的方式形成;以及焊盘PD1(第一焊盘),形成在层间绝缘膜IL3上。本实施方式的半导体装置还具有层叠膜LM(第一绝缘膜),该层叠膜LM(第一绝缘膜)形成在层间绝缘膜IL3上,具有暴露焊盘PD1的开口部OP3(第一开口部)。本实施方式的半导体装置还具有:再布线RW(第二布线),形成在包括从开口部OP3暴露的焊盘PD1之上在内的层叠膜LM上,与焊盘PD1电连接;以及焊盘PD2(第二焊盘),形成在层叠膜LM上,与再布线RW成一体地连接。

[0211] 本实施方式的主要特征中的一个特征是:在俯视观察时,布线M2a(第一布线)的至少一部分与焊盘PD1重叠,布线M2a的端部位于焊盘PD1与再布线RW的连接区域CN的下方。本实施方式的主要特征中的另一个特征是:在布线M2a中的开口部形成区域RG1(第一区域)形成有多个开口部SL(第二开口部),在俯视观察时,开口部形成区域RG1的至少一部分重叠于焊盘PD1与再布线RW的连接区域CN。

[0212] 此外,开口部形成区域RG1对应于布线M2a中形成有多个开口部SL的区域,另外,开口部形成区域RG2对应于布线M2b中形成有多个开口部SL的区域。具体地说,如图27所示,开口部形成区域RG1大致对应于将形成于布线M2a的多个开口部SL与这些开口部SL之间的区域(相邻的开口部SL间的布线部)合起来的区域,开口部形成区域RG2大致对应于将形成于布线M2b的多个开口部SL与这些开口部SL间的区域(相邻的开口部SL间的布线部)合起来的区域。

[0213] 在本实施方式中,在俯视观察时,布线M2a的至少一部分与焊盘PD1重叠,布线M2a的端部位于焊盘PD1与再布线RW的连接区域CN的下方(参照图23~图27)。在与本实施方式不同地在布线M2a中未形成开口部SL的情况下,如与上述图28~图30的研究例相关联地说明的那样,通过再布线RW对焊盘PD1施加压力(应力),有可能在被焊盘PD1和布线M102a夹着的层间绝缘膜IL3中产生裂纹CR。该原因如与上述研究例相关联地说明的那样是:在连接区域CN的下方存在布线M102a的端部;以及该布线M102a的宽度大。

[0214] 与此相对,在本实施方式中,虽然布线M2a其端部(布线M2a的端部)存在于连接区域CN的下方,但是在该布线M2a中的开口部形成区域RG1形成有多个开口部SL,在俯视观察时,开口部形成区域RG1的至少一部分与连接区域CN重叠。由此,即使在俯视观察时布线M2a的至少一部分与焊盘PD1重叠而布线M2a的端部位于连接区域CN的下方,也能够抑制或防止在被焊盘PD1和布线M2a夹着的层间绝缘膜IL3中产生与上述裂纹CR相当之物。下面说明其

理由。

[0215] 如与上述研究例相关联地说明的那样,如果在焊盘PD1与再布线RW的连接区域CN的下方存在宽度宽的布线M2的端部,则大的应力施加到被构成该布线M2的端部的角部和焊盘PD1夹着的层间绝缘膜IL3,容易以布线M2的端部(角部)为起点产生裂纹CR。这是因为,通过再布线RW施加到焊盘PD1的压力(应力)施加到连接区域CN的下方的层间绝缘膜IL3;起因于布线M2而施加到层间绝缘膜IL3的应力集中于构成布线M2的端部的角部。起因于布线M2而施加到层间绝缘膜IL3的应力的大小与布线M2的宽度越大则越大、且布线M2的宽度越小则越小的趋势。关于在连接区域CN的下方存在布线M2的端部的情况下以该布线M2的端部(角部)为起点在层间绝缘膜IL3中产生裂纹CR的可能性,如果使起因于该布线M2而施加到层间绝缘膜IL3的应力变小则该可能性变小,因而,如果使该布线M2的有效宽度变小则该可能性变小。

[0216] 在布线M2中形成开口部SL对应于使该布线M2的有效布线宽度变小。因此,在布线M2中形成开口部SL会起到如下作用:使该布线M2的有效布线宽度变小,使起因于布线M2而施加到层间绝缘膜IL3的应力变小。另外,如果在布线M2中形成开口部SL,则在该开口部SL内也会填充层间绝缘膜IL3,在开口部SL内填充的层间绝缘膜IL3能够以抑制该布线M2的变形的形式起作用,这也以使起因于布线M2而施加到层间绝缘膜IL3的应力变小的形式起作用。因此,如果在布线M2中形成开口部SL,则与在该布线M2中未形成开口部SL的情况相比,能够使起因于该布线M2而施加到层间绝缘膜IL3的应力变小。因而,关于在连接区域CN的下方存在布线M2的端部的情况下以该布线M2的端部(角部)为起点在层间绝缘膜IL3中产生裂纹CR的可能性,能够通过在该布线M2中形成开口部SL来使该可能性变小。因此,与上述图28~图30的研究例相比,图23~图27的本实施方式由于在布线M2a中形成有多个开口部SL,因此更能够抑制或防止在被焊盘PD1和布线M2a(M102a)夹着的层间绝缘膜IL3中产生裂纹。因而,能够提高半导体装置的可靠性。

[0217] 另外,在本实施方式中,不需要将焊盘PD1之下的区域设为禁止配置布线M2的区域,能够将布线M2自由地配置在焊盘PD1之下,因此能够提高布线M2的布局的自由度。另外,有利于半导体装置的小型化。

[0218] 另外,在本实施方式中,在布线M2中设置有开口部SL,而在什么样的区域设置开口部SL是极为重要的。关于应该在什么样的区域设置开口部SL,下面进行说明。

[0219] 如上所述,在层间绝缘膜IL3中,容易被传递从再布线RW传递至焊盘PD1的压力(应力)的是连接区域CN的下方(正下方)的区域。因此,为了防止在层间绝缘膜IL3中产生裂纹(CR),有效的是在连接区域CN的下方的区域中使起因于布线M2而施加到层间绝缘膜IL3的应力变小。为了在连接区域CN的下方的区域中使起因于布线M2而施加到层间绝缘膜IL3的应力变小,有效的是在连接区域CN的下方在该布线M2中设置开口部(SL)。

[0220] 因此,在本实施方式中,作为第一条件,在俯视观察时,在端部(布线M2a的端部)存在于连接区域CN的下方的布线M2a中作为形成有多个开口部SL的区域的开口部形成区域RG1的至少一部分与连接区域CN重叠。

[0221] 此外,在俯视观察时开口部形成区域RG1的至少一部分与连接区域CN重叠启示着,在俯视观察时,形成于布线M2a的多个开口部SL的至少一部分与连接区域CN重叠。从其它观点来看,在俯视观察时开口部形成区域RG1的至少一部分与连接区域CN重叠启示着,开口部

形成区域RG1的至少一部分处于连接区域CN的下方,因而,形成于布线M2a的多个开口部SL的至少一部分处于连接区域CN的下方。

[0222] 如果满足第一条件,则在连接区域CN的下方,在布线M2a中设置有开口部SL,由此能够获得使起因于该布线M2a而施加到层间绝缘膜IL3的应力变小的效果,因此能够获得抑制或防止在容易从再布线RW经过焊盘PD1被传递压力(应力)的层间绝缘膜IL3中产生裂纹。

[0223] 另外,在本实施方式中,优选的是,作为第二条件,在俯视观察时,布线M2a与连接区域CN的重叠区域包含于开口部形成区域RG1。

[0224] 俯视观察时的布线M2a与连接区域CN的重叠区域对应于图31中附加有阴影的区域。在此,图31是本实施方式的半导体装置的主要部分俯视图,是从上述图26去掉表示开口部OP2的位置的点划线且对俯视观察时的布线M2a与接区域CN的重叠区域附加了阴影的图。

[0225] 俯视观察时的布线M2a与连接区域CN的重叠区域对应于布线M2a中的在俯视观察时与连接区域CN重叠的区域。另外,在俯视观察时布线M2a与连接区域CN的重叠区域包含于开口部形成区域RG1启示着,布线M2a中的在俯视观察时与连接区域CN重叠的整个区域包含于开口部形成区域RG1,因而启示着,在布线M2a中的在俯视观察时与连接区域CN重叠的整个区域配置有多个开口部SL。从其它观点来看,在俯视观察时布线M2a与连接区域CN的重叠区域包含于开口部形成区域RG1启示着,布线M2a中的位于连接区域CN的下方的整个区域包含于开口部形成区域RG1,因而启示着,在布线M2a中的位于连接区域CN的下方的整个区域配置有多个开口部SL。

[0226] 如果满足第二条件,则在布线M2a中的位于连接区域CN的下方的区域的大致整体配置有多个开口部SL,能够抑制或防止产生布线宽度宽的部分。因此,在连接区域CN的下方,在布线M2a中设置有开口部SL,由此能够更准确地获得使起因于该布线M2a而施加到层间绝缘膜IL3的应力变小的效果,因此能够更准确地抑制或防止在容易从再布线RW经过焊盘PD1被传递压力(应力)的层间绝缘膜IL3中产生裂纹。

[0227] 也就是说,即使在俯视观察时只有布线M2a与连接区域CN的重叠区域的一部分包含于开口部形成区域RG1的情况下,也能够获得抑制或防止在层间绝缘膜IL3中产生裂纹的效果,但是更优选的是在俯视观察时布线M2a与连接区域CN的重叠区域的整体包含于开口部形成区域RG1的情况。即,更优选的是满足第二条件的情况。由此,在连接区域CN的下方,能够更准确地使起因于布线M2a而施加到层间绝缘膜IL3的应力变小,能够更准确地抑制或防止在层间绝缘膜IL3中产生裂纹。此外,如果满足第二条件,则必然满足上述第一条件。

[0228] 另外,在本实施方式中,优选的是,作为第三条件,在焊盘PD1与再布线RW的连接区域CN的下方,以在布线M2a中不产生宽度(布线部的宽度)为 $0.6\mu\text{m}$ 以上的部位的方式,在布线M2a的开口部形成区域RG1形成有多个开口部SL。此外,布线(M2、M2a)的宽度对应于该布线(M2、M2a)的与电流方向(电流流过的方向)大致垂直的方向的尺寸(宽度)。例如,优选的是,在图26中,被布线M2a中的在Y方向上相邻的开口部SL夹着的布线部的宽度W2a(在此是Y方向的尺寸)小于 $0.6\mu\text{m}$ 。

[0229] 作为第三条件的前提,假定在布线M2a中未形成多个开口部SL的情况下的布线M2a的宽度W1a为 $0.6\mu\text{m}$ 以上。此外,假定在布线M2a中未形成多个开口部SL的情况下的布线M2a的宽度W1a对应于上述布线M102a的宽度,上述布线M102a的宽度为 $0.6\mu\text{m}$ 以上。

[0230] 如上所述,与宽度窄的布线M2相比,宽度宽的布线M2的起因于布线M2而施加到层

间绝缘膜IL3的应力更大。因此,在本实施方式中,在连接区域CN的下方,为了使布线M2a的有效宽度变小而在该布线M2a中形成有多个开口部SL,由此,使起因于该布线M2a而施加到层间绝缘膜IL3的应力变小。因此,优选的是,在连接区域CN的下方,以在布线M2a中不产生宽度大的(宽的)部位的方式形成多个开口部SL,具体地说,优选的是,以在布线M2a中不产生宽度(布线部的宽度)为 $0.6\mu\text{m}$ 以上的部位的方式,在布线M2a中形成多个开口部SL。

[0231] 如上所述,与宽度窄的布线M2相比,宽度宽的布线M2的起因于布线M2而施加到层间绝缘膜IL3的应力更大。根据本发明人的研究获知:在上述图28~图30的研究例中,如果布线M102a的宽度为 $0.6\mu\text{m}$ 以上,则在被布线M102a和焊盘PD1夹着的层间绝缘膜IL3中以布线M102a的端部(角部)为起点产生裂纹CR的可能性增加。

[0232] 因此,在本实施方式中,在假定未形成多个开口部SL的情况下的宽度W1a为 $0.6\mu\text{m}$ 以上的布线M2a中,通过形成多个开口部SL,避免在焊盘PD1与再布线RW的连接区域CN的下方在布线M2a中产生宽度(布线部的宽度)为 $0.6\mu\text{m}$ 以上的部位。由此,在连接区域CN的下方,能够更准确地使起因于布线M2a而施加到层间绝缘膜IL3的应力变小,能够更准确地抑制或防止在被布线M2a和焊盘PD1夹着的层间绝缘膜IL3中产生裂纹。

[0233] 另外,在本实施方式中,在层间绝缘膜IL3上形成有具有暴露焊盘PD1的开口部OP3的层叠膜LM(第一绝缘膜),在包括从开口部OP3暴露的焊盘PD1之上在内的层叠膜LM上形成有与焊盘PD1电连接的再布线RW。层叠膜LM(第一绝缘膜)由绝缘膜LF(第二绝缘膜)与绝缘膜LF上的树脂膜PL1(第三绝缘膜)的层叠膜构成,层叠膜LM的开口部OP3(第一开口部)由绝缘膜LF的开口部OP1(第三开口部)和树脂膜PL1的开口部OP2(第四开口部)形成。在俯视观察时,绝缘膜LF的开口部OP1包含在树脂膜PL1的开口部OP2的内部,对从绝缘膜LF的开口部OP1暴露的焊盘PD1连接有再布线RW。

[0234] 在该情况下,在俯视观察时,焊盘PD1与再布线RW的连接区域CN与绝缘膜LF的开口部OP1大致一致。因此,上述第二条件是,在俯视观察时,布线M2a与连接区域CN的重叠区域包含于开口部形成区域RG1,这能够换句话说,在俯视观察时,布线M2a与开口部OP1的重叠区域包含于开口部形成区域RG1,设将其称为第四条件。即,第四条件是,在俯视观察时,布线M2a与开口部OP1的重叠区域包含于开口部形成区域RG1。此外,俯视观察时的布线M2a与开口部OP1的重叠区域对应于布线M2a中的在俯视观察时与开口部OP1重叠的区域。俯视观察时的布线M2a与开口部OP1的重叠区域实质上与俯视观察时的布线M2a与连接区域CN的重叠区域一致,均对应于图31中附加有阴影的区域。

[0235] 如果满足第四条件而在俯视观察时布线M2a与开口部OP1的重叠区域包含于开口部形成区域RG1,则在位于开口部OP1的下方(即连接区域CN的下方)的区域中,在大致整体上配置有多个开口部SL,能够抑制或防止产生布线宽度宽的部分。因此,在开口部OP1的下方(即连接区域CN的下方),在布线M2a中设置有开口部SL,由此能够更准确地获得使起因于该布线M2a而施加到层间绝缘膜IL3的应力变小的效果。由此,能够更准确地获得抑制或防止在容易从再布线RW经过焊盘PD1被传递压力(应力)的层间绝缘膜IL3中产生裂纹CR的效果。

[0236] 另外,在本实施方式中,优选的是,作为第五条件,在俯视观察时,布线M2a与开口部OP2的重叠区域包含于开口部形成区域RG1。

[0237] 俯视观察时的布线M2a与开口部OP2的重叠区域对应于图32的布线M2a中附加有阴

影的区域。在此,图32是本实施方式的半导体装置的主要部分俯视图,是从上述图26去掉表示开口部OP1的位置的双点划线、且对俯视观察时的布线M2a与开口部OP2的重叠区域以及俯视观察时的布线M2b与开口部OP2的重叠区域附加了阴影的图。

[0238] 此外,俯视观察时的布线M2a与开口部OP2的重叠区域对应于布线M2a中的在俯视观察时与开口部OP2重叠的区域。另外,在俯视观察时布线M2a与开口部OP2的重叠区域包含于开口部形成区域RG1,因而启示着,布线M2a中的在俯视观察时与开口部OP2重叠的整个区域包含于开口部形成区域RG1,因而启示着,在布线M2a中的在俯视观察时与开口部OP2重叠的整个区域配置有多个开口部SL。从其它观点来看,在俯视观察时布线M2a与开口部OP2的重叠区域包含于开口部形成区域RG1,因而启示着,布线M2a中的位于开口部OP2的下方的整个区域包含于开口部形成区域RG1,因而启示着,在布线M2a中的位于开口部OP2的下方的整个区域配置有多个开口部SL。

[0239] 在连接区域CN的下方的区域、即开口部OP1的下方的区域,从焊盘PD1施加到层间绝缘膜IL3的压力(应力)非常大。这是因为,以与从开口部OP1暴露的焊盘PD1相接的方式形成有再布线RW,在再布线RW与从开口部OP1暴露的焊盘PD1之间不介有绝缘膜,因此从再布线RW直接对从开口部OP1暴露的焊盘PD1施加压力(应力),该压力传递到连接区域CN的下方(即开口部OP1的下方)的层间绝缘膜IL3。

[0240] 另一方面,在俯视观察时,开口部OP2包含在开口部OP1的内部,因此在俯视观察时的开口部OP1的外侧且开口部OP2的内侧的区域,在再布线RW与焊盘PD1之间介有绝缘膜LF,但是不介有树脂膜PL1。因此,在俯视观察时的开口部OP1的外侧且开口部OP2的内侧的区域中,不存在树脂膜PL1,与此相应地,来自再布线RW的压力(应力)经由绝缘膜LF向焊盘PD1传递某种程度,进一步施加到下方的层间绝缘膜IL3。即,在俯视观察时开口部OP1的外侧且开口部OP2的内侧的区域中的、从焊盘PD1施加到层间绝缘膜IL3的压力(应力)小于在俯视观察时开口部OP1的内侧的区域中的、从焊盘PD1施加到层间绝缘膜IL3的压力(应力),即使是这样,也是某种程度的大小。因此,虽然未达到在俯视观察时开口部OP2的内侧的区域的程度,但是在俯视观察时开口部OP1的外侧且开口部OP2的内侧的区域,也存在某种程度的在层间绝缘膜IL3中产生与上述裂纹CR相当之物的可能性。因此,为了尽可能降低在层间绝缘膜IL3中产生与上述裂纹CR相当之物的可能性,期望的是,不仅在俯视观察时开口部OP1的内侧的区域,在俯视观察时开口部OP1的外侧且开口部OP2的内侧的区域也使起因于布线M2而施加到层间绝缘膜IL3的应力变小。

[0241] 因此,在本实施方式中,优选的是,作为第五条件,在俯视观察时,布线M2a与开口部OP2的重叠区域包含于开口部形成区域RG1。如果满足第五条件,则不仅在俯视观察时开口部OP2的内侧的区域,在俯视观察时开口部OP1的外侧且开口部OP2的内侧的区域也在布线M2a中形成有多个开口部SL。由此,不仅在俯视观察时开口部OP2的内侧的区域,在俯视观察时开口部OP1的外侧且开口部OP2的内侧的区域,也能够使起因于布线M2a而施加到层间绝缘膜IL3的应力变小,因此能够更准确地抑制或防止在层间绝缘膜IL3中产生裂纹。此外,如果满足第五条件,必然满足上述第四条件。

[0242] 另外,图23~图27(本实施方式)的情况下的布线M2a的端部和图28~图30的研究例的情况下的布线M102a的端部存在于焊盘PD1与再布线RW的连接区域CN的下方,即,存在于在俯视观察时与开口部OP1重叠的位置。因此,在图28~图30的研究例的情况下,存在以

布线M102a的端部(角部)为起点在层间绝缘膜IL3中产生裂纹CR的担忧,因此在图23~图27(本实施方式)的情况下,在布线M2a中设置多个开口部SL,来抑制或防止以布线M2a的端部(角部)为起点在层间绝缘膜IL3中产生裂纹CR。另一方面,图23~图27(本实施方式)的情况下的布线M2b的端部和图28~图30的研究例的情况下的布线M102b的端部不存在于焊盘PD1与再布线RW的连接区域CN的下方,即,不存在于在俯视观察时与开口部OP1重叠的位置,但是存在于在俯视观察时与开口部OP2重叠的位置。如上所述,虽然未达到在俯视观察时开口部OP2的内侧的区域的程度,但是在俯视观察时开口部OP1的外侧且开口部OP2的内侧的区域,也存在某种程度的在层间绝缘膜IL3中产生与上述裂纹CR相当之物的可能性,因此在图28~图30的研究例的情况下,虽然未达到布线M102a的长度,但是布线M102b也有可能成为层间绝缘膜IL3的裂纹的原因。即,在被焊盘PD1和布线M102b夹着的层间绝缘膜IL3中以布线M102b的端部(角部)为起点产生裂纹CR的可能性也存在某种程度。

[0243] 因此,优选的是,不仅在与布线M102a相当的布线M2a,在与布线M102b相当的布线M2b中也设置开口部SL。因此,在图23~图27的情况下,在布线M2b中的开口部形成区域RG2形成有多个开口部SL。在俯视观察时,布线M2中的开口部形成区域RG2的至少一部分与开口部OP2重叠。此外,在俯视观察时开口部形成区域RG2的至少一部分与开口部OP2重叠启示着,在俯视观察时,形成于布线M2a的多个开口部SL的至少一部分与开口部OP2重叠。

[0244] 优选的是,第五条件不仅应用于布线M2a,还应用于布线M2b。即,优选的是,在俯视观察时,布线M2b与开口部OP2的重叠区域包含于开口部形成区域RG2。此外,俯视观察时的布线M2b与开口部OP2的重叠区域对应于图32的布线M2b中附加有阴影的区域。

[0245] 俯视观察时的布线M2b与开口部OP2的重叠区域对应于布线M2b中的在俯视观察时与开口部OP2重叠的区域。另外,在俯视观察时布线M2b与开口部OP2的重叠区域包含于开口部形成区域RG2启示着,布线M2b中的在俯视观察时与开口部OP2重叠的整个区域包含于开口部形成区域RG2,因而启示着,在布线M2b中的在俯视观察时与开口部OP2重叠的整个区域配置有多个开口部SL。从其它观点来看,在俯视观察时布线M2b与开口部OP2的重叠区域包含于开口部形成区域RG2启示着,布线M2b中的位于开口部OP2的下方的整个区域包含于开口部形成区域RG2,因而启示着,在布线M2b中的位于开口部OP2的下方的整个区域配置有多个开口部SL。

[0246] 如果不仅布线M2a满足第五条件、布线M2b也满足第五条件,则在布线M2a、M2b中的在俯视观察时与开口部OP2重叠的区域、即布线M2a、M2b中的开口部OP2的下方的区域,在布线M2a、M2b中形成有多个开口部SL。由此,在俯视观察时开口部OP2的内侧的区域,能够使起因于布线M2a、M2b而施加到层间绝缘膜IL3的应力变小,因此能够更准确地抑制或防止以布线M2a、M2b的端部(角部)为起点在层间绝缘膜IL3中产生裂纹。

[0247] 另外,在本实施方式中,优选的是,作为第六条件,在开口部OP2的下方,以在布线M2a中不产生宽度(布线部的宽度)为 $0.6\mu\text{m}$ 以上的部位的方式,在布线M2a的开口部形成区域RG1形成有多个开口部SL。此外,作为第六条件的前提,假定在布线M2a中未形成多个开口部SL的情况下的布线M2a的宽度W1a为 $0.6\mu\text{m}$ 以上。

[0248] 如上所述,与宽度窄的布线M2相比,宽度宽的布线M2的起因于布线M2而施加到层间绝缘膜IL3的应力更大。根据本发明人的研究可知:在上述图28~图30的研究例中,如果布线M102a、M102b的各宽度为 $0.6\mu\text{m}$ 以上,则在被布线M102a、M102b和焊盘PD1夹着的层间绝

缘膜IL3中以布线M102a、M102b的各端部(角部)为起点产生裂纹CR的可能性增加。

[0249] 因此,在本实施方式中,优选的是,在开口部OP2的下方,以在布线M2a中不产生宽度大的(宽的)部位的方式形成多个开口部SL,具体地说,优选的是,在开口部OP2的下方,以在布线M2a中不产生宽度(布线部的宽度)为 $0.6\mu\text{m}$ 以上的部位的方式,在布线M2a中形成多个开口部SL。由此,在开口部OP2的下方,能够更准确地使起因于布线M2a而施加到层间绝缘膜IL3的应力变小,能够更准确地抑制或防止在被布线M2a和焊盘PD1夹着的层间绝缘膜IL3中产生裂纹。

[0250] 优选的是,第六条件不仅应用于布线M2a,还应用于布线M2b。即,在开口部OP2的下方(正下方),以在布线M2b中不产生宽度(布线部的宽度)为 $0.6\mu\text{m}$ 以上的部位的方式,在布线M2b的开口部形成区域RG2形成有多个开口部SL。由此,在开口部OP2的下方(正下方),能够更准确地使起因于布线M2a、M2b而施加到层间绝缘膜IL3的应力变小,能够更准确地抑制或防止以布线M2a、M2b的端部(角部)为起点在层间绝缘膜IL3中产生裂纹(CR)。

[0251] 此外,作为对布线M2b也应用第六条件的前提,假定在布线M2b中未形成多个开口部SL的情况下的布线M2b的宽度W1b为 $0.6\mu\text{m}$ 以上。而且,参照图26,为了使布线M2a、M2b满足第六条件,优选的是,在布线M2a、M2b各自中,被在Y方向上相邻的开口部SL夹着的布线部的宽度W2a小于 $0.6\mu\text{m}$ 。

[0252] 另外,在本实施方式中,优选的是,作为第七条件,在俯视观察时,在与开口部OP2相距 $5\mu\text{m}$ 以上的区域,在布线M2(M2a、M2b)中未形成开口部SL。从其它观点来看,第七条件是指,在俯视观察时,开口部形成区域RG1、RG2的外周与开口部OP2相距 $5\mu\text{m}$ 以上。

[0253] 图33是用于说明第七条件的图。图33是本实施方式的半导体装置的主要部分俯视图,对应于从上述图26去掉表示开口部OP1的位置的双点划线且追加了表示区域RG3的虚线的图。在图33中,用虚线表示的区域RG3对应于将开口部OP2在X方向和Y方向上分别扩张 $5\mu\text{m}$ 的区域。即,在俯视观察时,开口部OP2的外周与区域RG3的外周之间的间隔(X方向的间隔和Y方向的间隔)L1是 $5\mu\text{m}$ ($L1=5\mu\text{m}$)。因此,区域RG3的X方向的尺寸是对开口部OP2的X方向的尺寸相加 $10\mu\text{m}$ 的值,区域RG3的Y方向的尺寸是对开口部OP2的Y方向的尺寸相加 $10\mu\text{m}$ 的值。

[0254] 图33所示的用虚线包围的区域RG3内对应于在俯视观察时与开口部OP2相距 $5\mu\text{m}$ 以内的区域,图33所示的用虚线包围的区域RG3的外侧对应于与开口部OP2相距 $5\mu\text{m}$ 以上的区域。优选的是,在焊盘PD1之下延伸的各布线M2(M2a、M2b、M2c)中,在图33中用虚线包围的区域RG3的外侧不形成开口部SL,由此能够满足第七条件。优选满足第七条件的理由如下。

[0255] 在俯视观察时的开口部OP2的外侧的区域中,在再布线RW与焊盘PD1之间不仅介有绝缘膜LF,还介有树脂膜PL1。树脂膜PL1其厚度比较厚(具体地说比绝缘膜LF厚),另外,由于由树脂材料构成而比较柔软(具体地说比绝缘膜LF柔软)。因此,在俯视观察时的开口部OP2的外侧的区域中,在再布线RW与焊盘PD1之间不仅存在绝缘膜LF,还存在树脂膜PL1,与此相应地,来自再布线RW的压力(应力)不易传递至焊盘PD1,因而,不易施加到焊盘PD1的下方的层间绝缘膜IL3。即,在俯视观察时开口部OP2的外侧的区域中的、从焊盘PD1施加到层间绝缘膜IL3的压力(应力)相比于在俯视观察时开口部OP2的内侧的区域中的、从焊盘PD1施加到层间绝缘膜IL3的压力(应力)而言非常小。因此,图23~图27(本实施方式)的情况当然不必说,在图28~图30的研究例的情况下,在俯视观察时开口部OP2的外侧的区域,在层间绝缘膜IL3中产生与上述裂纹CR相当之物的可能性也几乎不存在,即使存在也非常小。因

此,在俯视观察时的开口部OP2的外侧的区域,在布线M2中是否设置开口部SL几乎不影响在层间绝缘膜IL3中产生裂纹(CR)的可能性。另一方面,如果在俯视观察时的开口部OP2的外侧的区域在布线M2中设置开口部SL,则与此相应地导致布线M2的电阻增加。

[0256] 因此,在本实施方式中,优选的是,作为第七条件,在俯视观察时与开口部OP2相距 $5\mu\text{m}$ 以上的区域,在布线M2(M2a、M2b、M2c)中不形成多个开口部SL。如果满足第七条件,则在布线M2(M2a、M2b、M2c)中的不能期待设置开口部SL的效果的区域(具体地说与开口部OP2相距 $5\mu\text{m}$ 以上的区域)中不会形成开口部SL。由此,能够抑制或防止在层间绝缘膜IL3中产生裂纹,并且能够抑制随着设置开口部SL而产生的布线M2的电阻增加,因此能够谋求布线M2的电阻降低。

[0257] 汇总本实施方式的技术思想则如下。在本实施方式中,在焊盘PD1上形成有再布线RW的情况下,考虑从再布线RW传递到焊盘PD1的压力(应力)被施加到焊盘PD1之下的层间绝缘膜IL3,使起因于焊盘PD1之下的布线M2而施加到层间绝缘膜IL3的应力变小,从而抑制或防止在被布线M2和焊盘PD1夹着的层间绝缘膜IL3中产生裂纹。由此,能够提高半导体装置的可靠性。在本实施方式中,作为使起因于焊盘PD1之下的布线M2而施加到层间绝缘膜IL3的应力变小的手段,在焊盘PD1之下的布线M2中形成有多个开口部SL。在焊盘PD1之下的布线M2中,多个开口部SL设置在从焊盘PD1施加到层间绝缘膜IL3的压力(应力)比较大的区域(上述第一、第二、第四、第五条件)。另外,在焊盘PD1之下的布线M2中,多个开口部SL以不产生布线宽度宽的部位的方式设置(上述第三、第六条件)。由此,能够提高通过设置多个开口部SL来获得的效果(防止在层间绝缘膜IL3中产生裂纹的效果)。另外,在焊盘PD1之下的布线M2中,在不能期望通过设置多个开口部SL来获得的效果(防止在层间绝缘膜IL3中产生裂纹的效果)的区域中不设置开口部(SL),由此能够谋求布线M2的电阻降低(上述第七条件)。

[0258] 作为形成多个开口部SL的布线M2a、M2b,能够优选应用电源布线或地线布线,能够特别优选应用地线布线。电源布线、地线布线的布线宽度宽,另外,一般来说,与电源布线相比,地线布线的布线宽度更大。因此,如果在焊盘PD1之下存在电源布线或地线布线(特别是地线布线)来作为布线M2,则担忧在被该布线M2和焊盘PD1夹着的层间绝缘膜IL3中产生裂纹CR。在本实施方式中,在焊盘PD1之下存在作为电源布线或地线布线的布线M2a、M2b的情况下,通过在该布线M2a、M2b中如上所述那样形成多个开口部SL,来能够抑制或防止在被电源布线或地线布线(布线M2a、M2b)和焊盘PD1夹着的层间绝缘膜IL3中产生裂纹。因此,在作为形成多个开口部SL的布线M2a、M2b应用电源布线或地线布线的情况下,通过设置多个开口部SL来获得的效果大,特别是在应用地线布线的情况下,通过设置多个开口部SL来获得的效果极大。

[0259] 另外,在焊盘PD1的下方延伸的多个布线M2中,还能够使设置有开口部SL的布线M2a、M2b和不设置开口部SL的布线M2c混合存在。对此,下面参照图23~图27来进行说明。

[0260] 在图23~图27的情况下,在焊盘PD1的下方,作为布线M2,不仅有布线M2a、M2b延伸,还有布线M2c(第三布线)延伸。布线M2c的宽度 $W1b$ (第二宽度)比较小,具体地说,比假定在布线M2a中未形成多个开口部SL的情况下的该布线M2a的宽度 $W1a$ (第一宽度)小($W1c < W1a$),另外,比假定在布线M2b中未形成多个开口部SL的情况下的该布线M2b的宽度 $W1b$ 小($W1c < W1b$)。例如,布线M2a、M2b是电源布线或地线布线,布线M2c是信号布线(信号线)。电源布线是为了供给电源电位而使用的布线,地线布线是为了供给地线电位(接地电位)而使用

的布线,信号布线是为了传送信号而使用的布线。一般来说,电源布线和地线布线的布线宽度非常宽,信号布线的布线宽度比较小,信号布线的布线宽度比电源布线、地线布线的布线宽度小。

[0261] 在图23~图27的情况下,在布线M2a、M2b中形成有多个开口部SL,而在布线M2c中未形成与开口部SL相当之物。在布线M2a、M2b中形成开口部SL而在布线M2b中不形成开口部的理由如下。

[0262] 即,关于布线M2a、M2b,如果不设置开口部SL,则由于布线宽度非常大,因此起因于布线M2a、M2b而施加到层间绝缘膜IL3的应力变大,从而担忧在被布线M2a、M2b和焊盘PD1夹着的层间绝缘膜IL3中产生裂纹。另一方面,关于布线M2c,即使不设置开口部SL,由于布线宽度小,因此起因于布线M2c而施加到层间绝缘膜IL3的应力也不那么大,在被布线M2c和焊盘PD1夹着的层间绝缘膜IL3中产生裂纹的担忧比较小。

[0263] 因此,针对在焊盘PD1之下延伸的布线M2a、M2b、M2c中的、如果不形成开口部则招致层间绝缘膜IL3的裂纹的可能性相对高的布线M2a、M2b设置开口部SL,由此抑制或防止在被布线M2a、M2b和焊盘PD1夹着的层间绝缘膜IL3中产生裂纹。另一方面,针对在焊盘PD1之下延伸的布线M2a、M2b、M2c中的、即使不形成开口部、招致层间绝缘膜IL3的裂纹的可能性也相对低的布线M2c不设置开口部,由此能够谋求布线M2c的电阻降低。通过这样在焊盘PD1的下方延伸的布线M2a、M2b、M2c中使设置有开口部SL的布线M2a、M2b和不设置开口部的布线M2c混合存在,能够兼顾层间绝缘膜IL3的裂纹的防止和布线M2的电阻降低。

[0264] 另外,如与上述第三条件、第六条件相关联地说明的那样,根据本发明人的研究获知:如果布线M2的宽度为 $0.6\mu\text{m}$ 以上,则起因于该布线M2而施加到层间绝缘膜IL3的应力变大,该布线M2成为上述裂纹CR的原因的可能性增加。

[0265] 因此,优选的是,作为以满足上述第一~第六条件中的任一个的方式设置开口部SL的布线M2 (M2a、M2b),设为假定未形成多个开口部SL的情况下的宽度为 $0.6\mu\text{m}$ 以上的布线M2 (M2a、M2b)。即,优选的是,针对在焊盘PD1的下方延伸的布线M2中的在不形成开口部(SL)的情况下宽度为 $0.6\mu\text{m}$ 以上的布线M2 (M2a、M2b),以满足上述第一~第六条件中的任一个的方式形成开口部SL。

[0266] 另一方面,还能够在即使在不形成开口部的情况下宽度也小于 $0.6\mu\text{m}$ 的布线M2 (M2c)中以满足上述第一~第六条件中的任一个的方式设置开口部SL,但是由于即使不设置开口部SL、在层间绝缘膜IL3中产生裂纹的担忧也小,因此还能够不形成与开口部SL相当之物,那么,能够谋求布线M2 (M2c)的电阻降低。

[0267] 因此,关于布线M2a、M2b,优先的是假定未形成多个开口部SL的情况下的宽度W1a、W1b分别为 $0.6\mu\text{m}$ 以上,布线M2c优选的是宽度W1c小于 $0.6\mu\text{m}$ 的布线。针对设置开口部SL的效果(防止层间绝缘膜IL3的裂纹的效果)大的布线M2a、M2b设置开口部SL,针对设置开口部SL的效果小的具有小于 $0.6\mu\text{m}$ 的宽度的布线M2c不设置开口部,由此能够高效地实现层间绝缘膜IL3的裂纹防止和布线M2的电阻降低。

[0268] 另外,在本实施方式(图23~图27和图31~图34)中图示了具有开口部SL的一根布线M2a、具有开口部SL的一根M2b、以及不具有开口部SL的3根布线M2c穿过焊盘PD1之下的情况,但是各布线M2a、M2b、M2c的根数不限于此,能够进行各种变更。另外,还有可能存在存在焊盘PD1之下不存在布线M2c的情况。另外,还有可能存在如下情况:在焊盘DP1之下存在布

线M2a、2b这两方的情况；存在布线M2a、2b中的一方、但是不存在另一方的情况。此外，如上所述，布线M2a是其端部位于连接区域CN（开口部OP1）的下方的布线，且是具有开口部SL的布线，另外，布线M2b是其端部不位于连接区域CN（开口部OP1）的下方、但位于开口部OP2的下方的布线，且是具有开口部SL的布线，另外，布线M2c是不具有开口部SL的布线。

[0269] <变形例>

[0270] 参照附图来说明本实施方式的各变形例。

[0271] 图34是本实施方式的第一变形例的半导体装置的主要部分截面图，相当于上述图23。与上述图23同样地，在图34中也关于上述层间绝缘膜IL2及其下方的构造省略了图示。另外，图35和图36是本实施方式的第一变形例的半导体装置的主要部分俯视图，分别相当于上述图27和图26。即，在图35和图36中示出了比焊盘PD1靠下层的布线M2，在图35中示出了表示开口部形成区域RG1的虚线，另外，在图36中示出了表示上述绝缘膜LF的开口部OP1的位置的双点划线和表示上述树脂膜PL1的开口部OP2的位置的点划线。此外，图25是俯视图，但是为了便于理解，对布线M2（M2a、M2b、M2c）附加有阴影。另外，图35的A-A线的位置处的截面图大致对应于图24。表示焊盘PD1的俯视图在第一变形例的情况下也与上述图24同样。

[0272] 在图34～图36的第一变形例的情况下，在焊盘PD1之下延伸的布线M2a、M2b、M2c中的布线M2b、M2c中未形成开口部（SL）。另外，在布线M2a中的开口部形成区域RG1形成有多个开口部SL，但是图34～图36的第一变形例中的开口部形成区域RG1的面积比上述图23～图27的情况下的开口部形成区域RG1的面积小。即，在图34～图36的第一变形例的情况下，在俯视观察时，开口部形成区域RG1包含在开口部OP2的内部。

[0273] 图34～图36的第一变形例的半导体装置的其它结构与上述图23～图27的半导体装置同样，因此在此省略其重复的说明。

[0274] 图34～图36的第一变形例满足上述第一条条件、第二条条件、第三条条件、第四条条件以及第七条条件，但不满足上述第五条条件和第六条条件。图34～图36的第一变形例由于满足上述第一条条件、第二条条件、第三条条件以及第四条条件，因此能够获得抑制或防止在被焊盘PD1和布线M2夹着的层间绝缘膜IL3中产生裂纹的效果。但是，在上述图23～图27的情况下，进一步还满足上述第五条条件和第六条条件，因此与图34～图36的第一变形例相比，能够进一步提高抑制或防止在被焊盘PD1和布线M2夹着的层间绝缘膜IL3中产生裂纹的效果。

[0275] 图37～图40是本实施方式的第二变形例的半导体装置的主要部分俯视图，均对应于上述图27。

[0276] 在上述图27的情况和图37～图40的各个情况下，在布线M2a、M2b的开口部形成区域RG1、RG2形成有多个开口部SL，但是开口部SL的平面形状在上述图27的情况与图37～图40的各个情况下不同。

[0277] 即，在上述图27的情况下，多个开口部SL在布线M2a、RG2b的开口部形成区域RG1、RG2形成为狭缝状。与此相对，在图37～图40的各个情况下，多个开口部SL在布线M2a、M2b的开口部形成区域RG1、RG2形成为网格状（网状）。首先，说明上述图27的情况。

[0278] 在上述图27的情况下，布线M2a、M2b沿X方向延伸。在该沿X方向延伸的布线M2a、M2b的开口部形成区域RG1、RG2各自中，沿X方向延伸的狭缝状的开口部SL在Y方向上排列配置有多个。各开口部SL是狭缝状，因此在俯视观察时，具有沿一个方向（在此X方向）延伸的

细长的平面形状,例如具有以X方向为长边方向的长方形状的平面形状。因此,各开口部SL的X方向的尺寸(长度)大于Y方向的尺寸(宽度)。在图27的情况下,各开口部SL(狭缝)的宽度(Y方向的尺寸)彼此相同。另外,在图27的情况下,在M2a、M2b的开口部形成区域RG1、RG2各自中,在Y方向上以相同的间隔(排列间距)排列有多个开口部SL(狭缝),因此被开口部SL(狭缝)夹着的布线部的宽度W2a(参照图26)彼此相同。此外,被开口部SL(狭缝)夹着的布线部沿X方向延伸,优选的是,被开口部SL(狭缝)夹着的布线部的宽度W2a如与上述第三条件、第六条件相关联地说明的那样小于 $0.6\mu\text{m}$ 。

[0279] 在布线M2a、M2b各自中形成有狭缝状的开口部SL的情况下,优选的是,该狭缝(开口部SL)的延伸方向(长边方向)与该布线M2a、M2b的延伸方向(在此X方向)相同。由此,容易抑制随着设置开口部SL而产生的布线M2a的电阻增加,有利于布线M2a的电阻降低。

[0280] 即,在布线M2a中,电流方向是该布线M2a的延伸方向。因此,在布线M2a中,与以将该布线M2a的延伸方向(在此X方向)横切的方式设置狭缝(开口部SL)的情况相比,以沿着该布线M2a的延伸方向的方式设置狭缝(开口部SL)的情况下,更容易确保电流路径,布线M2a的电阻更低。因此,在布线M2a中设置狭缝来作为开口部SL的情况下,优选的是,该狭缝(开口部SL)的延伸方向(长边方向)与布线M2a的延伸方向相同。这对于布线M2b也同样。

[0281] 接着,说明图37(第二变形例)的情况。

[0282] 在图37的情况下,布线M2a、M2b沿X方向延伸。在该沿X方向延伸的布线M2a、M2b的开口部形成区域RG1、RG2各自中,形成有网格状的多个开口部SL。即,分别具有例如长方形状或正方形状的平面形状的多个开口部SL在X方向和Y方向上排列成阵列状(矩阵状)。另外,在图37的情况下,在X方向和Y方向上以相同的间隔(排列间距)排列有多个开口部SL(狭缝),因此被开口部SL(狭缝)夹着的布线部的宽度(Y方向的尺寸)W2b彼此相同。优选的是,被开口部SL(狭缝)夹着的布线部的宽度W2b如与上述第三条件、第六条件相关联地说明的那样小于 $0.6\mu\text{m}$ 。

[0283] 此外,在图37的开口部SL的排列(阵列状的排列)中,还能够通过使排列按每列各错开 $1/2$ 间距来使多个开口部SL以所谓的交错排列来排列,在图38中示出了该情况(交错排列的情况)。在图37的情况和图38的情况下,均能够视为多个开口部SL形成为网格状。另外,在图37和图38中示出了各开口部SL的平面形状为矩形的情况,但是还能够采用矩形以外的平面形状(例如圆形状等)。在图39中示出了将图37中的各开口部SL的平面形状改变为圆形状的情况,在图40中示出了将图38中的各开口部SL的平面形状改变为圆形状的情况。在图37~图40中的任一情况下,也均能够视为多个开口部SL形成为网格状。

[0284] 在布线M2a、M2b的开口部形成区域RG1、RG2中多个开口部SL形成为狭缝状的情况(上述图27的情况)下,获得如下优点。即,能够高效地增加在开口部SL内填充的部分的层间绝缘膜IL3的量(体积),因此通过在开口部SL(狭缝)内填充的部分的层间绝缘膜IL3来容易抑制布线M2a、M2b的收缩、膨胀。因此,能够进一步提高抑制或防止在被布线M2a、M2b和焊盘PD1夹着的层间绝缘膜IL3中产生裂纹的效果。

[0285] 在布线M2a、M2b的开口部形成区域RG1、RG2中多个开口部SL形成为网格状(图37~图40的情况)的情况下,获得如下优点。即,能够抑制随着在布线M2a、M2b中设置多个开口部SL而产生的布线M2a、M2b的电阻增加,能够谋求布线M2a、M2b的电阻降低。另外,不易发生电流局部地集中在布线M2a、M2b的现象。

[0286] 接着,说明本实施方式的第三变形例。图41~图44是本实施方式的第三变形例的半导体装置的主要部分俯视图。在图41~图44中分别示出了作为在焊盘PD1之下延伸的布线M2的布线M2a,为了便于理解,对布线M2a附加有阴影。另外,在图41~图44中还分别示出了表示上述绝缘膜LF的开口部OP1的位置的双点划线、表示上述树脂膜PL1的开口部OP2的位置的点划线以及表示开口部形成区域RG1的虚线。表示焊盘PD1的俯视图在第三变形例的情况下也与上述图24同样。

[0287] 首先,说明图41的情况。在图41的情况下,在焊盘PD1之下有布线M2a延伸,该布线M2a将沿X方向延伸的布线部M2a1和沿Y方向延伸的布线部M2a2成一体地具有。图41中的布线部M2a1相当于上述图25~图27所示的布线M2a,对上述图25~图27所示的布线M2a成一体地连结沿Y方向延伸的布线部M2a2而成的布线对应于图41的布线M2a。因此,在图41的布线部M2a1中形成有与上述图25~图27所示的布线M2a中的多个开口部SL同样的多个开口部SL。另外,在布线部M2a2中也形成有多个开口部SL。即,在图41的情况的情况下,也在布线M2a中的开口部形成区域RG1形成有多个开口部SL。

[0288] 在图41~图44的情况下,也由于满足上述第一~第七条件而能够获得如上所述的效果。

[0289] 此外,在俯视观察时布线部M2a1与布线部M2a2的连结部位于树脂膜PL1的开口部OP2内的情况下,特别是在位于绝缘膜LF的开口部OP1内的情况下,为了防止在被布线M2a和焊盘PD1夹着的层间绝缘膜IL3中产生裂纹,优选的是,在布线部M2a1与布线部M2a2的连结部的附近也形成有开口部SL。因此,在图41~图44的各个情况下,布线部M2a1与布线部M2a2的连结部包含于开口部形成区域RG1,在布线部M2a1与布线部M2a2的连结部的附近也形成有开口部SL。

[0290] 然而,在图41的情况下,担忧从布线部M2a2流向布线部M2a1的电流路径的电阻变大。对此,下面进行说明。

[0291] 在图41的情况下,遍及布线部M2a1中的开口部形成区域RG1的大致整体地,多个开口部SL形成为沿X方向延伸的狭缝状。另外,在图41的情况下,遍及布线部M2a2中的开口部形成区域RG1的大致整体地,多个开口部SL形成为沿Y方向延伸的狭缝状。

[0292] 布线部M2a2连结于布线部M2a1中的布线部M2d1,因此布线部M2d1能够作为从布线部M2a2流向布线部M2a1的电流的路径发挥功能,但是除此以外的布线部M2d2、M2d3、M2d4几乎不能作为从布线部M2a2流向布线部M2a1的电流的路径发挥功能。在此,布线部M2d1、M2d2、M2d3、M2d4是构成布线部M2a1的一部分的布线部,分别沿Y方向延伸。布线部M2d1、M2d2、M2d3、M2d4在其间存在开口部SL,通过该开口部SL而被相互分离。

[0293] 因此,在图41的情况下,担忧从布线部M2a2流向布线部M2a1的电流路径的电阻变大。改善了这一点的情况是图42的情况。

[0294] 在图42的情况下,也与图41的情况同样地,遍及布线部M2a2中的开口部形成区域RG1的大致整体地,多个开口部SL形成为沿Y方向延伸的狭缝状。然而,与图41的情况不同地,在图42的情况下,在布线部M2a1中的开口部形成区域RG1,多个开口部SL在布线部M2a1与布线部M2a2的连结部的附近形成为网格状,在除了布线部M2a1与布线部M2a2的连结部的附近以外的部分形成为沿X方向延伸的狭缝状。也就是说,在图41的情况下,在布线部M2a1中的开口部形成区域RG1,在布线部M2a1与布线部M2a2的连结部的附近,开口部SL也形成为

沿X方向延伸的狭缝状,但是在图42的情况下,在布线部M2a1中的开口部形成区域RG1,在布线部M2a1与布线部M2a2的连结部的附近,开口部SL形成为网格状。除此以外,在图42的情况下也与图41的情况基本相同。

[0295] 在图42的情况下,在布线部M2a1中的开口部形成区域RG1,在布线部M2a1与布线部M2a2的连结部的附近,将开口部SL形成为网格状,由此,不仅布线部M2d1,布线部M2d2、M2d3、M2d4也能够作为从布线部M2a2流向布线部M2a1的电流的路径发挥功能。这是因为,通过在网格状的开口部间沿Y方向延伸的布线部,沿X方向延伸的布线部M2d2、M2d3、M2d4彼此被连结。因此,在图42的情况下,与图41的情况相比,能够降低从布线部M2a2流向布线部M2a1的电流的路径电阻。

[0296] 图43对应于在图42的情况下遍及布线部M2a2中的开口部形成区域RG1的大致整体地多个开口部SL形成为网格状的情况。因此,在图43的情况下,也与图42的情况同样地,在布线部M2a1中的开口部形成区域RG1,在布线部M2a1与布线部M2a2的连结部的附近,多个开口部SL形成为网格状,除此以外,多个开口部SL形成为沿X方向延伸的狭缝状。

[0297] 在图43的情况下,与图41的情况相比,能够降低从布线部M2a2流向布线部M2a1的电流路径的电阻。另外,在图43的情况下,在布线部M2a2中的开口部形成区域RG1,将多个开口部SL形成为网格状,由此与图42的情况相比能够进一步降低布线部M2a2的电阻。

[0298] 图44对应于遍及布线M2a中的开口部形成区域RG1的整体、即遍及布线部M2a2中的开口部形成区域RG1的整体和布线部M2a1中的开口部形成区域RG1的整体地多个开口部SL形成为网格状的情况。在图44的情况下,与图41的情况相比,能够降低从布线部M2a2流向布线部M2a1的电流路径的电阻。另外,在图44的情况下,在布线M2a中的开口部形成区域RG1整体,将多个开口部SL形成为网格状,由此与图41~图43的各个情况相比能够进一步降低布线M2a的电阻。

[0299] 另一方面,如果将开口部SL形成为狭缝状,则能够高效地增加在开口部SL内填充的部分的层间绝缘膜IL3的量(体积),因此通过在开口部SL(狭缝)内填充的部分的层间绝缘膜IL3来容易抑制布线M2a的收缩、膨胀。这以进一步提高抑制或防止在被布线M2a和焊盘PD1夹着的层间绝缘膜IL3中产生裂纹的效果的方式起作用。因此,图43的情况相比于图44的情况,另外,图42的情况相比于图43的情况,能够进一步提高抑制或防止在被布线M2a和焊盘PD1夹着的层间绝缘膜IL3中产生裂纹的效果。

[0300] 以上,对由本发明人完成的实用新型基于其实施方式具体地进行了说明,但是本实用新型不限于所述实施方式,在不脱离其宗旨的范围内能够进行各种变更,这是不言而喻的。

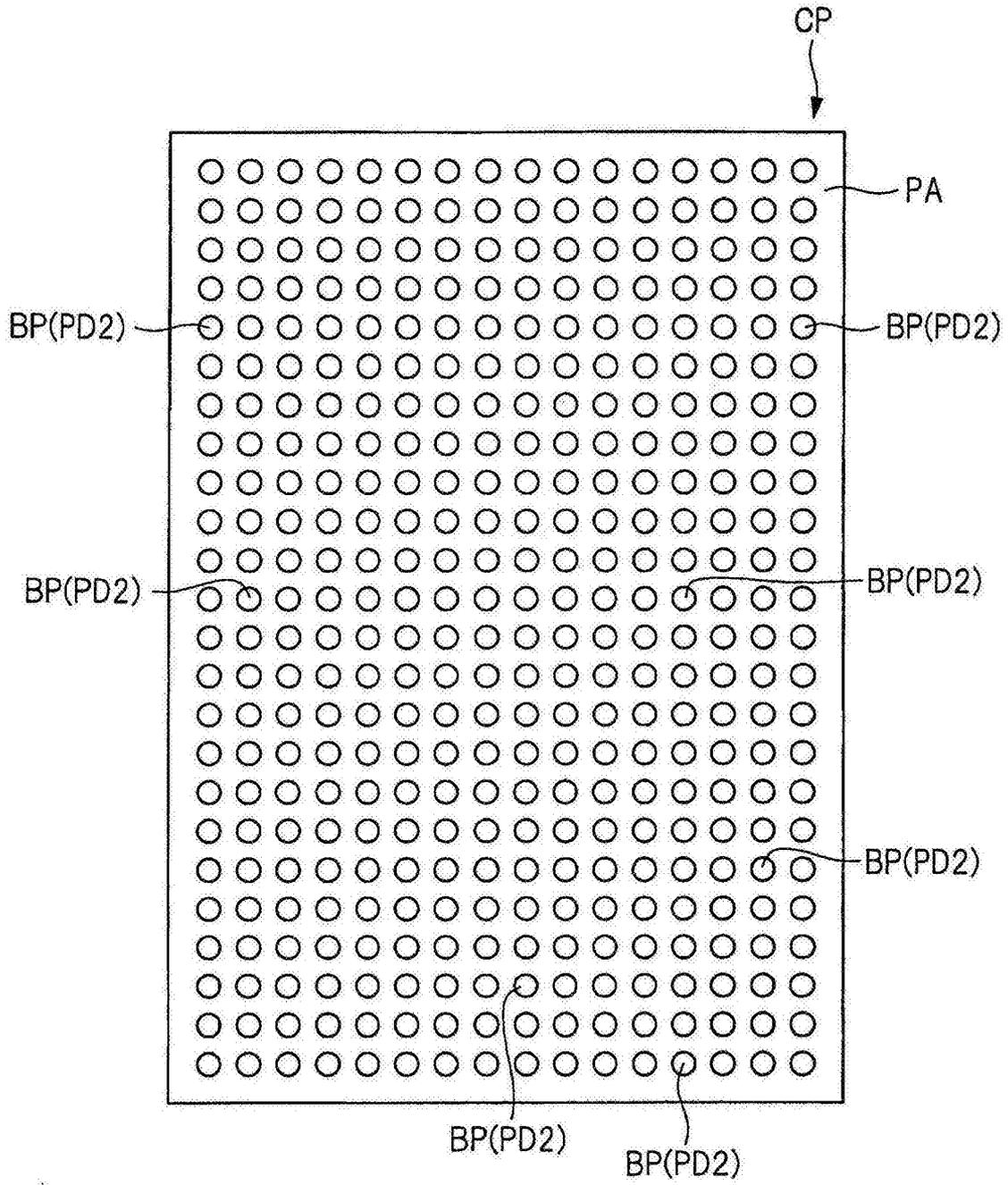


图3

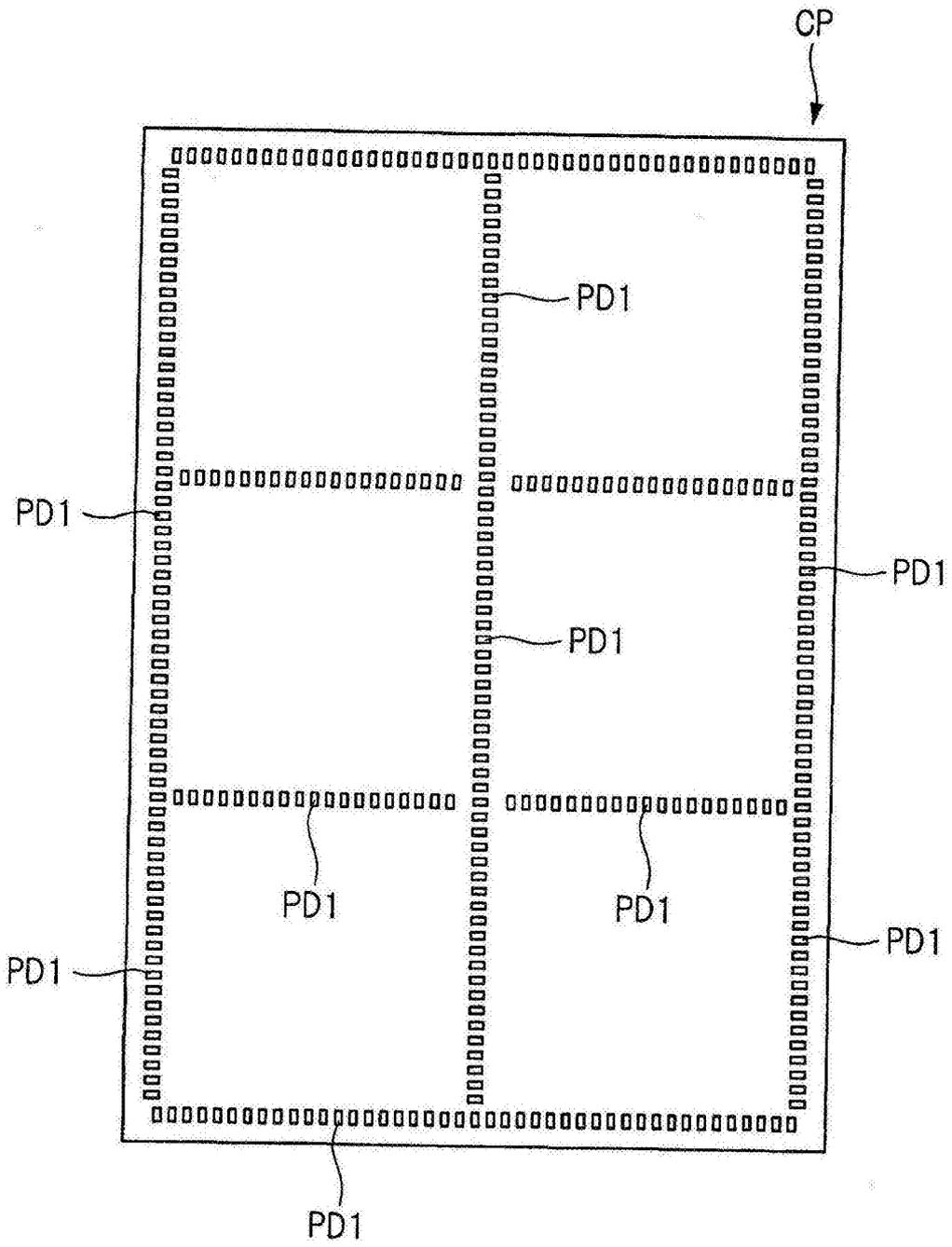


图4

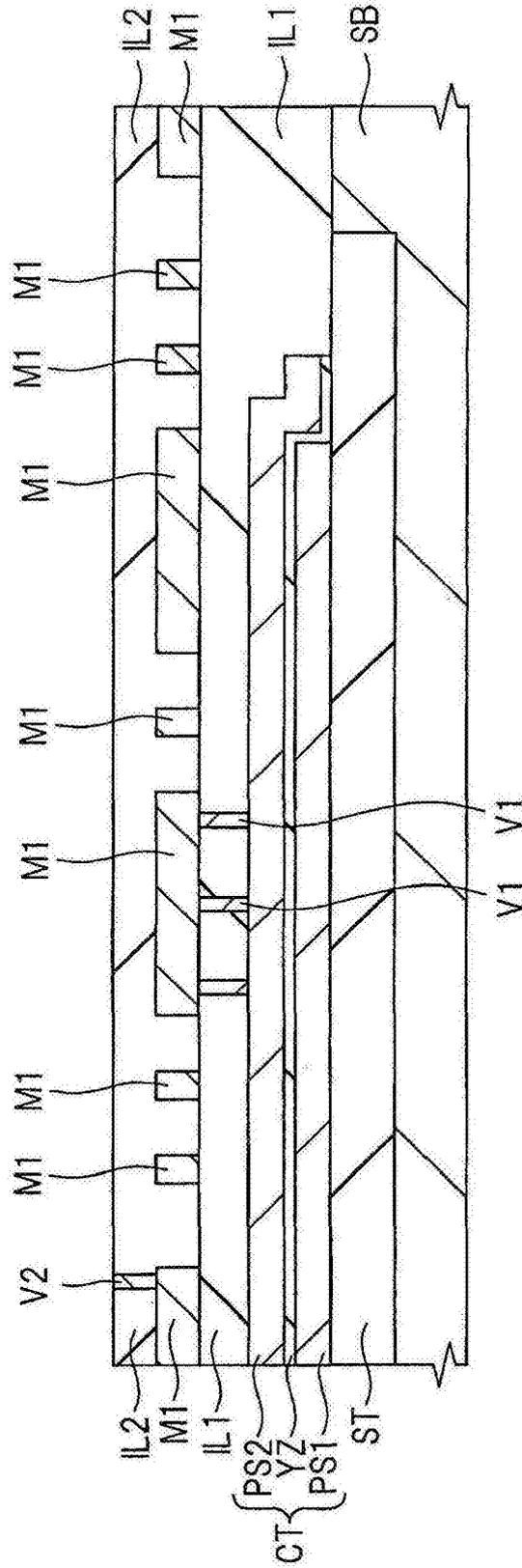


图7

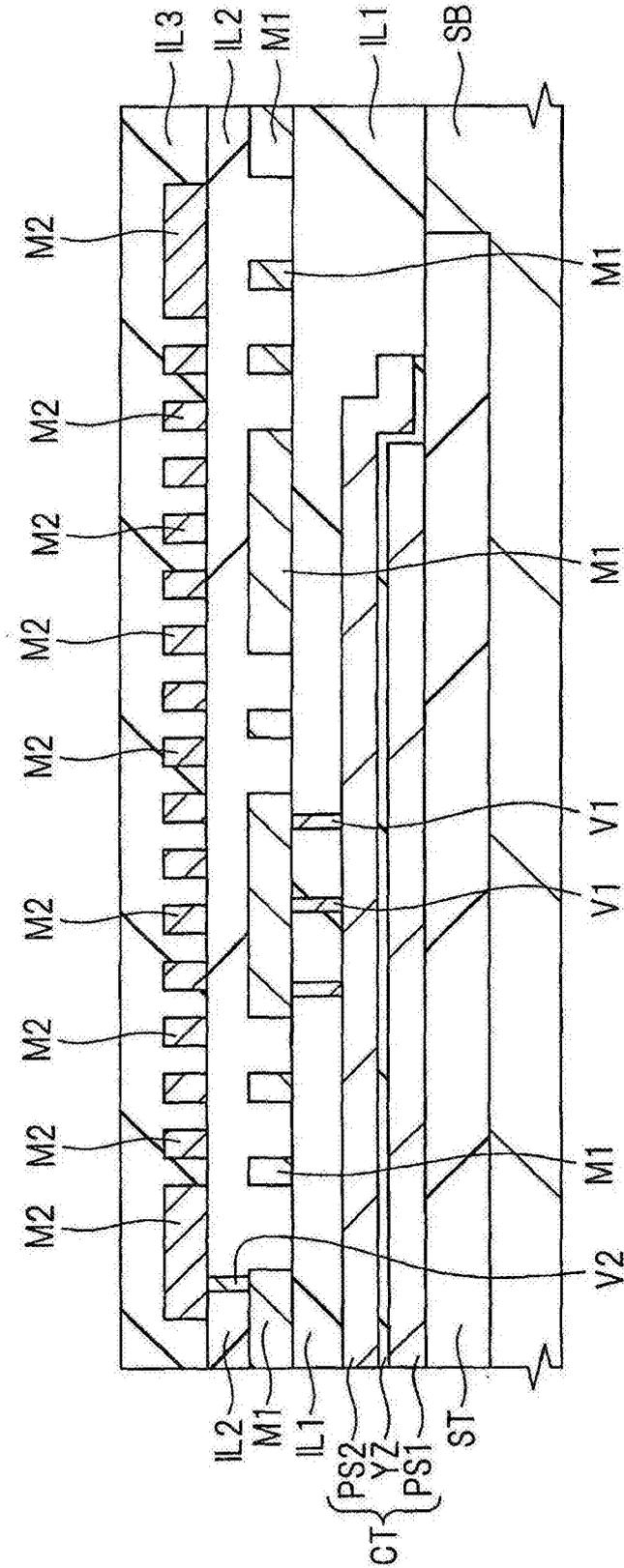


图8

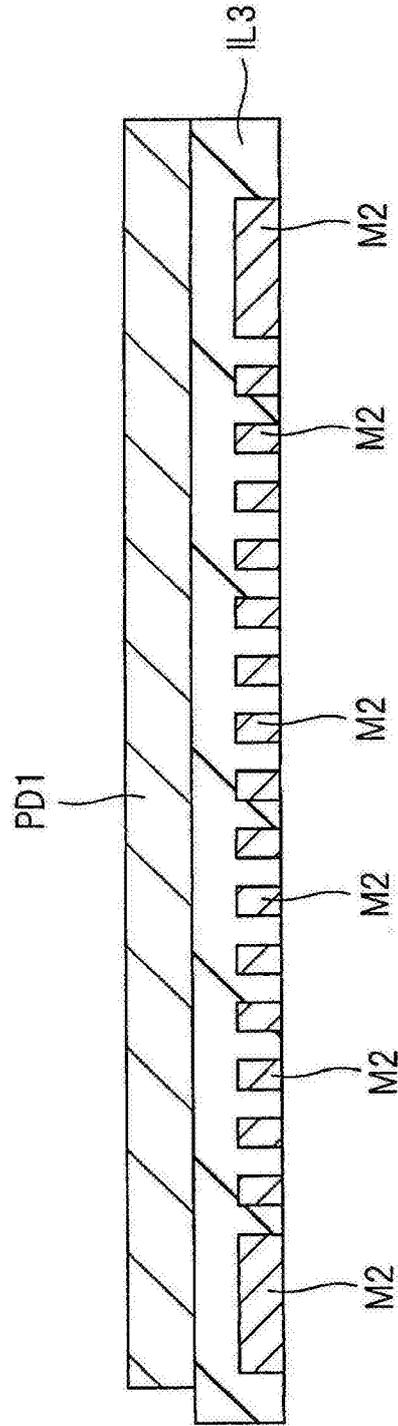


图9

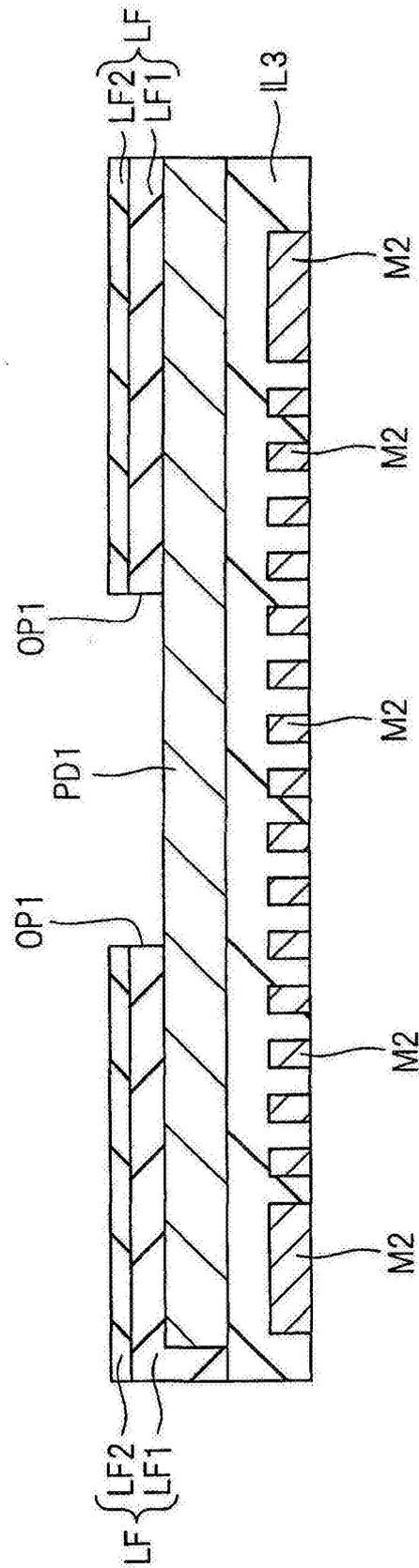


图10

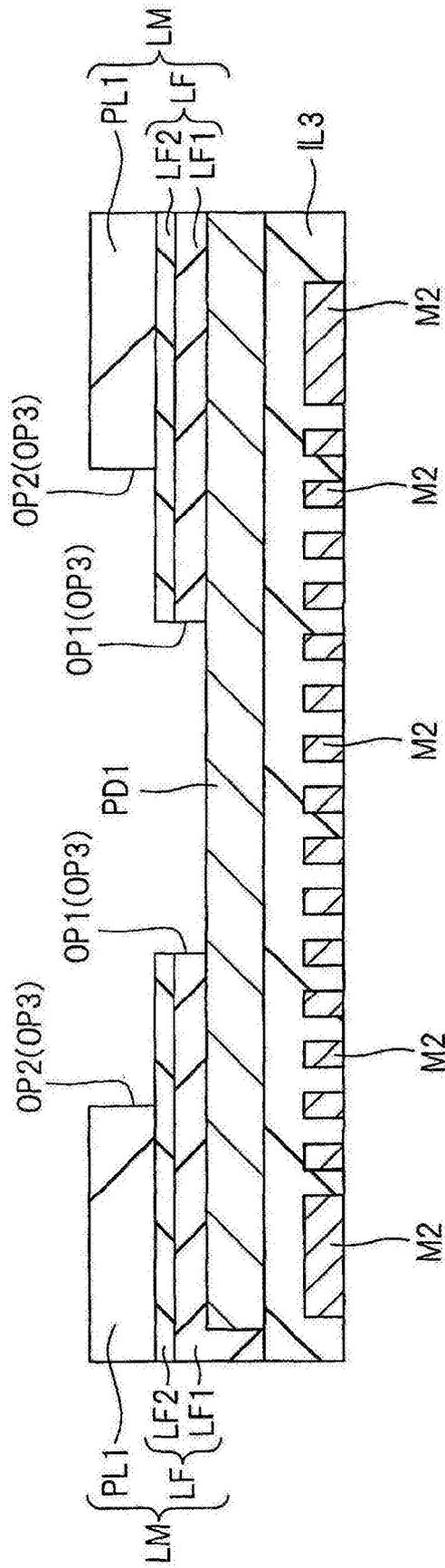


图11

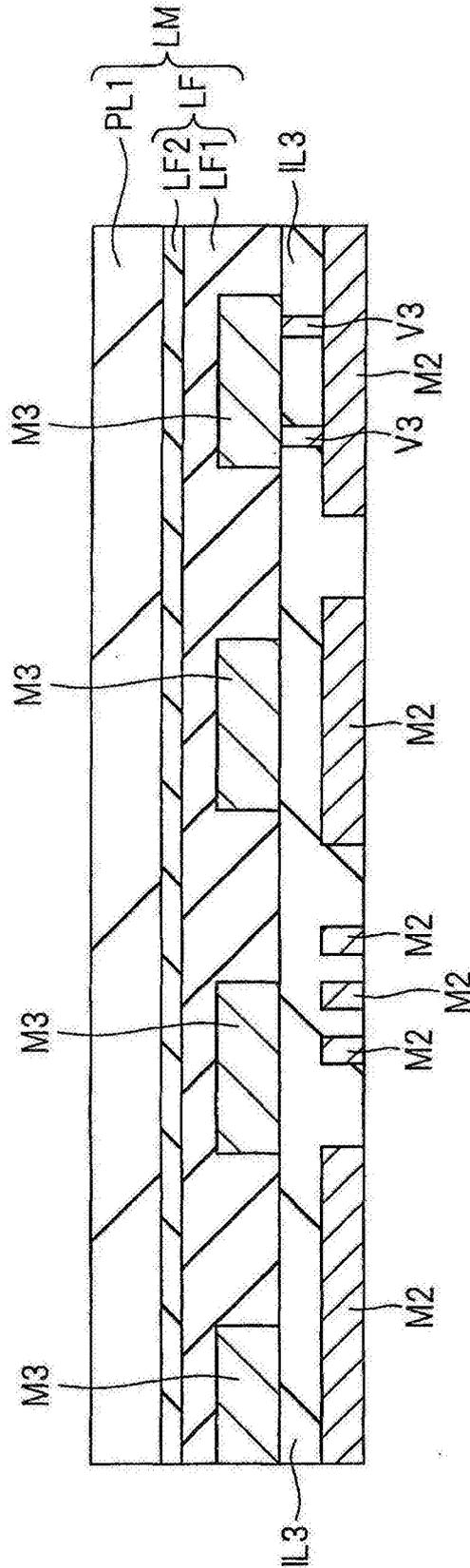


图12

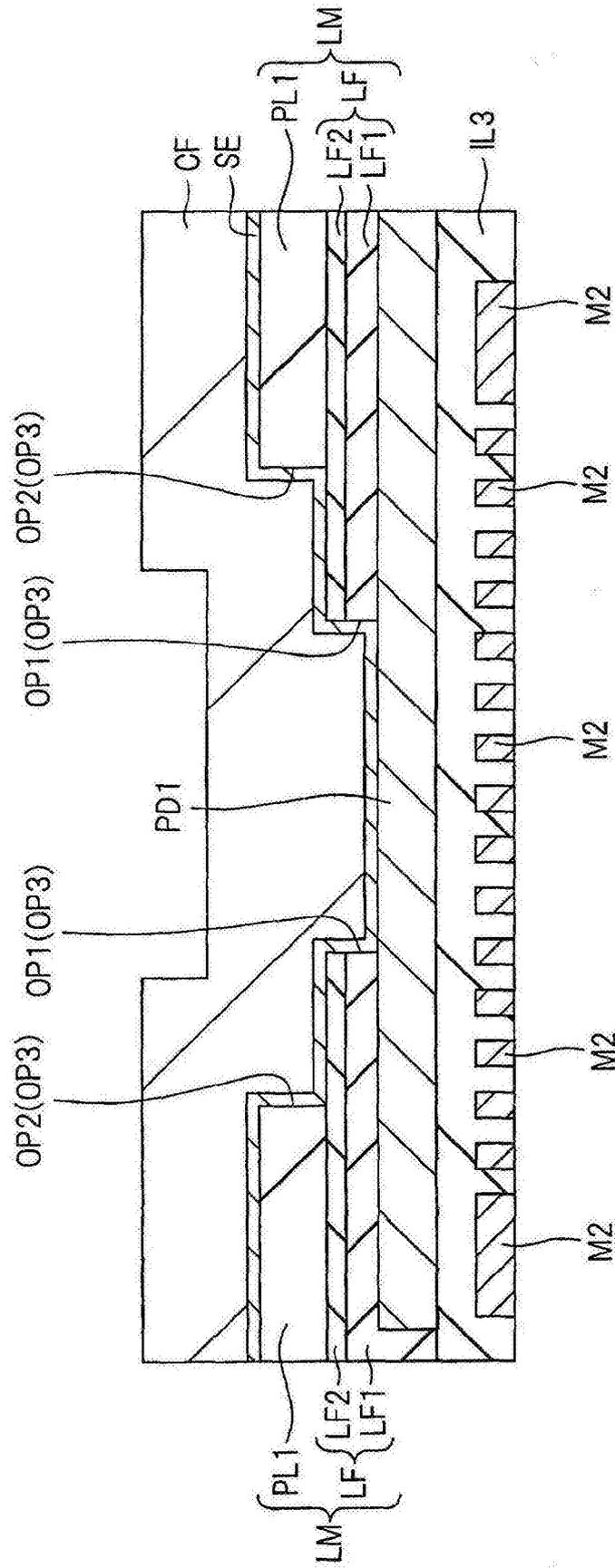


图13

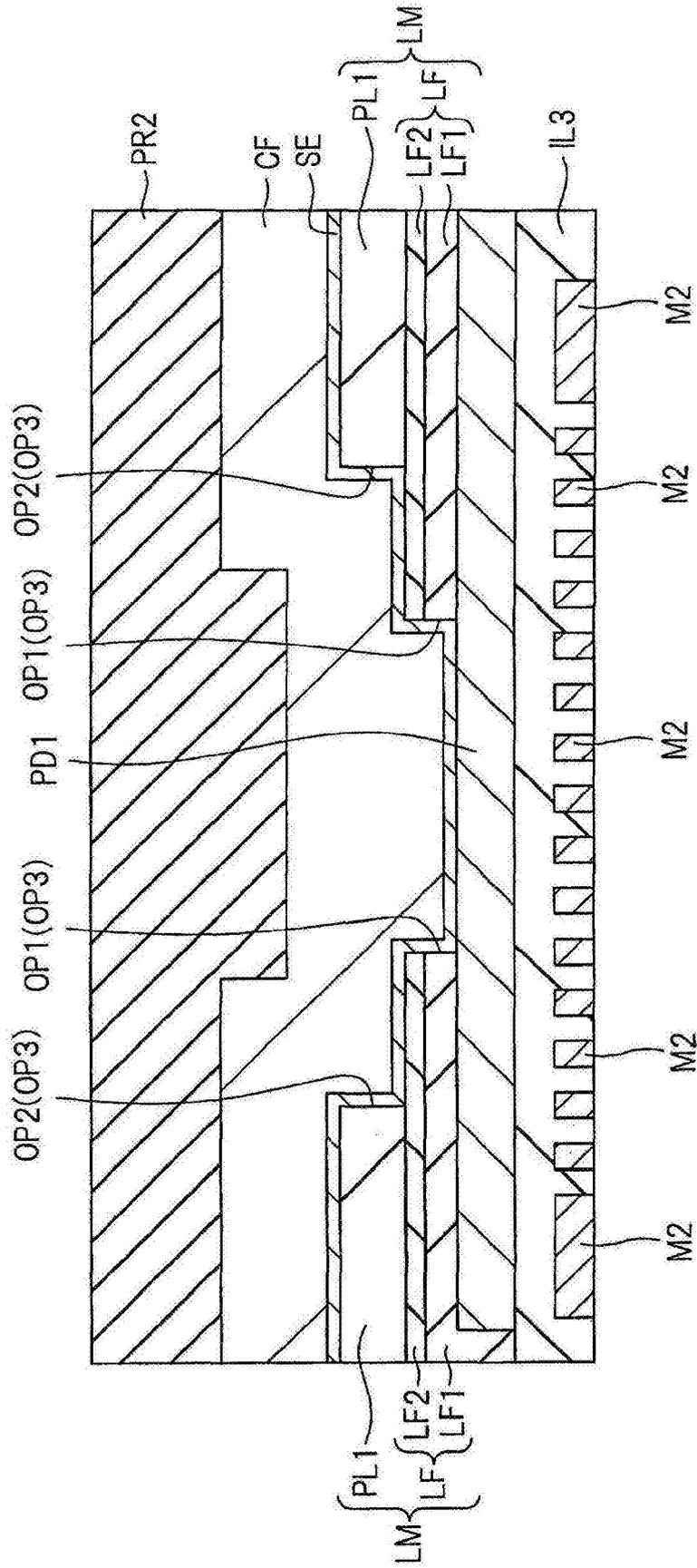


图15

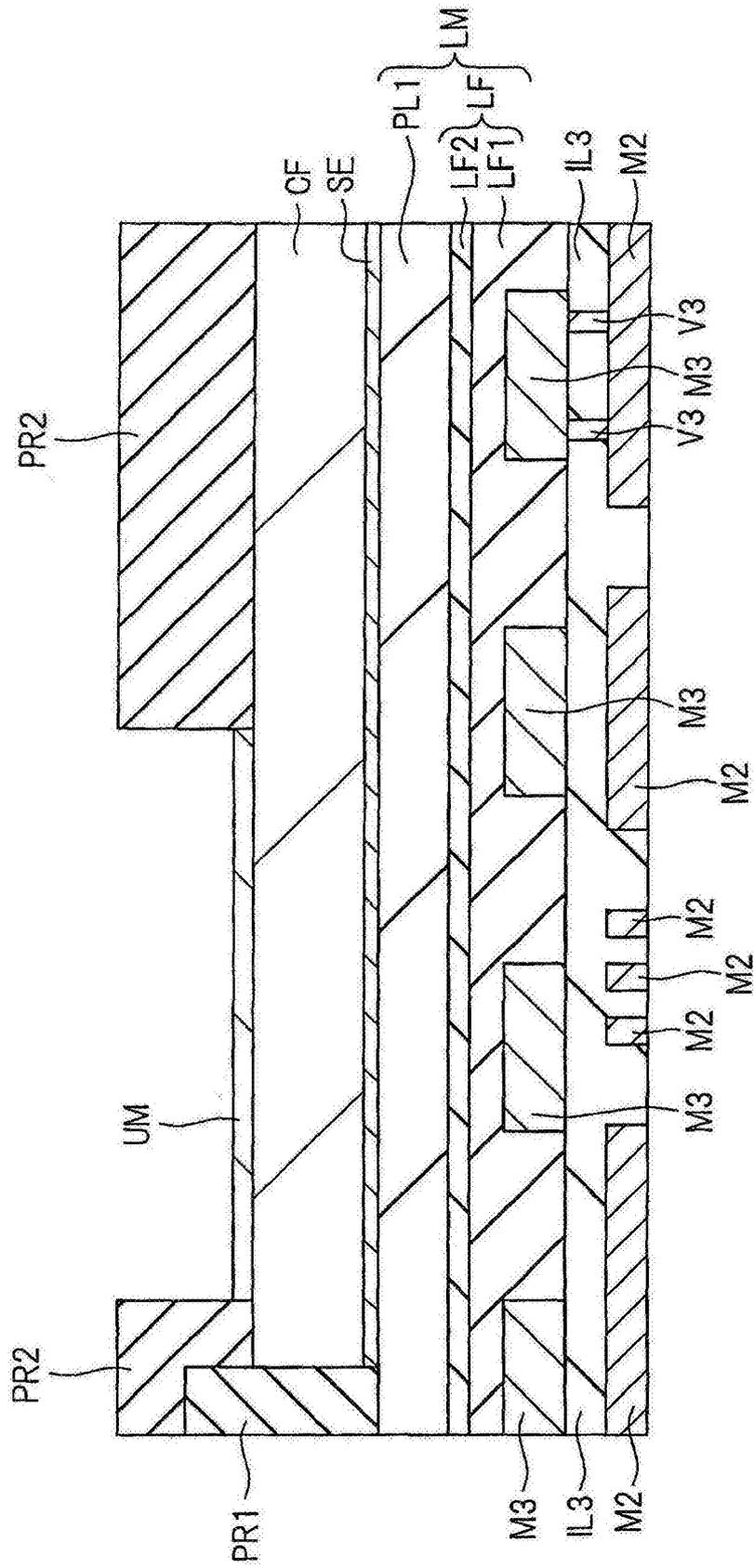


图16

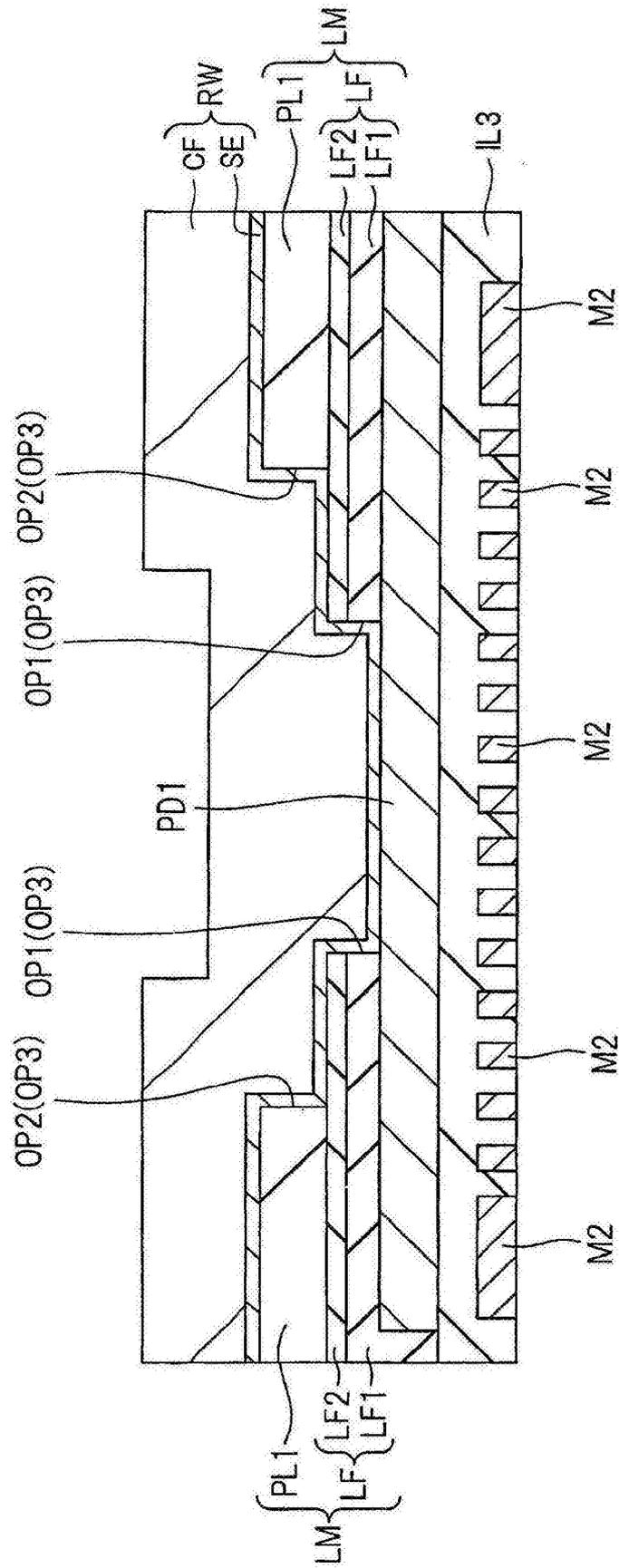


图17

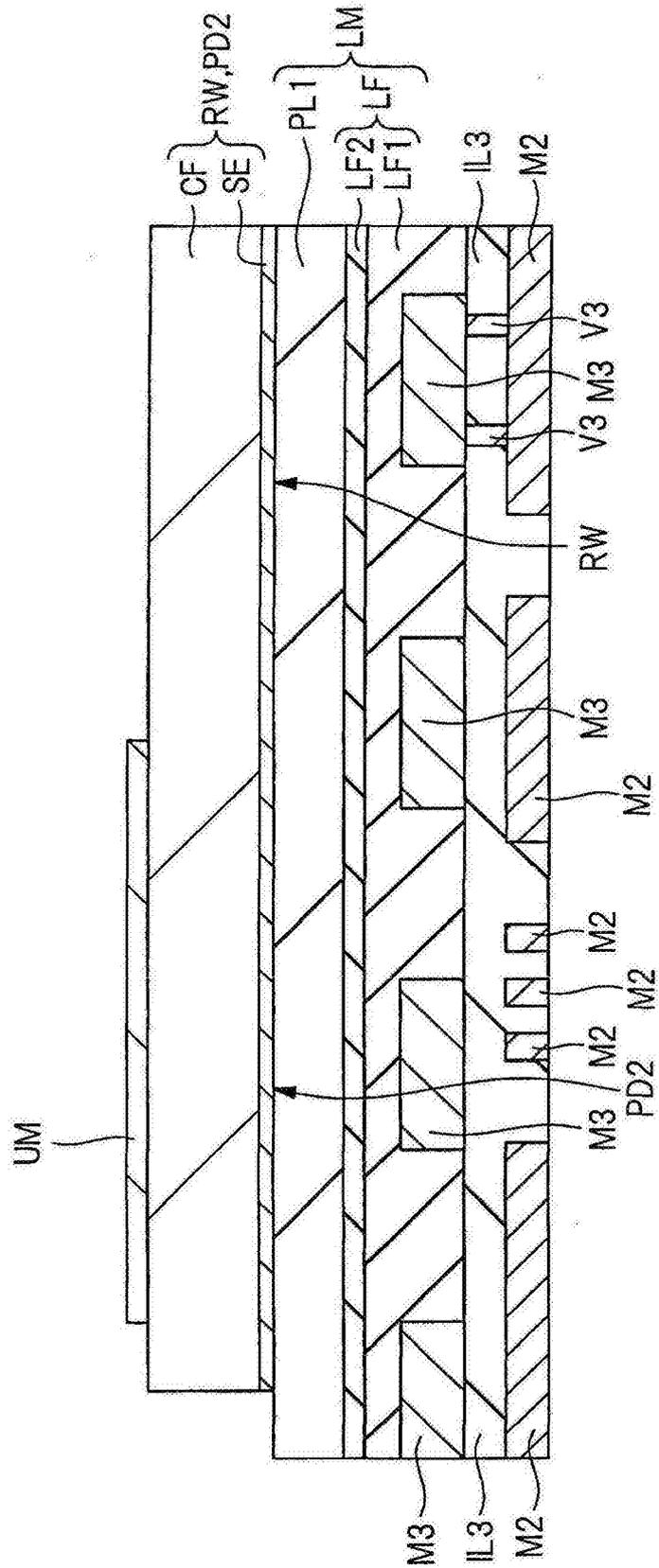


图18

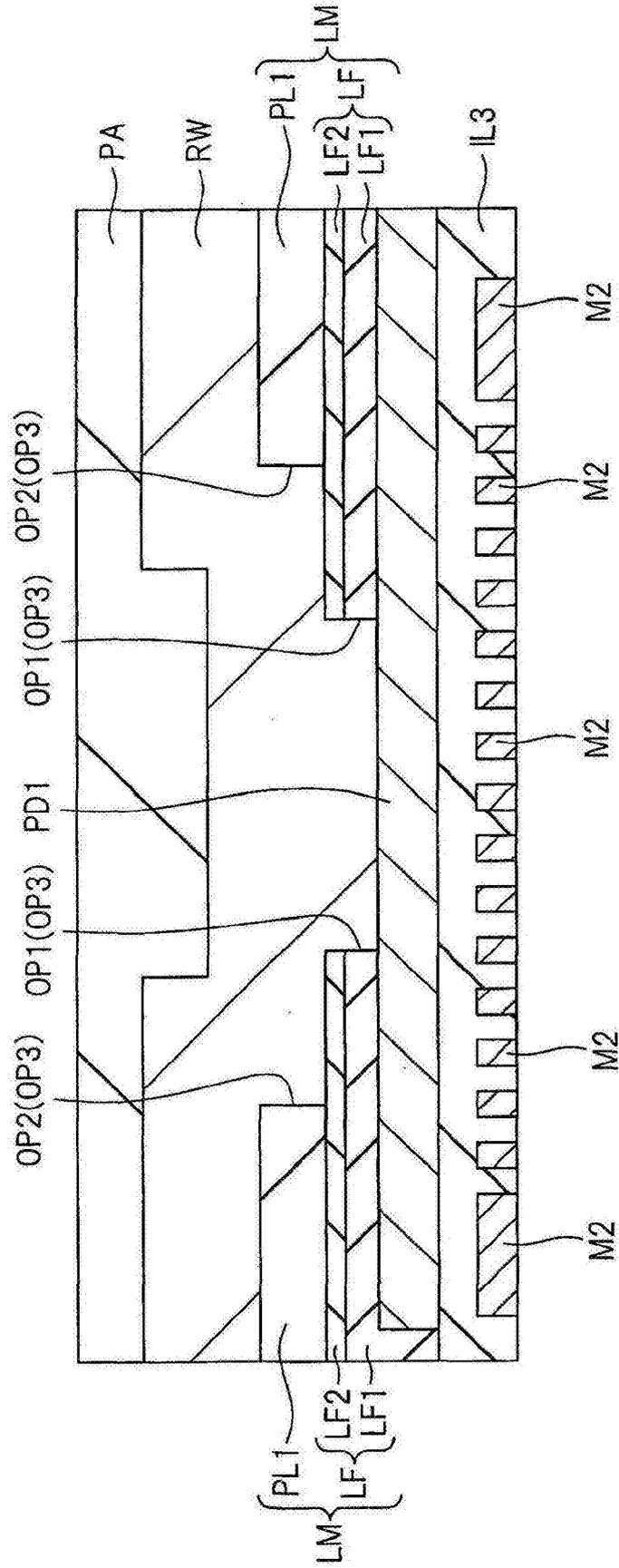


图19

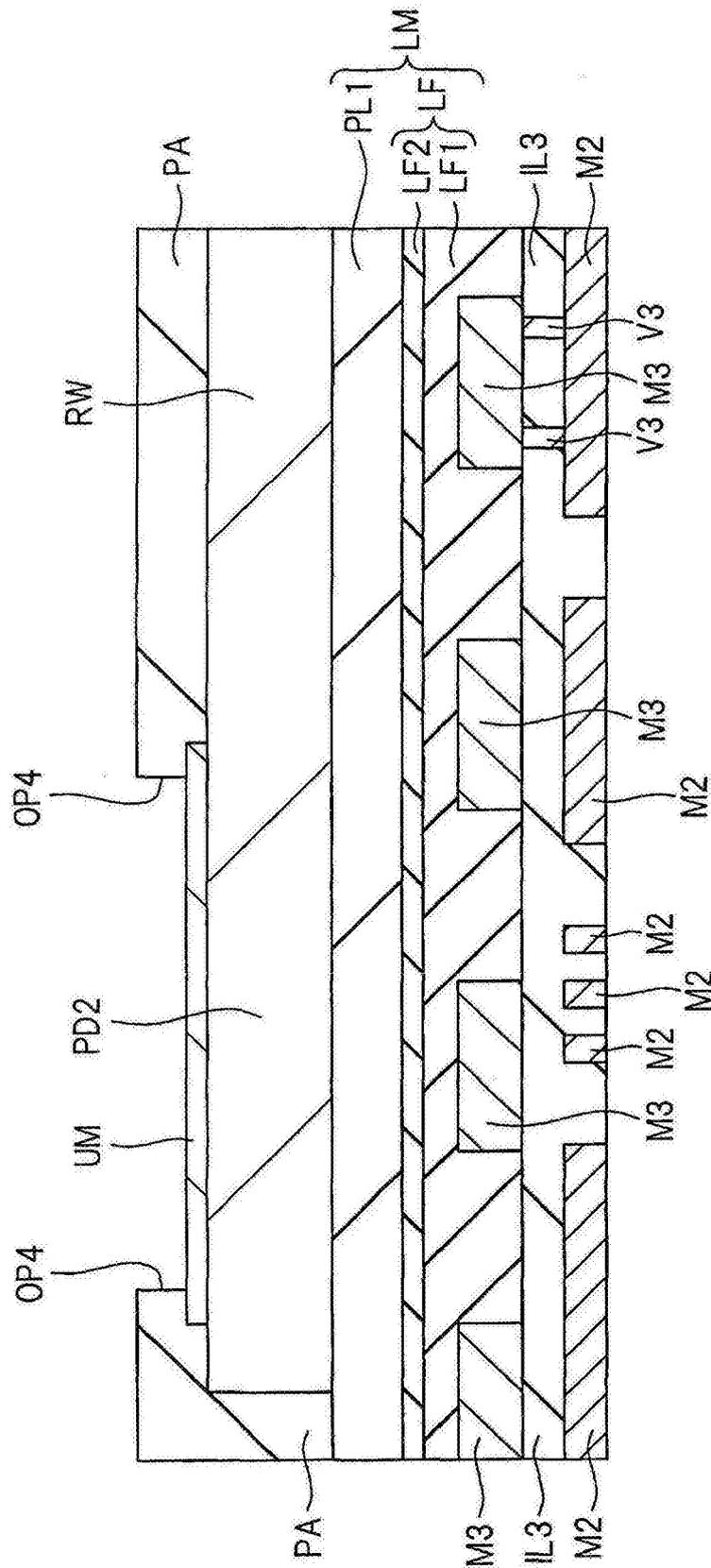


图20

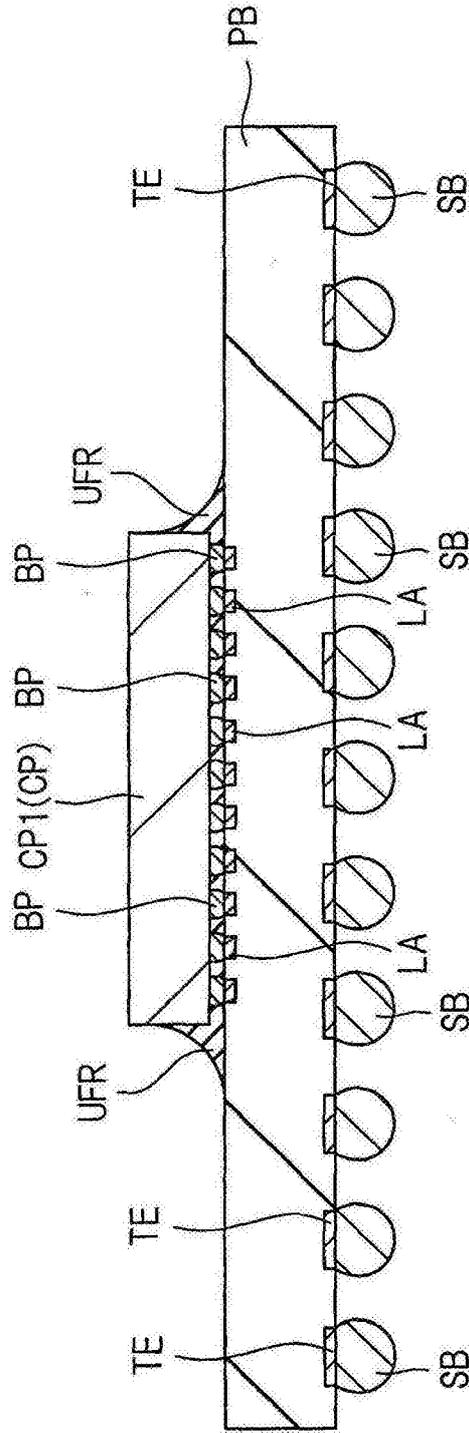


图22

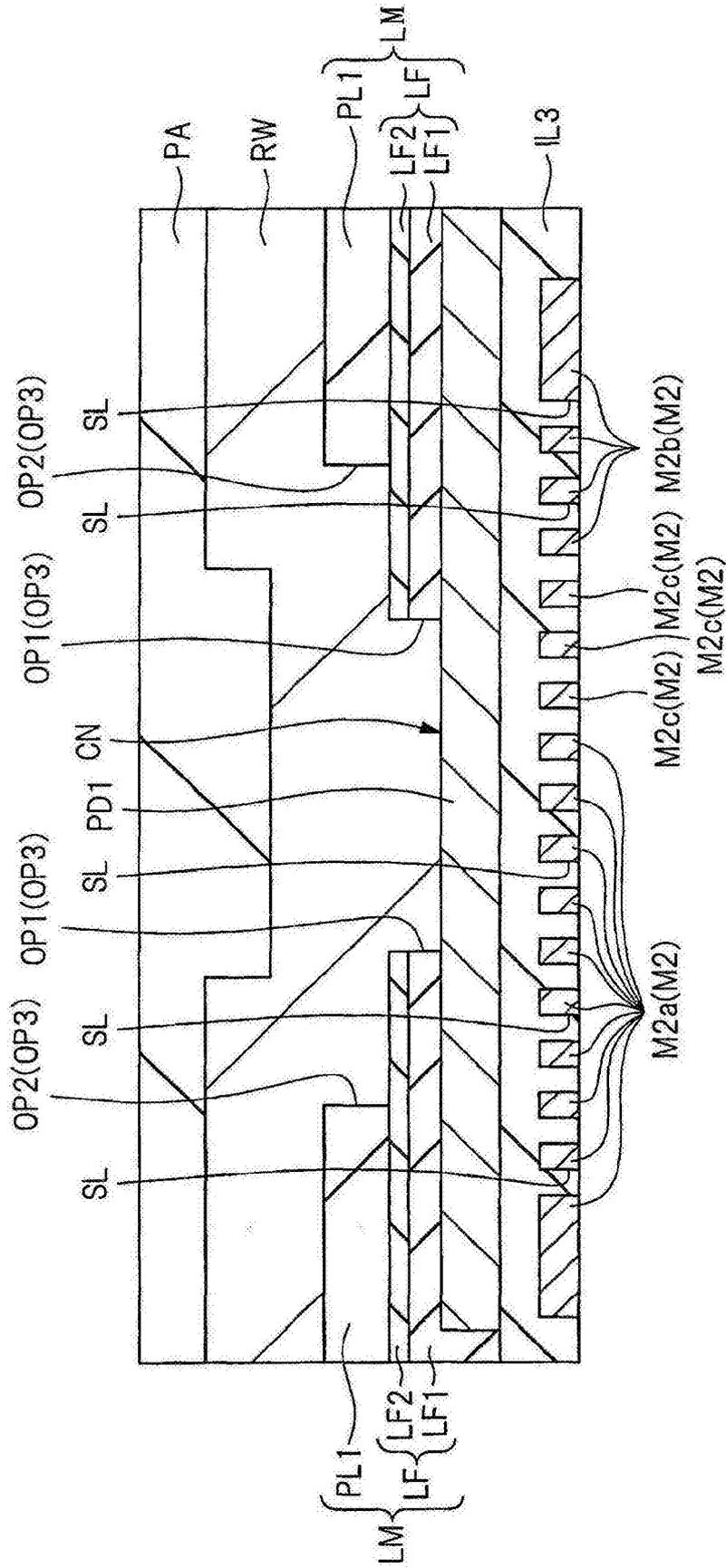


图23

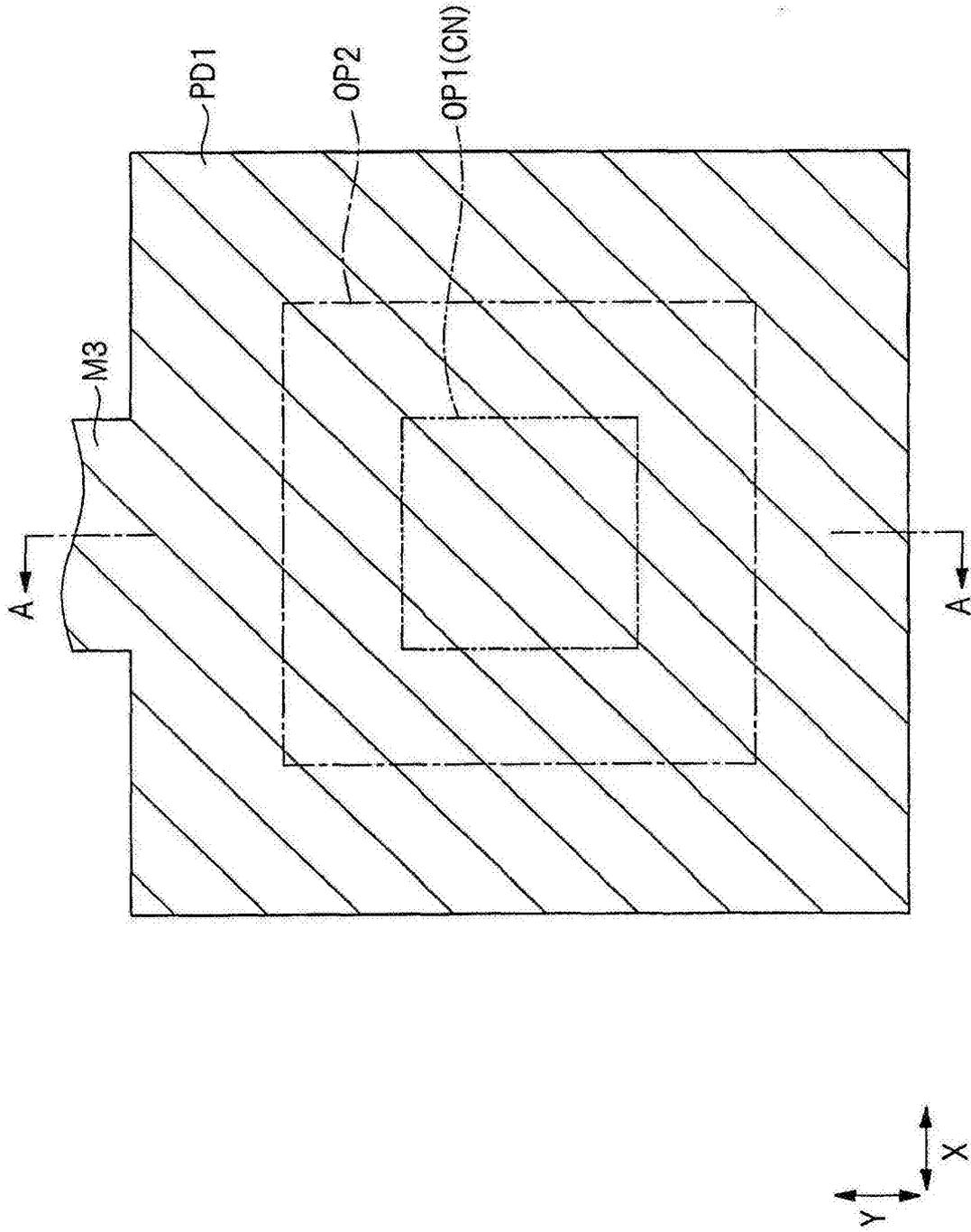


图24

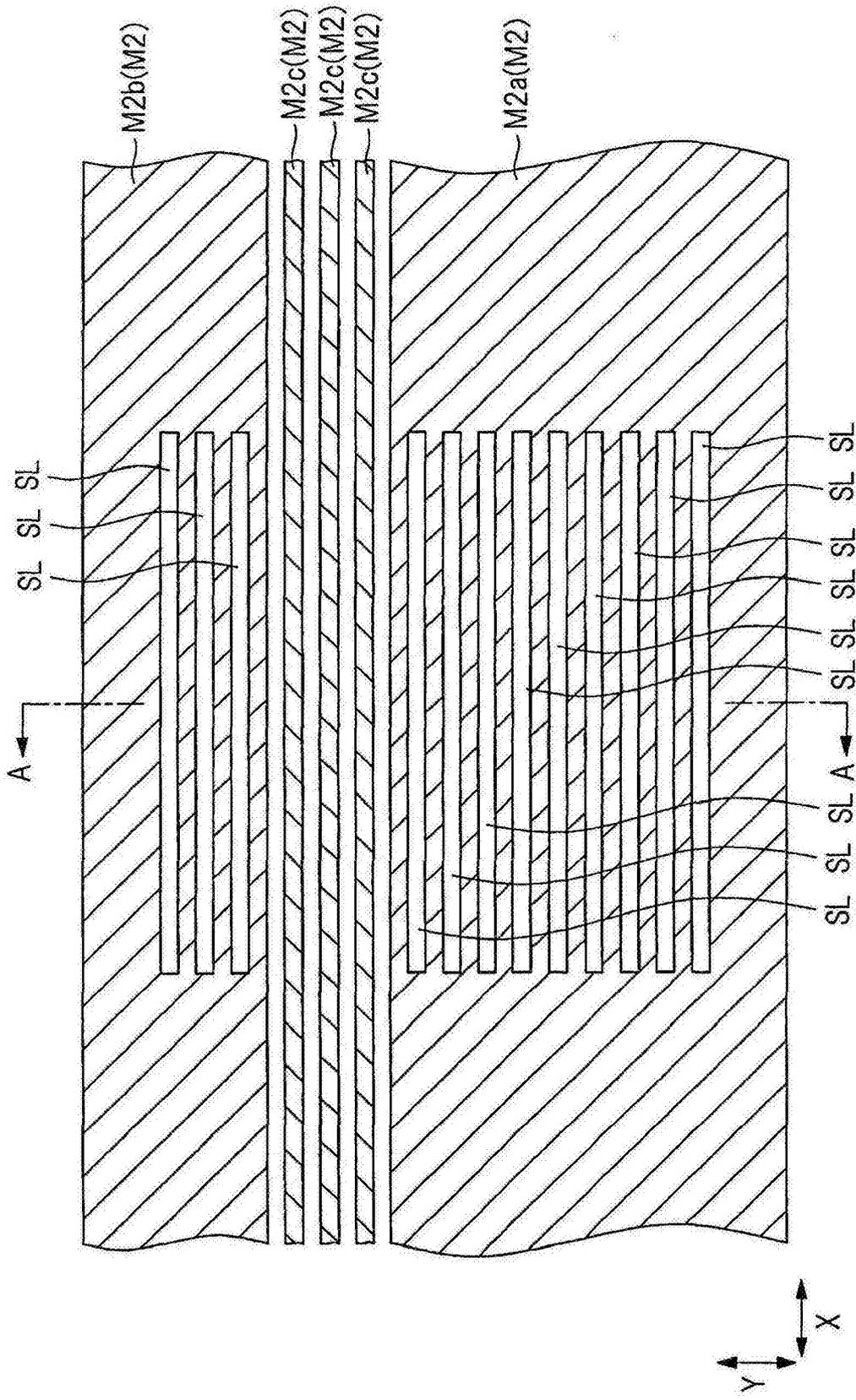


图25

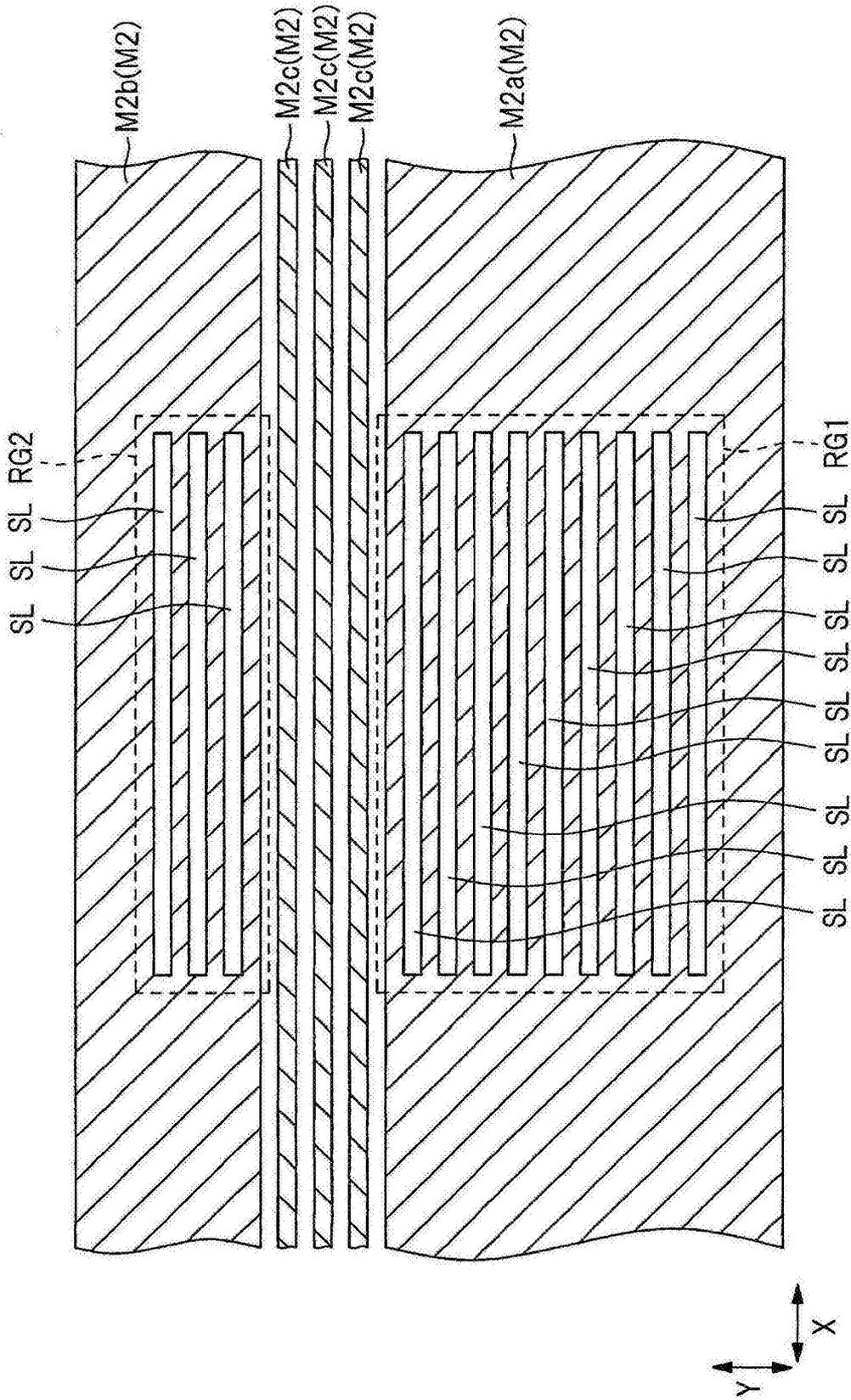


图27

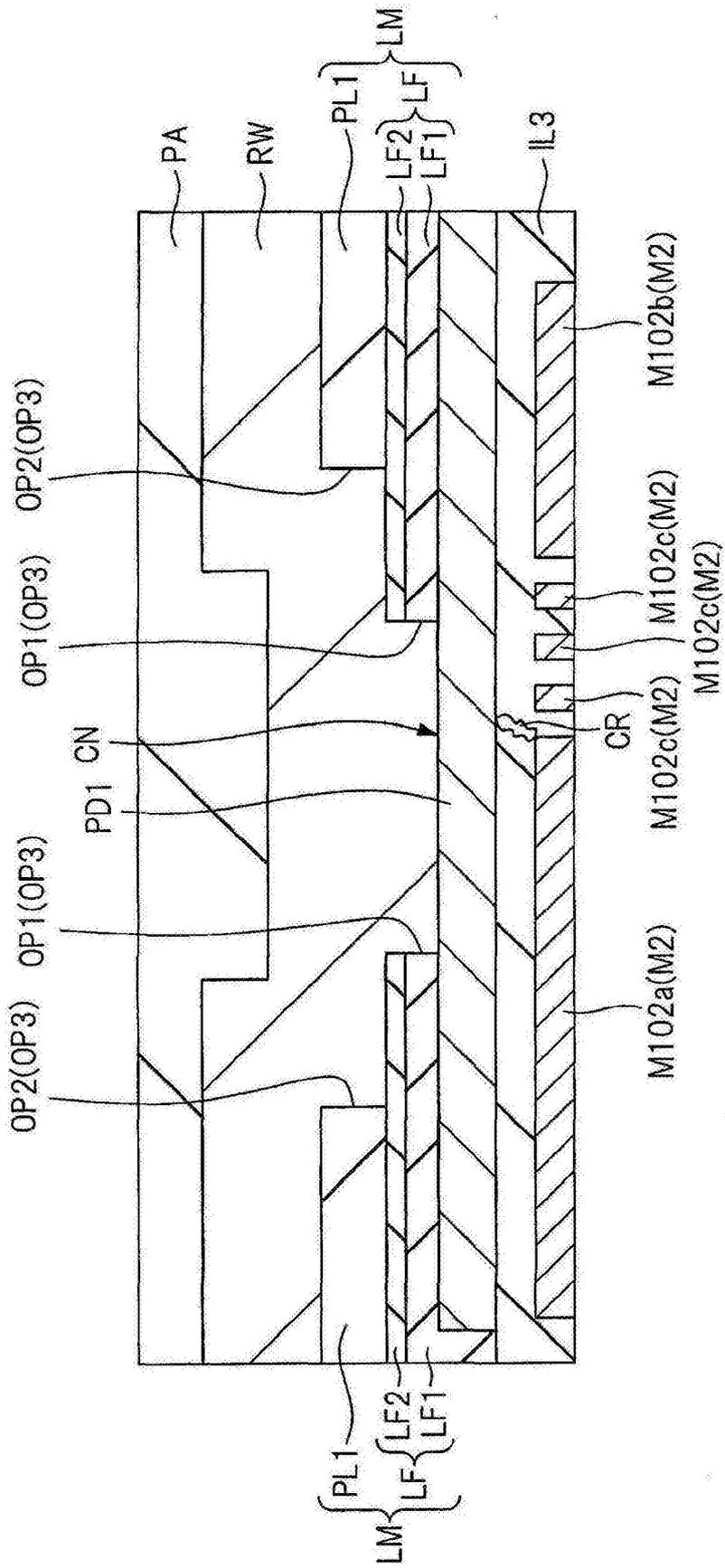


图28

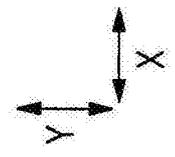
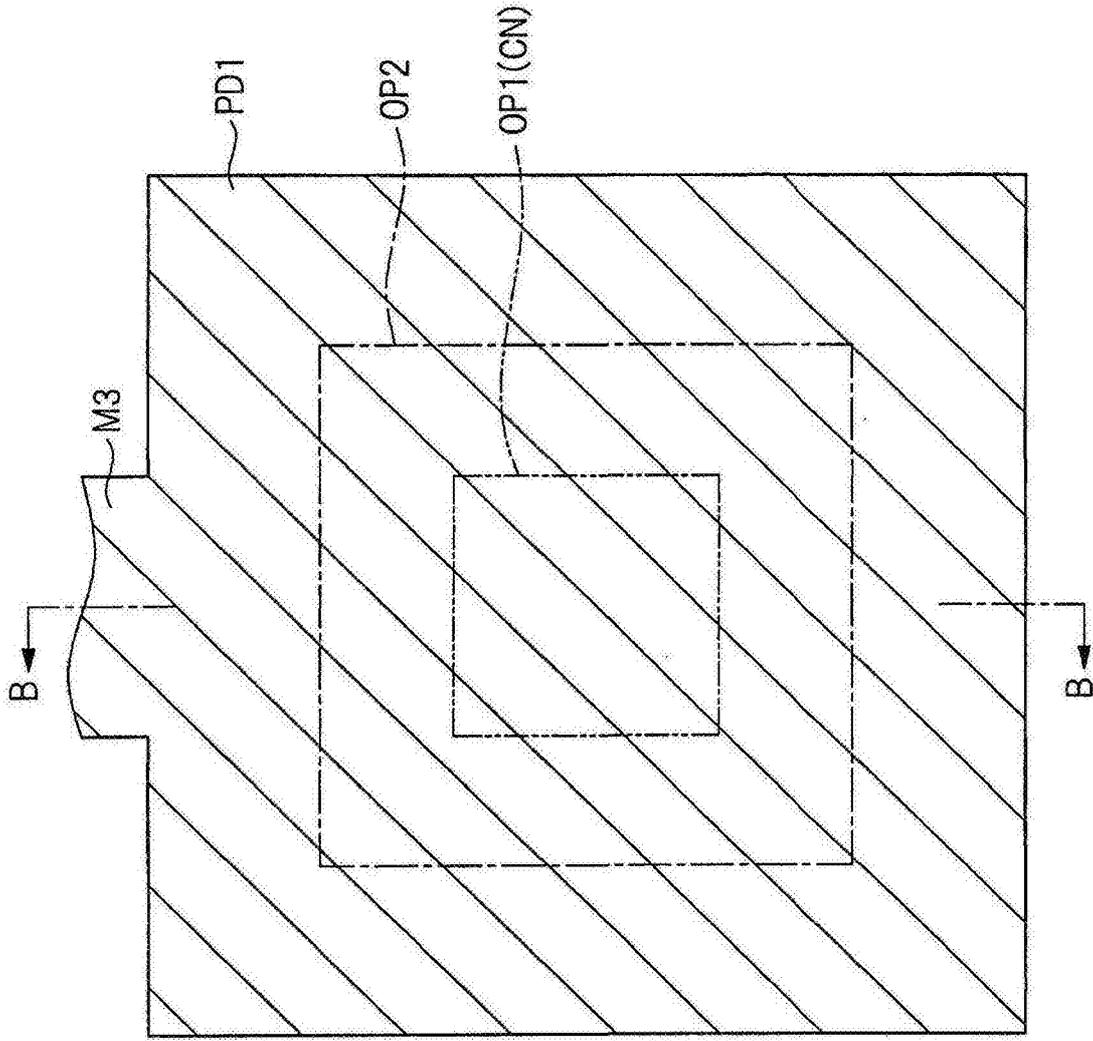


图29

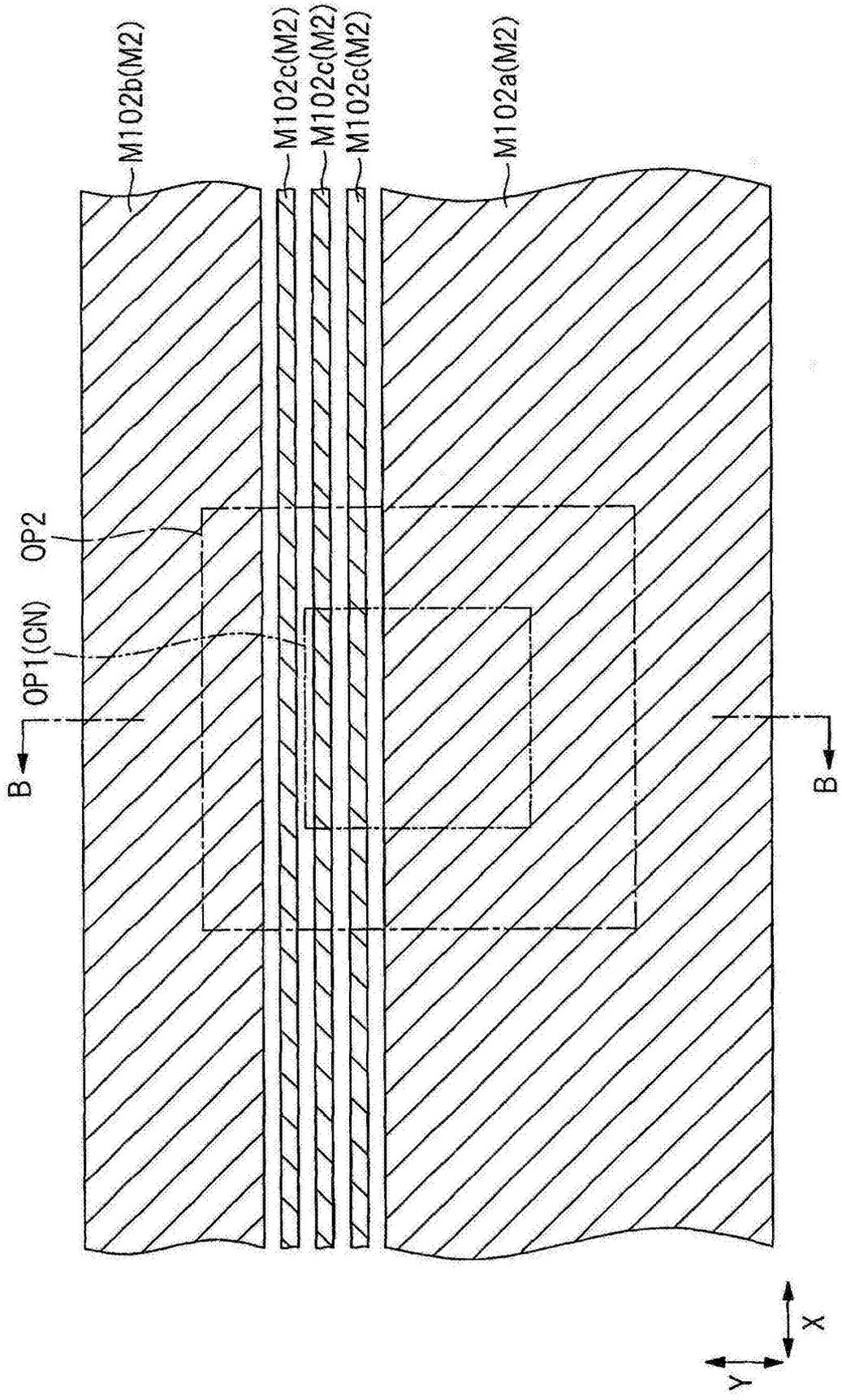


图30

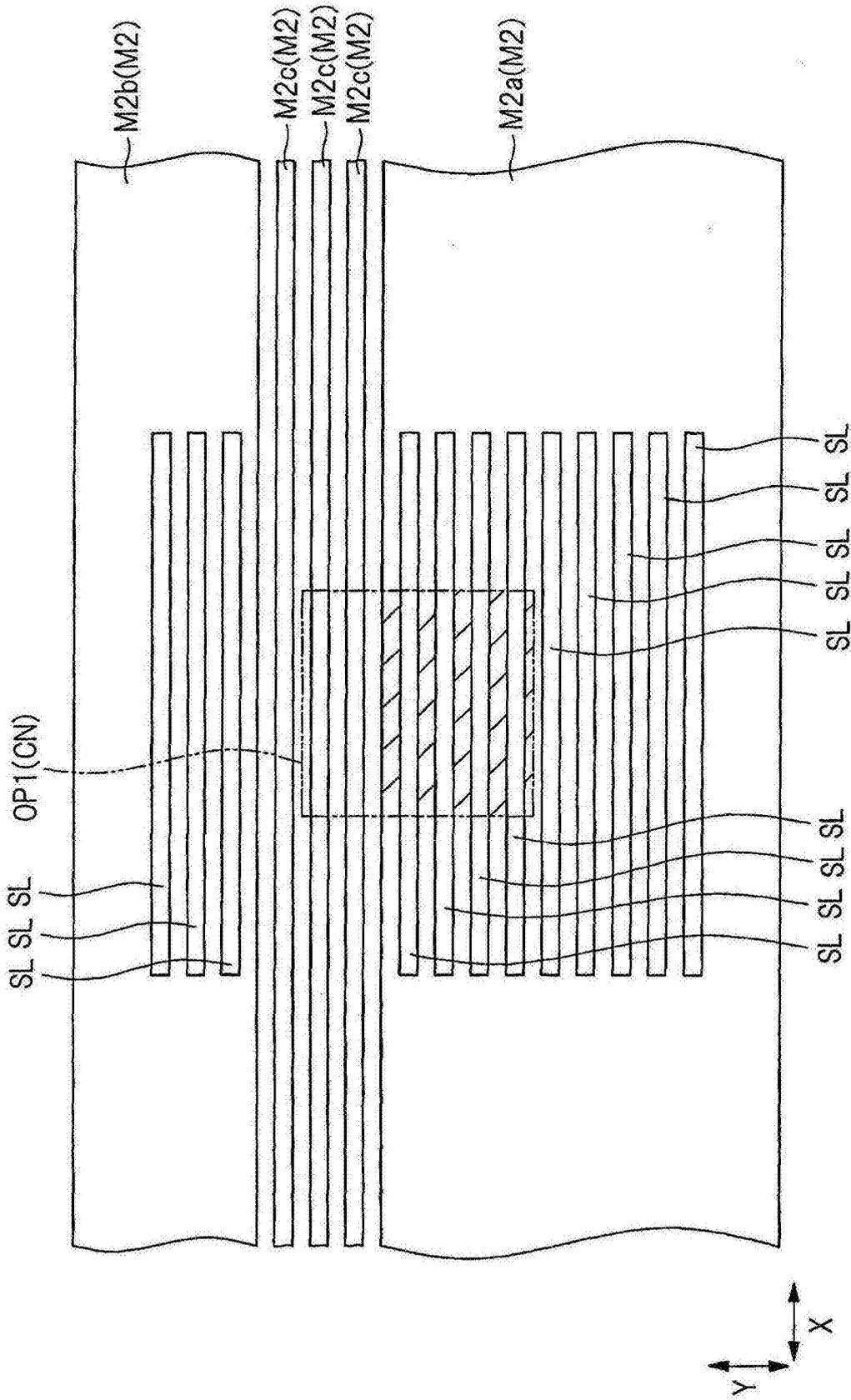


图31

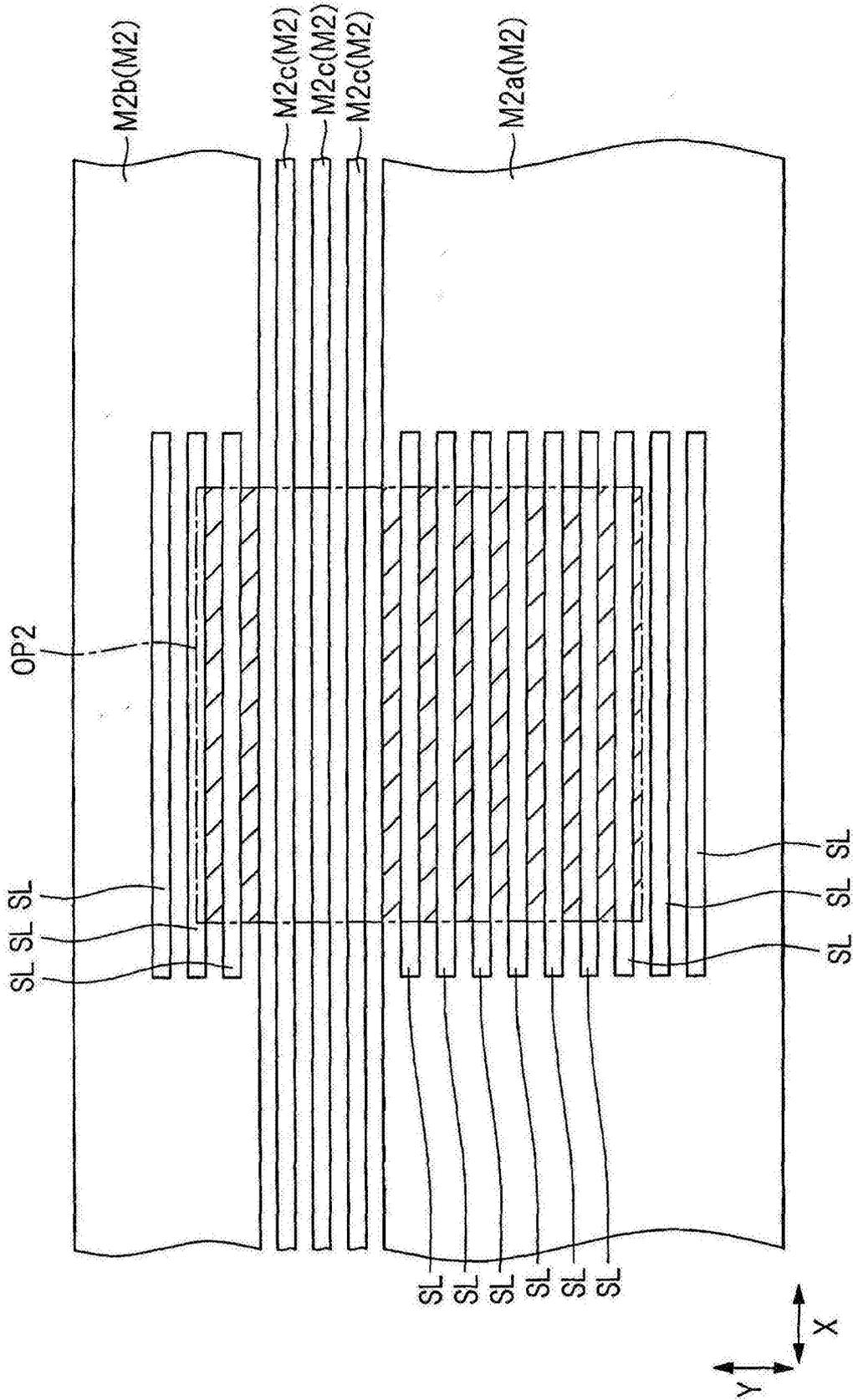


图32

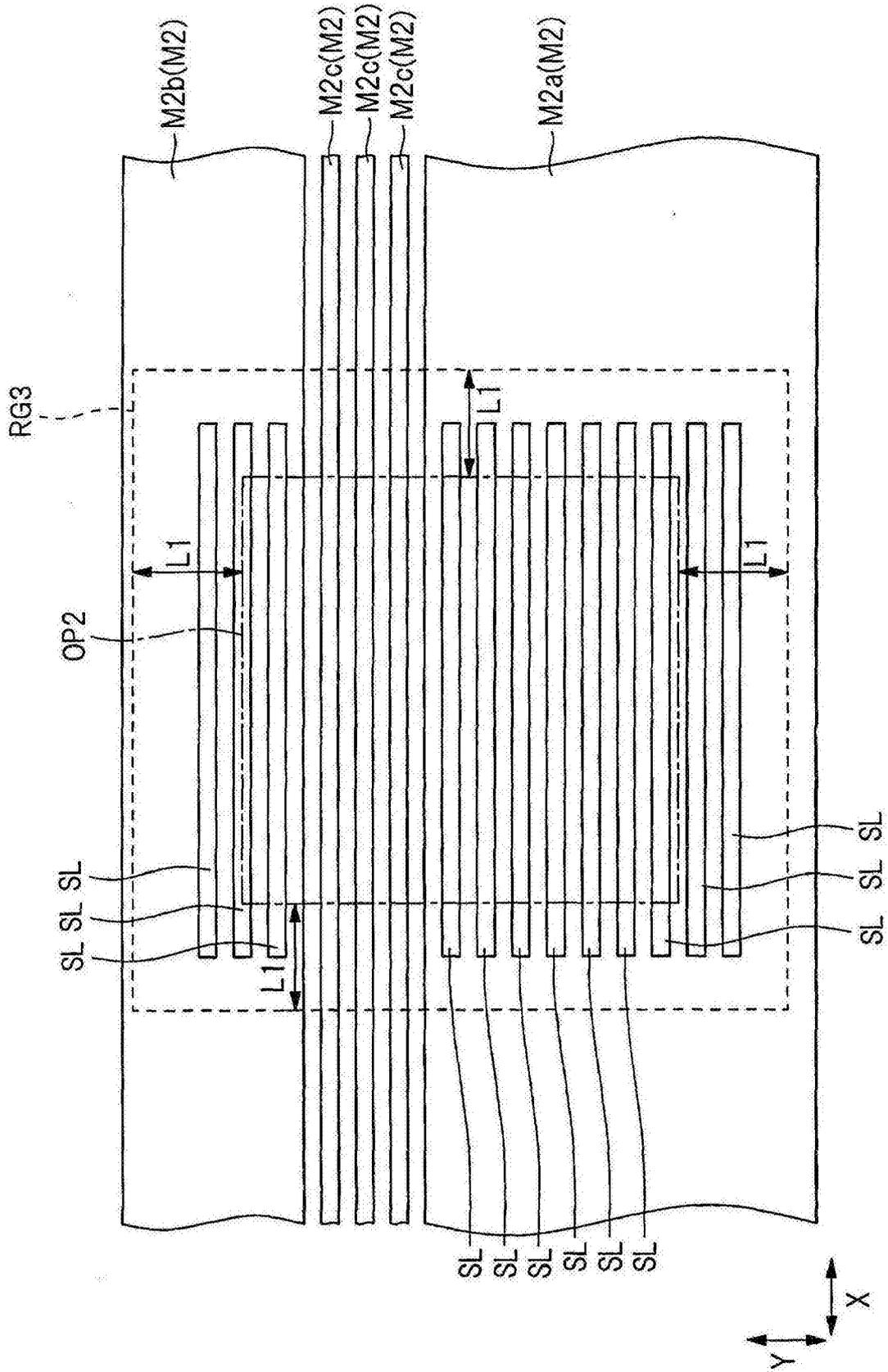


图33

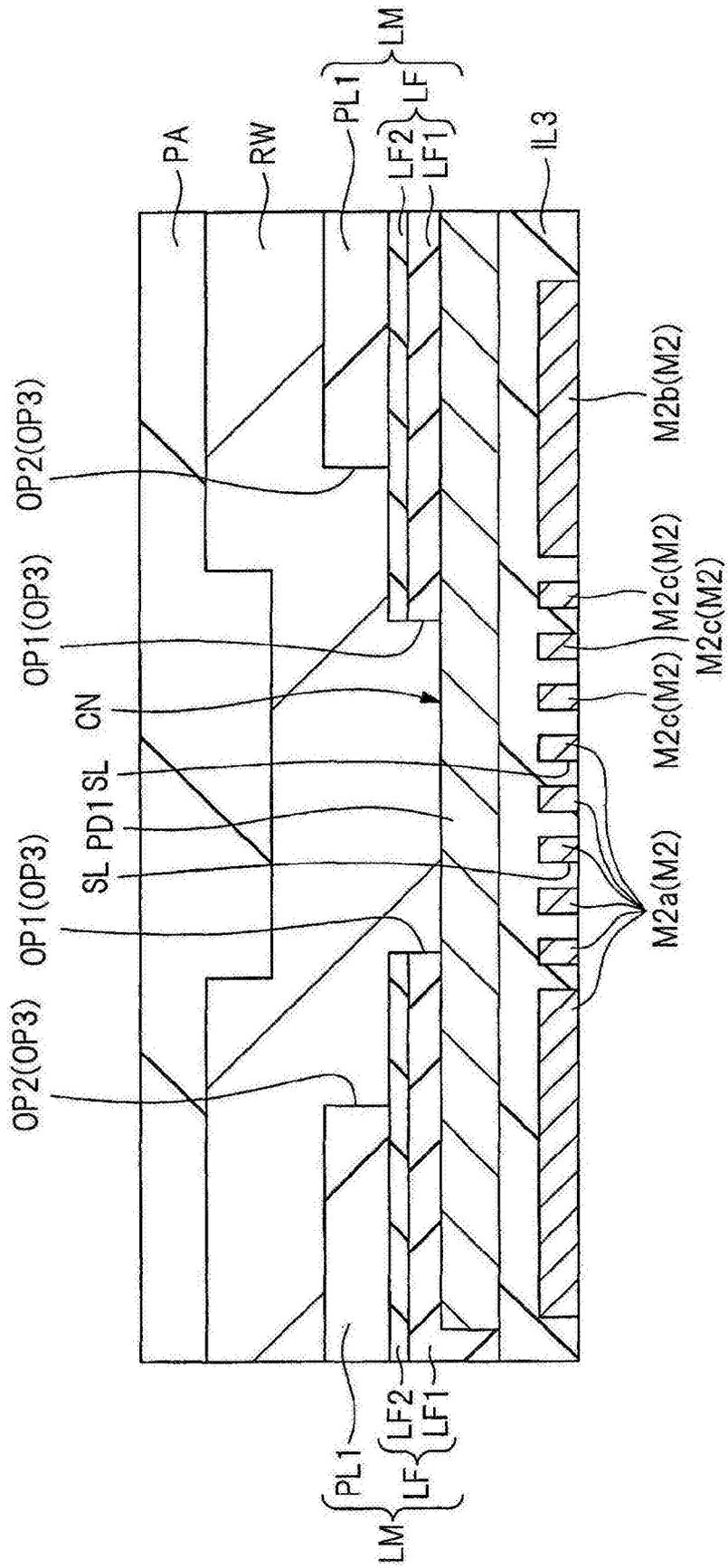


图34

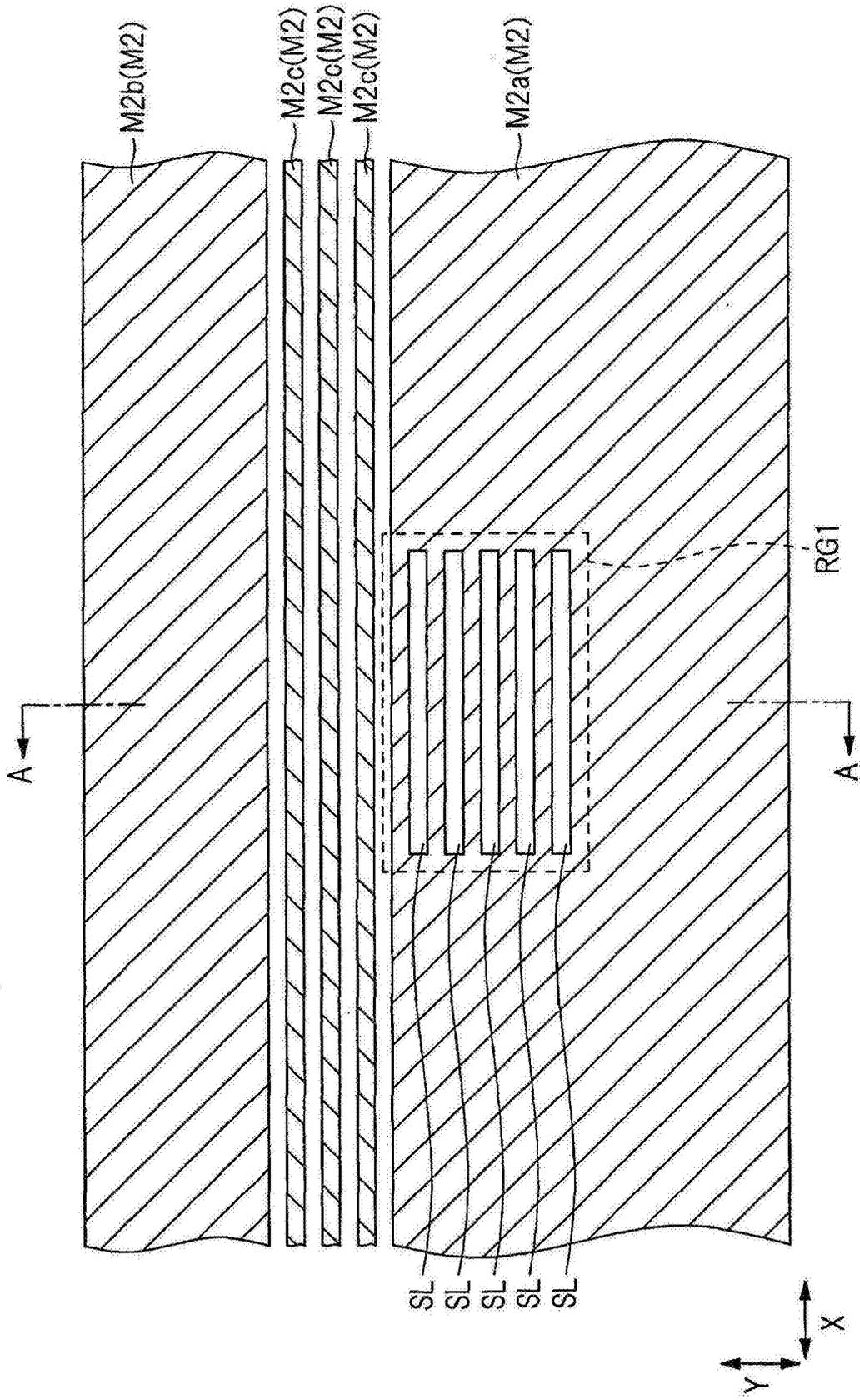


图35

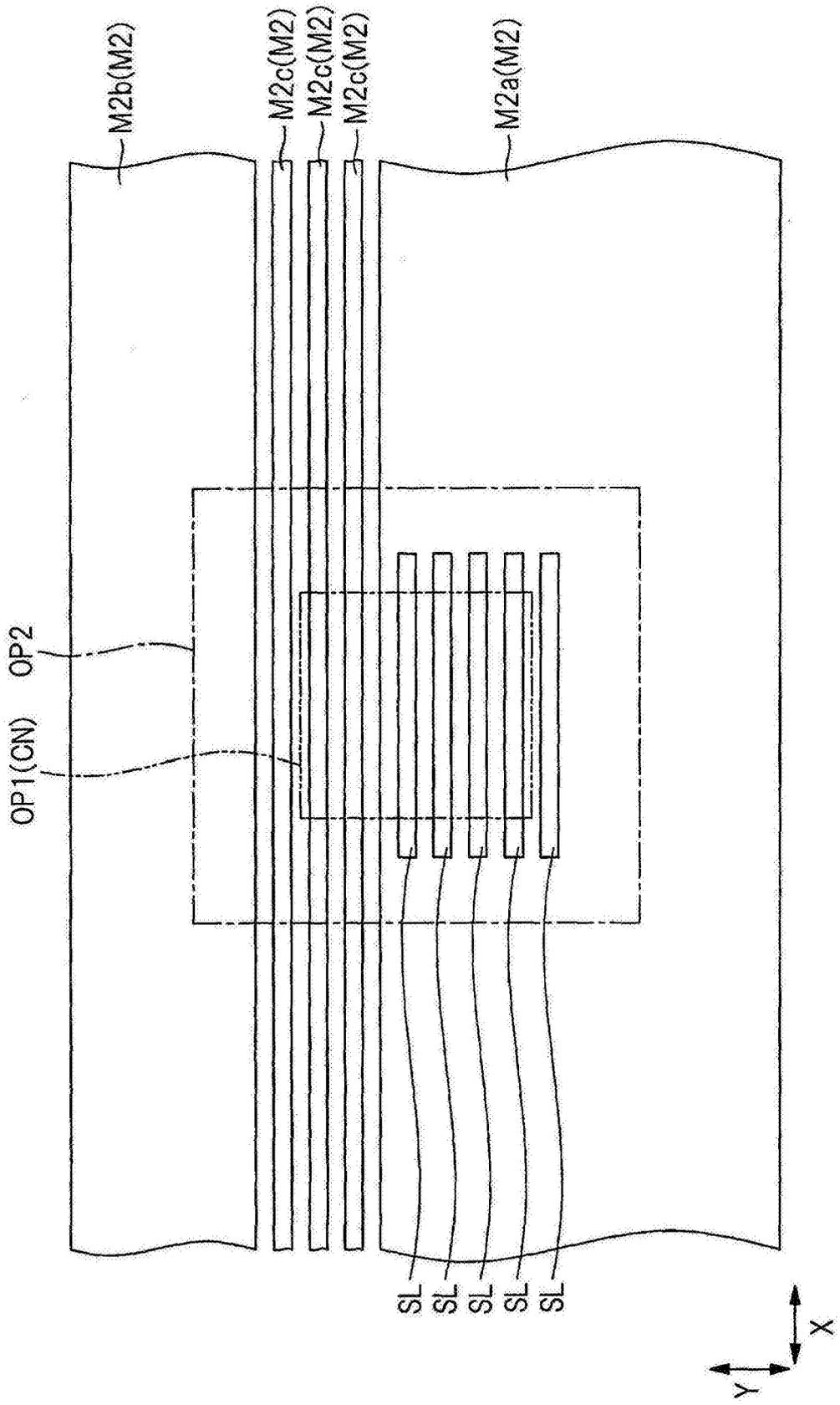


图36

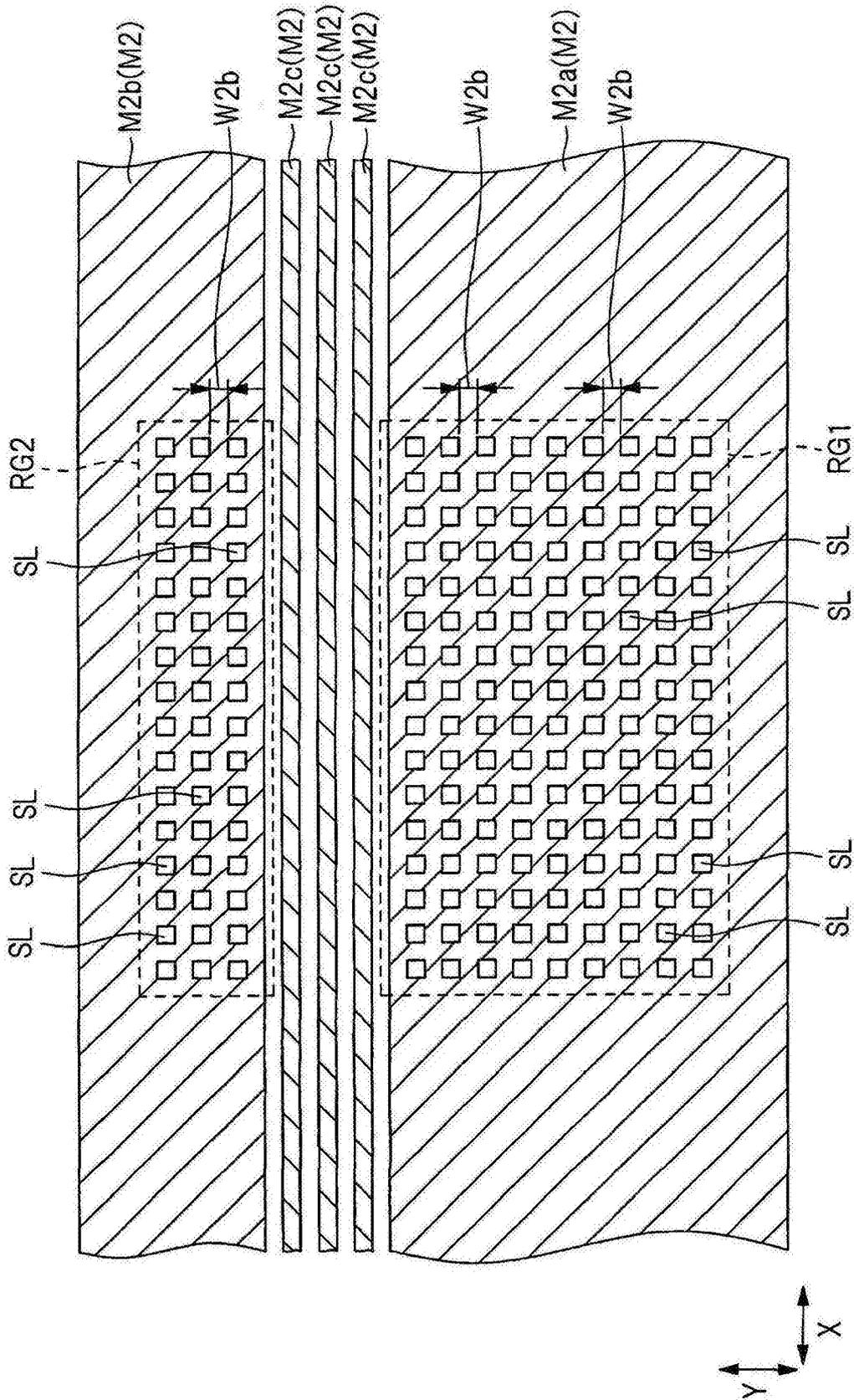


图37

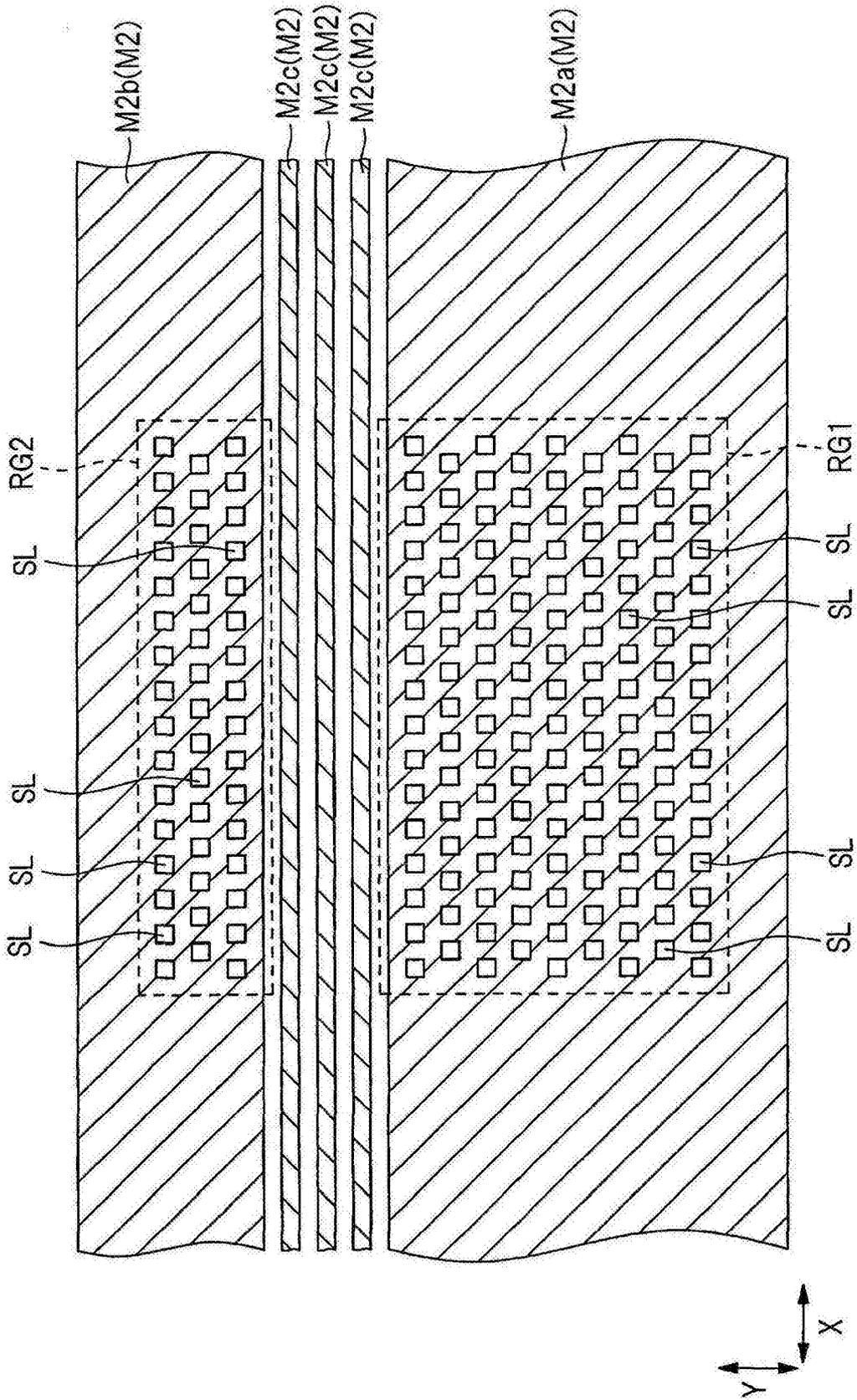


图38

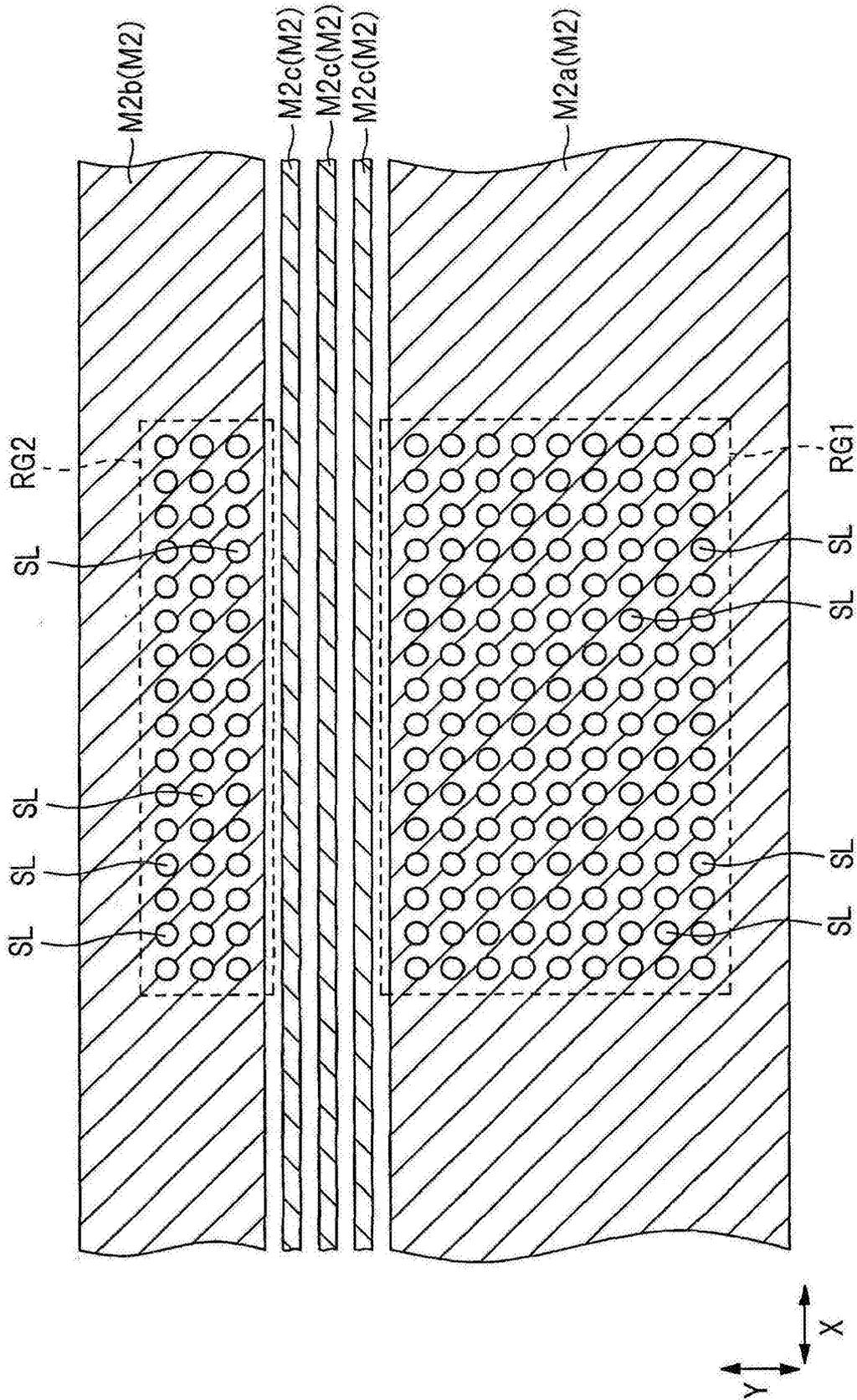


图39

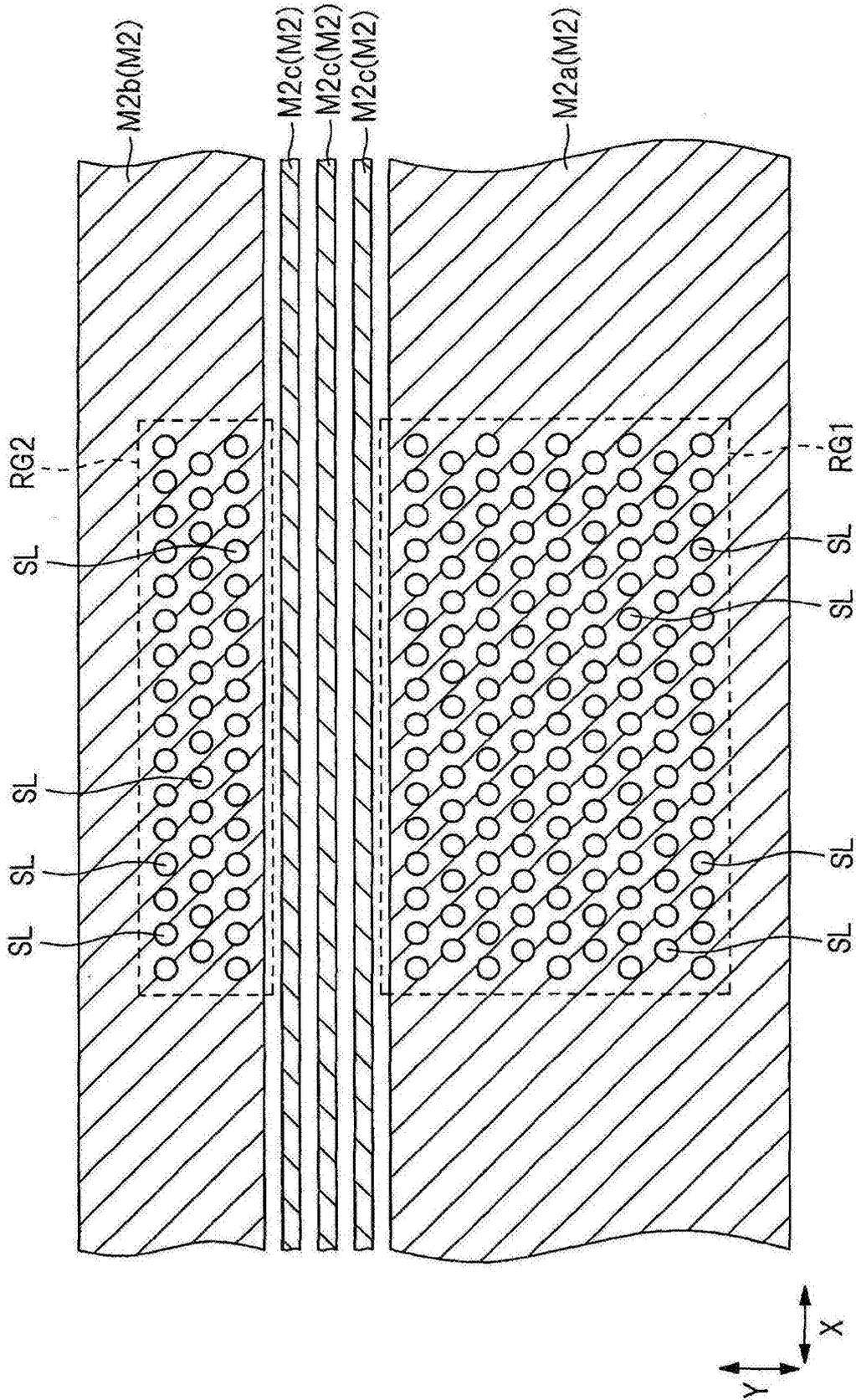


图40

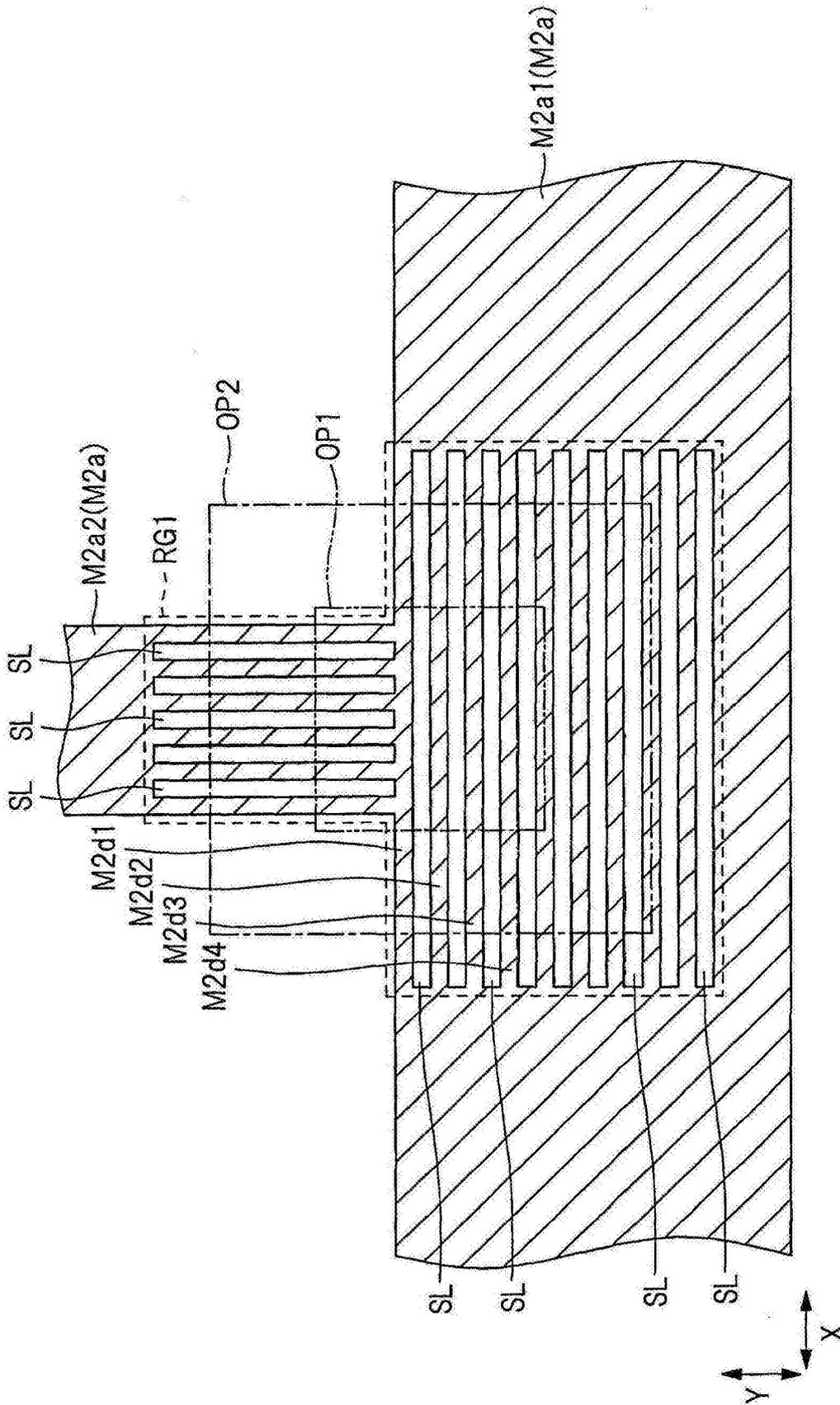


图41

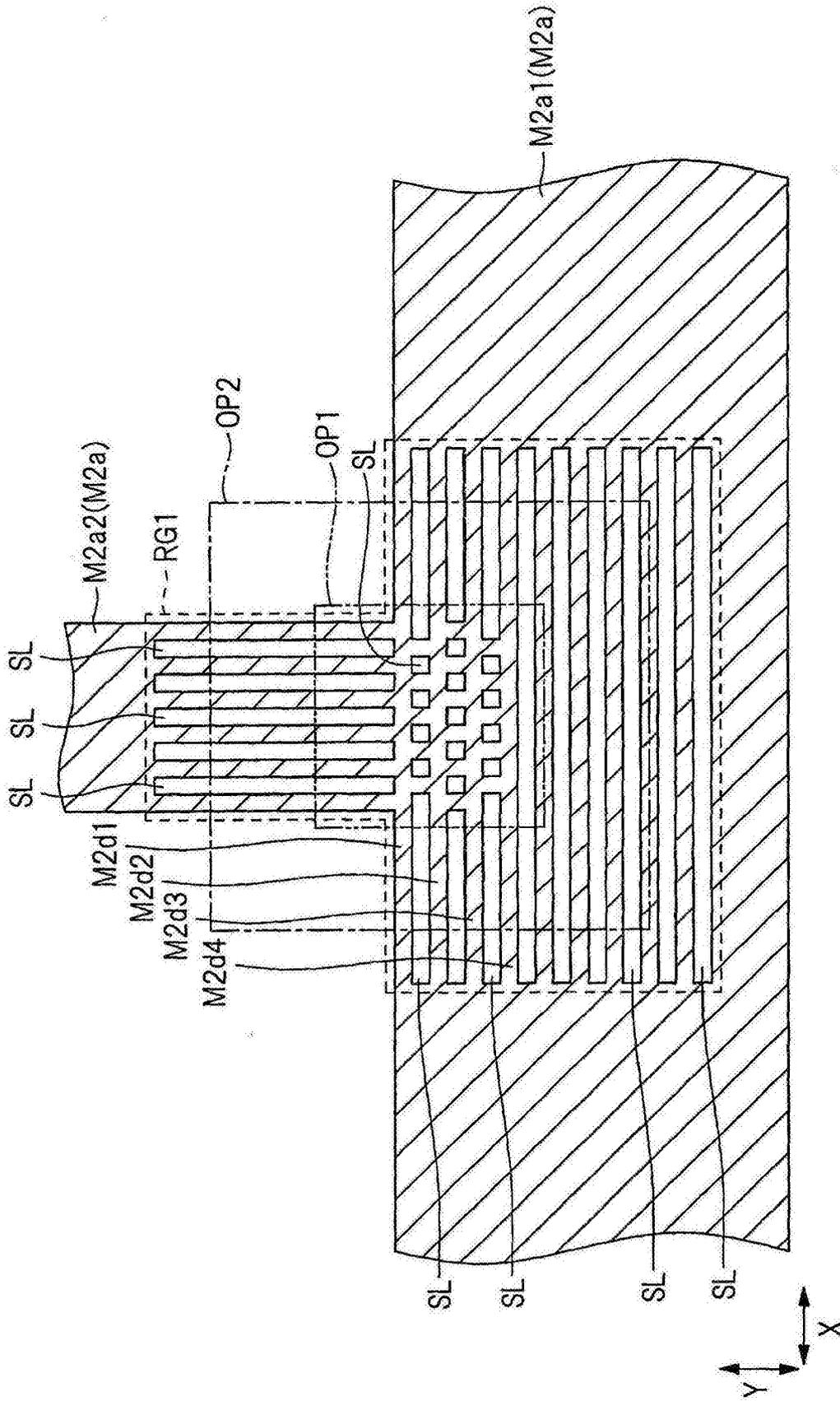


图42

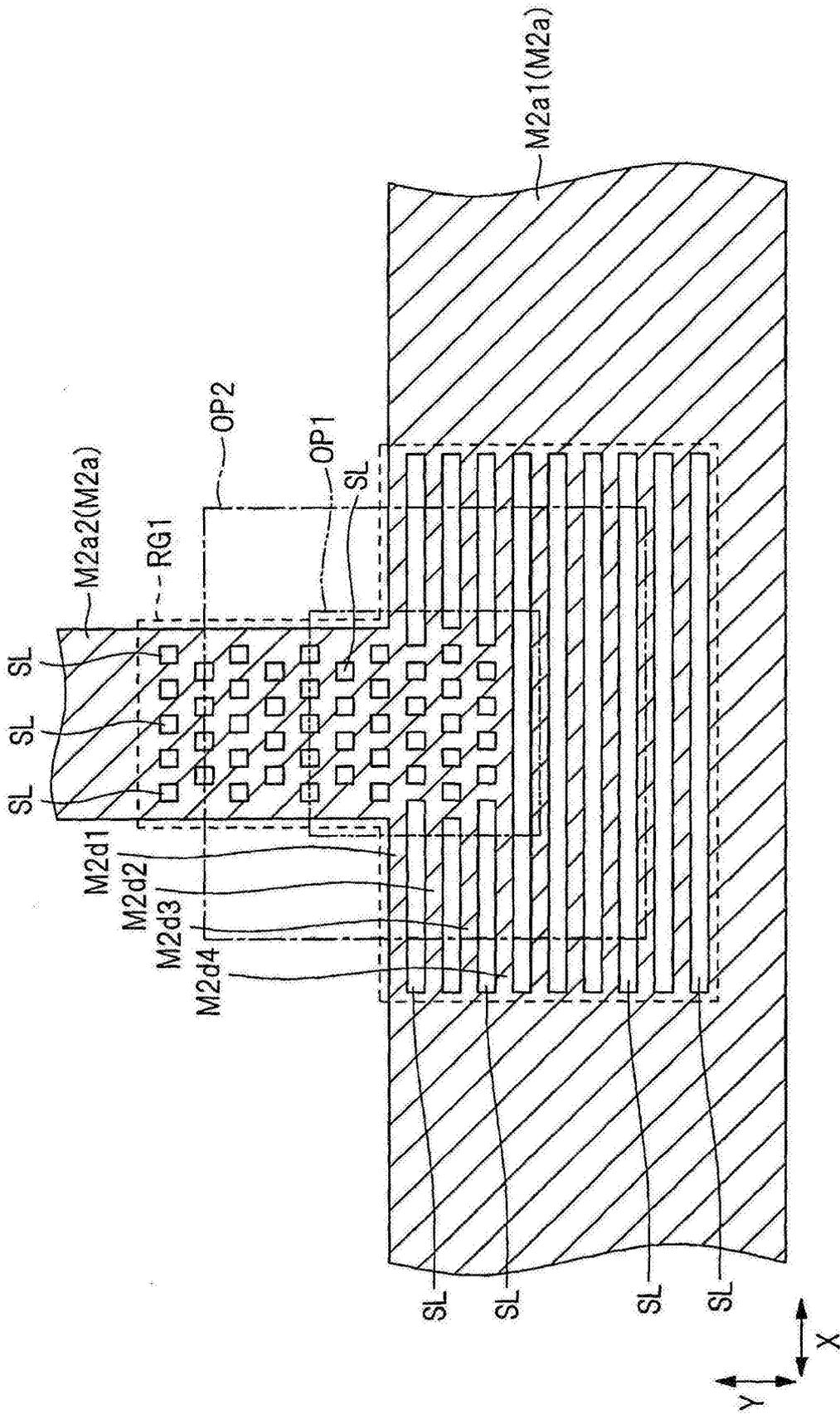


图43

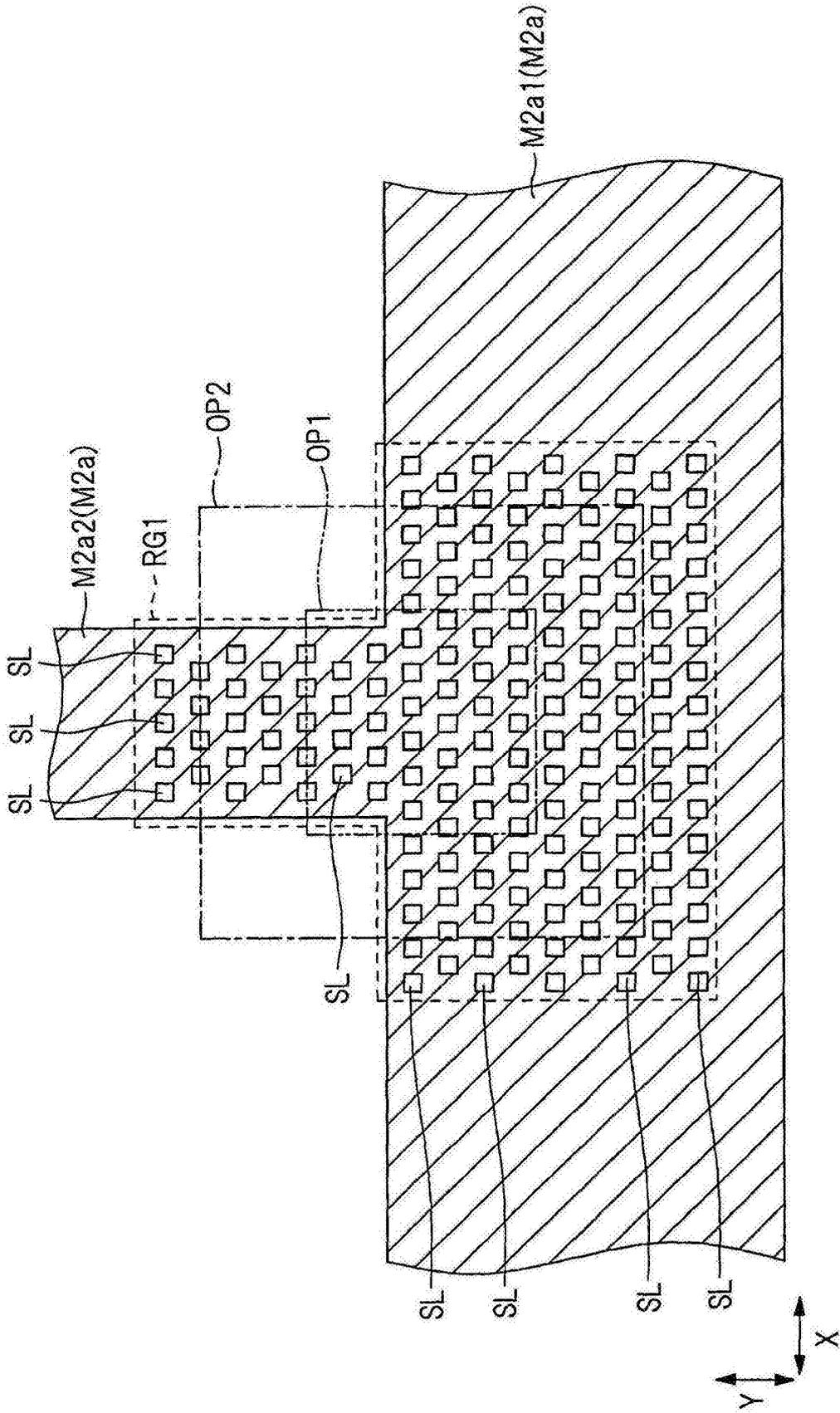


图44