(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3697751号

(P3697751)

(45)発行日　平成17年9月21日(2005.9.21)　(24)登録日　平成17年7月15日(2005.7.15)

(51)Int.Cl.[7]	F I		
H01L 21/027	H01L	21/30	502G
G03F 1/00	G03F	1/00	Y
G03F 1/08	G03F	1/08	T
G03F 7/20	G03F	7/20	521
H01L 21/82	H01L	21/30	503E

請求項の数 6　(全 14 頁)　最終頁に続く

(21)出願番号　特願平7-244228
(22)出願日　平成7年9月22日(1995.9.22)
(65)公開番号　特開平8-181068
(43)公開日　平成8年7月12日(1996.7.12)
審査請求日　平成14年9月4日(2002.9.4)
(31)優先権主張番号　08/311216
(32)優先日　平成6年9月23日(1994.9.23)
(33)優先権主張国　米国(US)

(73)特許権者　591016172
アドバンスト・マイクロ・ディバイシズ・インコーポレイテッド
ＡＤＶＡＮＣＥＤ　ＭＩＣＲＯ　ＤＥＶＩＣＥＳ　ＩＮＣＯＲＰＯＲＡＴＥＤ
アメリカ合衆国、９４０８８－３４５３　カリフォルニア州、サニィベイル、ピィ・オゥ・ボックス・３４５３、ワン・エイ・エム・ディ・プレイス、メイル・ストップ・６８（番地なし）
(74)代理人　100064746
弁理士　深見　久郎
(74)代理人　100085132
弁理士　森田　俊雄

最終頁に続く

(54)【発明の名称】装置への入力で固定された論理レベルを受取り、装置をリソグラフィ形成するのに用いられる少なくとも１つのマスク層の変更に従って装置の出力でプログラムされた論理レベルを生ずるため

(57)【特許請求の範囲】

【請求項１】

装置への入力で固定された論理レベルを受取り、装置をリソグラフィ形成するのに用いられる少なくとも１つのマスク層の変更に従って装置の出力でプログラムされた論理レベルを生ずるための装置であって、

不透過エレメントを有する第１のマスク層を備え、前記不透過エレメントは、前記第１のマスク層にわたってパターンに構成され、前記不透過エレメントの一部の領域は第１の層のプログラマブルセル内に限られ、前記装置はさらに、

不透過エレメントを有する第２のマスク層を備え、前記不透過エレメントは、前記第２のマスク層にわたってパターンに構成され、前記不透過エレメントの一部の領域は第２の層のプログラマブルセル内に限られ、前記装置はさらに、

第１および第２の層内の不透過エレメントを、第１および第２の層のプログラマブルセル内のそれぞれの前記不透過エレメントとともに再構成するための手段と、

半導体基板の一部に形成される装置とを備え、前記半導体基板は、第１および第２の層のプログラマブルセル内の前記不透過エレメントを光学的に受入れるために構成され、前記装置は、固定された論理レベルを受取り、再構成された前記不透過エレメントに基づいてプログラムされた論理レベルを生ずるよう、電気的に接続される、装置。

【請求項２】

前記装置は、装置の入力で受取る固定された論理レベルと、装置の出力で生成されるプログラムされた論理レベルとの間で直列接続される第１の層のプログラマブル回路と第２

の層のプログラマブル回路とを備える、請求項１に記載の装置。
【請求項３】
前記第１のプログラマブル回路は前記第１の層のプログラマブルセルからリソグラフィ形成される導電経路を備える、請求項２に記載の装置。
【請求項４】
前記第２の層のプログラマブル回路は前記第２の層のプログラマブルセルからリソグラフィ形成される導電経路を備える、請求項２に記載の装置。
【請求項５】
第１および第２の層内の不透過エレメントの単一の層が再構成される間、プログラムされた論理レベルの論理値は固定された論理レベルの論理値とは異なる、請求項１に記載の装置。
【請求項６】
不透過エレメントが第３のマスク層にわたってパターンに構成される第３のマスク層をさらに備え、前記不透過エレメントの一部分の領域は第３の層のプログラマブルセル内に限られ、さらに、
第３の層内の不透過エレメントを第３の層のプログラマブルセル内の不透過エレメントとともに再構成するための手段をさらに備え、
第１、第２および第３の層内の不透過エレメントの奇数の層が再構成される間、プログラムされた論理レベルの論理値は固定された論理レベルの論理値と異なる、請求項１に記載の装置。
【発明の詳細な説明】
【０００１】
【発明の背景】
１．発明の分野
この発明は集積回路に関する。より特定的にはこの発明は、集積回路の製造に用いられるマスクの組を識別するための装置および方法に関する。
２．関連技術の説明
マスクは半導体基板上にパターン像を置くための周知のツールである。マスクは１回の露光でウェハ全体に、または別のマスクに像を移すことができる。ここで以下に定義するように、「マスク」は周知の語「レチクル」を含む。１回の露光でウェハ全体の像を移す代わりに、レチクルはステップアンドリピート態様での移しを行なうのに用いられ得る。いずれの例においても、マスクでの移しまたはレチクルでの移しは、広い意味において、マスク（レチクルを含むよう定義される）からのパターン像を一連のフォトリソグラフィステップでウェハに移すことを伴う。
【０００２】
マスクはガラスまたはガラス状の（つまり水晶）開始物質から作製される。ガラス材料の上には、クロムの被覆が置かれてもよい。マスク全体にわたってパターンを形成するために、クロムは次いで選択領域を露光されエッチングされる。パターンは透過領域および不透過領域の領域からなり、不透過領域は放射線に対して不透過性である。
【０００３】
半導体基板上に集積回路を形成するためには、複数のマスクが必要である。各マスクは基板上で層をパターン化するために用いられ、集積回路を作り上げるためには連続する層が必要とされる。たとえばＣＭＯＳ集積回路製造においては、１０より多い（ときには１５より多い）マスク層が必要である。各マスク上のパターンは適当なシーケンスで半導体基板の上表面に移される。ゆえに、マスクが結果的にできる集積回路の出来（構造および機能）を決定する。１つ以上のマスクのパターンにおけるいかなる変更も、回路の出来において結果的に生ずる変化を引き起こす。
【０００４】
集積回路の開発中は、集積回路の性能を向上させるために、１つ以上のマスクを修正することがしばしば必要である。高密度でありかつ機能性において複雑な広領域集積回路上で

は、マスク修正の数は一般的に多い。たとえば、マイクロプロセッサ集積回路は、各修正に対し６つ以上の層への考えられる変更を伴なう、１２以上の修正を経るかも知れない。特定の集積回路製品に対して各層への変更および関連する修正数を把握することは過度な負担となり得る。多くの製造業者は、修正されるマスク上の識別子を変更することによってマスク修正を示す。識別子はしたがってエンドユーザによる視覚的検出のために基板上にパターン化される。したがってユーザは、結果的にできるウェハを検査して、用いられた特定のマスク修正数を判断することができる。たとえば、ｎ形ウェルに第２の修正を、ポリシリコンに第３の修正を、第１の金属に第４の修正を、および第２の金属に第５の修正を実施するウェハは、製造業者による視覚的検査のためにその上表面にそれらの修正数がマスクからエッチングされる。製造業者は次いで、マーキングされた修正数に従ってウェハをダイシングして各ダイをパッケージングすることができる。

【０００５】

動作可能な低速装置を動作可能な高速装置と区別するのは１つ以上のマスク層への修正のみであるということがしばしばある。製造業者はウェハ表面上にエッチングされた記述子に基づいて装置の操作性を判断し得るが、顧客またはエンドユーザはそうはいかない。製造業者がマスク層修正に従って製品を分類し、ダイを密封パッケージに入れた後、もし記述子がたとえばウェハ上のスクライビング領域またはテスト位置にある場合にはダイはもはや記述子を含まないだろう。より重要なことは、一旦ダイがパッケージングされると、マスク層修正の検査には、もし記述子がダイ上または変更された（修正された）回路領域上にある場合にはユーザがその記述子を調べられるようパッケージを開けることが必要となる。パッケージは一旦開けられると、それは一般的には再密封することはできない。したがって、そのパッケージに関連するダイは廃棄されなければならない。パッケージングされたダイの視覚的検査はダイにとって破壊的である（つまりダイの再使用を禁ずる）のみならず、負担および時間がかかる。視覚的検査はパッケージを分けるためのツールおよび光学的拡大装置を必要とする。

【０００６】

視覚的検査、特にパッケージング後の視覚的検査は、エンドユーザにとっての数多くの問題を呈示する。集積回路がマスク層の組に基づく特定のアプリケーションを有して販売され、かつマスク層に対する修正が用いられれば別のアプリケーションが達成可能である場合、エンドユーザがさまざまなアプリケーションおよびそれに関連するマスク層修正について知ることは有利であろう。たとえば、マスク層上の修正を通して集積回路装置のさまざまな動作速度を示すことが必要となるだろう。更新されるマスク層は、以前は利用不可能であった装置の速度段階を生じさせるのに用いられてもよい。したがって、装置の動作モードは装置の内部または外部の可能化／不能化選択を介して異なる複数のクロック速度でマスク・プログラマブルとなり得る。

【０００７】

たとえば、パッケージングされた集積回路の不適当性のためにユーザがシステムの結果を達成できない場合、ユーザはシステムの適当性を達成するためにその集積回路がどのように修正され得るかを知りたいと思うかもしれない。この例においては、ユーザは集積回路製造業者に連絡して遭遇した問題を説明するのが有利であろう。視覚的検査がその集積回路のマスク修正を判断するための唯一の方法である場合には、製造業者はその特定の集積回路の問題を解決するのに頼れるものがほとんどない。集積回路が速度の理由から不適当である場合には、ユーザが購入した集積回路が高速なものであるかまたは低速のものであるかを製造業者が判断することはできない。製造業者はしたがって、その集積回路をより高速な（異なるマスクの組の修正）バージョンと置換えるよう勧めることはできない。

【０００８】

ユーザおよび製造業者の両方の視点から、市場に出た後の（パッケージングされたダイがユーザのシステムに組込まれた）集積回路の非破壊識別は非常に望ましい。集積回路を形成するために用いられるマスクの組のパッケージピンアウトでの非破壊的、電気的読出の能力は有利なものである。さらに、読出は無限数のマスク層および無限数のマスク層修正

に対応しなければならない。

【０００９】

【発明の概要】

上述の問題は、この発明のマスク層識別装置および方法によって大部分が解決される。つまり、このマスク識別システムは集積回路の一部に実施される装置を利用する。装置はパッケージングされた集積回路から延びるピンを介してアクセス可能である。したがって、パッケージングされた回路に対するマスク層修正は、ピンに電気的に接触して装置のステータスを読むことによって判断され得る。装置は、集積回路を形成するのに用いられるマスク層に対応する独自の２進コードを記憶する。集積回路と同様、装置の各層はマスク層に変更がなされるときには必ずプログラムされる。マスク層が変更されると、それは修正を示し、マスク上の装置のパターンも変更される。装置のパターンに対する変更は、集積回路に記憶される、プログラムされる２進値に対応する。

【００１０】

集積回路は複数の装置を実施してもよい。各装置は、１つ以上のマスク層への修正に対応する、プログラムされた論理レベルを生ずる。装置は記憶レジスタのディスクリートなビット位置に直列結合される。１つ以上のマスク層に対するその後の修正は、記憶レジスタに与えられた値に影響する。修正レベルは次いで、記憶レジスタにある２進値からデコードされ得る。第１の修正はビットパターン０１、修正２は１０、修正３は１１というようにエンコードされてもよい。無限数の修正を示す無限数のビット位置が存在するだろう。さらに、各装置は、互いに直列に結合される無限数のプログラマブル回路を含んでもよい。各プログラマブル回路は集積回路上の層を表わし、別のマスク層によって形成される。このように、各修正に対し無限数のマスク層が修正され把握され得て、上述したように無限数の修正が識別され得る。

【００１１】

広く言うと、この発明は、装置への入力において固定された論理レベルを受取り、装置をリソグラフィ形成するのに用いられた１つ以上のマスク層への変更に従って装置の出力においてプログラムされた論理レベルを生ずるための装置を目的とする。装置は、不透過エレメントが第１のマスク層にわたってパターンに構成される第１のマスク層から作られる。不透過エレメントの一部は第１の層のプログラマブルセル内に封じ込められる。第２のマスク層が、不透過エレメントが第２のマスク層にわたりパターンに構成されてさらに用いられてもよい。第２のマスク層の一部は第２の層のプログラマブルセル内に封じ込められる。第１および第２の層内の不透過エレメントは、第１および第２の層のプログラマブルセル内のそれぞれの不透過エレメントとともに、通常のマスク層修正技術に従って再構成され得る。装置は、第１および第２の層のプログラマブルセル内の不透過エレメントを光学的に受入れるために構成される半導体基板の一部に形成される。装置は固定された論理レベルを受取り、再構成された不透過エレメントに基づいて、プログラムされた論理レベルを生ずるよう電気的に接続される。

【００１２】

この装置は、固定された論理レベルとプログラムされた論理レベルとの間に直列接続される第１の層のプログラマブル回路と第２の層のプログラマブル回路とを備える。第１の層のプログラマブル回路は、第１の層のプログラマブルセルからリソグラフィ形成される導電経路を備える。第２の層のプログラマブル回路は、第２の層のプログラマブルセルからリソグラフィ形成される導電経路を備える。第１または第２の層内の不透過エレメントの１つの層が再構成される間、プログラムされた論理レベルの論理値は固定された論理レベルの論理値とは異なる。

【００１３】

この装置は、不透過エレメントが第３のマスク層にわたりパターンに構成される第３のマスク層をさらに備えてもよい。不透過エレメントの一部は第３の層のプログラマブルセル内に封じ込められる。第３の層内の不透過エレメントは、第３の層のプログラマブルセル内の不透過エレメントとともに、マスク層修正技術に従って再構成され得る。第１、第２

および第３の層内の不透過エレメントの奇数の層が再構成される間、プログラムされた論理レベルの論理値は固定された論理レベルの論理値とは異なる。

【００１４】

この発明は、集積回路の製造に用いられたマスク層修正の非破壊読出のための、集積回路内に実施されるシステムをさらに目的とする。システムは半導体基板の一部に形成される複数の装置を備える。複数の装置の各々は複数の直列接続されるプログラマブル回路を含み、各プログラマブル回路は半導体基板上にリソグラフィ形成される複数の層の異なる層上に配置される。複数の装置の各々は、固定された論理レベルを受取り、プログラムされた論理レベルを生ずるよう接続される。複数の直列接続されるプログラマブル回路の奇数が前記層への修正に従って再構成される間、プログラムされた論理レベルの論理値は固定された論理レベルの論理値とは異なる。並列ロードレジスタは、システム内に含まれ、複数の装置を受入れ、クロック入力をさらに受取ると層の修正に対応する修正コードを読出すよう、結合される。システムは、集積回路をそこに密封するための集積回路パッケージをさらに含む。集積回路パッケージは、修正コードを受信するようパッケージから延び電気的に接続されるピンを含む。修正コードは複数のビットを含む２進コードを備える。各ビットは各それぞれの装置のプログラムされた論理に対応する。固定された論理レベルの論理値は接地電位と実質的に等しく、プログラムされた論理レベルは接地電位または電力電位のいずれかに実質的に等しい。電力電位は接地電位を超える電圧値にある。

【００１５】

この発明は、集積回路を製造するために用いられたマスク層の組を判断するための方法をさらに目的とする。この方法は複数のマスク層を設けるステップを含み、各マスク層はそのマスク層にわたりパターンに構成される不透過エレメントを備え、各マスク層上の不透過エレメントの一部はプログラマブルセル内に封じ込められる。各マスク層のプログラマブルセルから、プログラマブル回路が集積回路のそれぞれの層においてリソグラフィ形成される。装置を形成するのに２つ以上のプログラマブル回路が必要である場合には、１つの層にあるプログラマブル回路が他のプログラマブル回路と電気的に接続され得る。マスク層修正は、複数のマスク層の１つとプログラマブルセルの１つとの上の不透過エレメントを再構成することによって形成される。直列接続された装置の入力を刺激することによって、直列接続された装置の出力でのプログラムされた論理レベルが生じさせられる。プログラムされた論理レベルは、プログラマブルセル内の再構成された不透過エレメントに基づく論理値でプログラムされる。プログラムされた論理レベルの論理値は、マスク層修正識別子に従って、直列接続された装置から読まれ得る。

【００１６】

この発明の他の目的および利点は、以下の詳細な説明を読みかつ添付の図面を参照すると明らかとなる。

【００１７】

この発明はさまざまな修正物および代替形式が可能であるが、図面における例の形でその特定の実施例を示しかつ個々に詳細に記載するものである。しかしながら、図面およびその詳細な説明はこの発明を開示される特定の形式に限定することを意図するものではないことが理解されるはずであり、その逆に、前掲の特許請求の範囲に定義されるこの発明の精神および範囲内に入るすべての修正物、均等物、および代替物を包含することを意図するものである。

【００１８】

【実施例の詳細な説明】

図１を参照すると、この発明の装置１０が図示される。装置１０はｎ個の直列接続されるプログラマブル回路１２を含む。各プログラマブル回路１２は半導体基板の異なる層上に形成される。プログラマブル回路１２ａはゆえに、プログラマブル回路１２ｂ、プログラマブル回路１２ｃ、およびプログラマブル回路１２ｄとは別個の層上に形成される。図示されるように、プログラマブル回路１２は集積回路を形成するのに用いられる任意の数の層に対応し得る。集積回路はゆえに、シリコン基板またはＧａＡｓ上のＭＯＳ（ＮＭＯＳ

およびＣＭＯＳ）およびバイポーラ、ＥＣＬを含む任意の作製技術のものであってもよい。各プログラマブル回路１２は入力（キャリイン）ＣＩおよびＣＩバーを受取るよう結合される。プログラマブル回路１２がどのように構成される（つまり「プログラムされる」）かに依って、それぞれのプログラマブル回路はＣＯおよびＣＯバーで示される出力ノード（キャリアウト）でさまざまな論理レベルを生ずる。ＣＯおよびＣＯバーは図示されるようにＣＩおよびＣＩバーに接続されるよう、プログラマブル回路は直列に接続される。第１の層のプログラマブル回路１２ａの出力は第２の層のプログラマブル回路１２ｂの入力に結合され、第２の層のプログラマブル回路１２ｂの出力は第３の層のプログラマブル回路１２ｃの入力に接続される。第１の層のプログラマブル回路１２ａの入力は固定され、CI_1 は接地に接続され、CI_1 バーはＶＤＤに接続される。第１の層のプログラマブル回路１２ａへの入力で固定された論理レベルを与えられ、プログラマブル回路１２ａからｎ番目の層のプログラマブル回路１２ｄまでの直列接続を与えられると、ｎ番目の層のプログラマブル回路１２ｄの出力はプログラムされた論理レベルCO_N に置かれる。

【００１９】

図２ａ～図２ｃを参照すると、プログラマブル回路１２ａ、１２ｂ、１２ｃまたは１２ｄのいずれかであるプログラマブル回路の上面レイアウト図が示される。図２ａは「プログラムされていない」プログラマブル回路１４を示す。回路１４はＣＩからＣＯおよびＣＩバーからＣＯバーの間に延びる導電経路１６を含み、導電経路１６は回路１４のプログラムされていない部分に置かれる導電ジャンパ１８により接続される。ジャンパ１８とコンタクト２０を直接包囲する領域とは、導体１６とは別の層上にある。層の区別は、導体１６に対しては正の４５度の平行線で、ジャンパ１８に対しては負の４５度の平行線で示される。注目されるように、ジャンパ１８と導体１６とは間隔をおいて置かれ、コンタクト２０を直接包囲する領域においては一方は他方の上にある。

【００２０】

図２ｂはプログラムされたプログラマブル回路２２を示す。図２ａに示される位置に置かれるジャンパの代わりに、図２ｂのジャンパ２４は、ＣＩとＣＯバーとの間およびＣＩバーとＣＯとの間に電気的接続を達成するよう、図示されるように置かれる。ジャンパ２４は、導体１６の下（または上）でＣ形部分と真っ直ぐな部分とに延び、コンタクト領域２０で接続する。図２ｃに示されるように、プログラマブル回路１２のプログラム構成は、導体をジャンパ位置１８から取り除いてジャンパ位置２４に導体を形成することによって達成される。図２ａ～図２ｃの図面から、プログラマブル回路１２のプログラマビリティは単一の層、つまり負の４５度の平行線で示される層上の導電エレメントの再構成により達成されることが理解される。プログラマビリティは単一の層上で達成されるため、プログラマブル回路は１つの領域（第１の層のプログラマブル回路領域１２ａ、第２の層のプログラマブル回路領域１２ｂ、第３の層のプログラマブル回路１２ｃ、またはｎ番目の層のプログラマブル回路１２ｄの何れか）内に封じ込められる。各プログラマブル回路１２ａ、１２ｂ、１２ｃまたは１２ｄに対し単一の層上でプログラマビリティを達成するために、各プログラマブル回路１２ａ～１２ｄは図２ａ～図２ｃに示される再構成技術に従ってプログラムされることが可能である。

【００２１】

次に図３ａ～図３ｃを参照すると、層のプログラマビリティは基板形態の上の表面に対して垂直の向きに達成され得る。図２ａ～図２ｃに示すように上側形態に平行に延びる導電層上に生じる再構成の代わりに、（図３ａ～図３ｃに示されるように）コンタクト領域の存在または不在により上側形態に垂直に延びる導電層の再構成によってプログラマビリティが達成され得る。したがって「層」のプログラマビリティは、ここで以下にあるように、半導体表面に実質的に水平または垂直に延びる任意の導電層として定義され、入力ＣＩおよびＣＩバーと出力ＣＯおよびＣＯバーとの間における接続性の戻りまたは変更を達成するために変えられ得る任意の導電領域を含む。

【００２２】

図３ａはプログラムされていないプログラマブル回路２６の上面レイアウト図を示す。図

２ａおよび図２ｂにそれぞれ示される回路１４および２２と同様に、回路２６は導体１６ならびにジャンパ１８および２４を含む。回路２６は導電エレメント間の、すべてではないが大部分の重複領域の間に配置されるコンタクト２０をさらに含む。入力ＣＩと出力ＣＯとの間および入力ＣＩバーと出力ＣＯバーとの間に接続のプログラムされていない状態を保証するために、コンタクト２０は重複領域２８にはない。

【００２３】

図３ｂはプログラムされたプログラマブル回路３０を示す。回路３０は、図３ａの領域３２から図３ｂの領域２８へのコンタクト位置の変更を除き、回路２６と同一である。領域３２から領域２８へのコンタクトの移動は図３ｃによりはっきりと示され、それは回路３０のプログラマビリティを達成するのに用いられる。位置３２にコンタクトがなく、かつ領域２８にコンタクト２０があることにより、入力ＣＩから出力ＣＯバーへの間の電気的接続と、入力ＣＩバーから出力ＣＯへの間の接続が設けられる。

【００２４】

図２ａ～図３ｃの前述の説明から、プログラマブル回路１２ａ～１２ｃの「プログラム」は、１つの部分から他の部分への導電層の再構成によって達成されることが理解される。加えて、回路１２ａ～１２ｄの再構成は、出力端子への入力端子の接続を、プログラムされていない状態の接続と逆にする。さらに、各プログラマブル回路のプログラムは、導電エレメントを形成するのに用いられるわずか１つのマスク層の修正により達成され得る。ゆえに、マスク層への変更または修正は、集積回路基板上に対応のプログラマブル回路１２を形成するのに用いられる、マスク内のプログラマブルセルへの変更または修正としてさらに含まれ得る。保証される集積回路製品の独自のバージョンを形成するのに用いられる単数または複数のマスクへの修正は、対応するプログラマブル回路１２ａ～１２ｄの入力端子と出力端子との間における論理の変更により識別され得る。

【００２５】

図４に示されるのは、マスク層修正を把握し、それらの修正の非破壊読出をするために用いられるシステム３４である。独自の製品を製造するのに用いられるマスク層修正の各組は、システム３４から出力される独自の修正コード（ＲＥＶ．ＣＯＤＥ）によって識別される。システム３４は記憶装置３６に並列接続される複数の装置１０を含む。好適な記憶装置３４は並列ロードレジスタを含む。図示されるように、各装置１０は直列接続されるプログラマブル回路１２を含み、最初の層のプログラマブル回路は固定された論理レベルに接続され、最後の層のプログラマブル回路はプログラマブル論理値CO_Nを出力するようにされる。プログラマブル論理CO_Nは「１」または「０」の論理値で表わされる。論理値１は論理値０よりも電圧の大きさがより高く、好ましくは論理値１はＶＤＤの電圧電位にあるかまたはそれに近く、一方論理値０は接地電位にあるかまたはその近くにある。

【００２６】

好ましい実施例に従うと、集積回路製品の第１のバージョンを達成するのに用いられるマスク層の最初の修正は、完全に装置１０ａのプログラマブル回路内で進められて、ビット０のプログラムされた論理レベルCO_Nで表わされる。第２の修正は完全に装置１０ｂのプログラマブル回路内で進められて、ビット１のプログラムされた論理レベルCO_Nで表される。マスク層の第３の修正は、装置１０ａおよび１０ｂのプログラマブル回路内で進められて、ビット０および１で表わされる。第４のマスク層修正は完全に装置１０ｃのプログラマブル回路内で進められてビット２で表わされる。

【００２７】

ここで今説明したパターンを示して、マスク層の各修正は２進数として指定され、次の修正は最後の２進数を超える次の２進数を与えられる。したがって、最初の修正は０００１の修正コード、次の修正は００１０、第３の修正は００１１、第４の修正は０１００等で表わされる。記憶装置３６からの修正コード出力（ＲＥＶ．ＣＯＤＥ）の２進計数はゆえに、装置１０ａ～１０ｄを実施する集積回路を製造するのに用いられるマスク層の特定の修正を表わす。図４から、各装置１０に対しプログラマブル回路１０の多数の（無数の）層が存在し得、多数の（無数の）装置が存在し得ることが理解される。記憶装置３６は、

各装置１０内のプログラム回路のプログラムされていないまたはプログラムされたステータスを表わす各ビット位置に対する独自の論理値を受取るようにされ、ビット位置は装置３６に並列してロードされ得、そこから２進論理値の修正コードとして読出され得る。クロック入力（ＣＬＫ）により行なわれる記憶位置３６からの読出は、ＣＬＫのクロックサイクル中に生ずる。

【００２８】

図４に関連して図５～図７に示されるように、プログラムされたステータスの論理レベルCO_Nを各マスク層の組の修正に対して達成するために、マスク層３８の修正は図４のプログラムされた回路１２の特定の位置への変更を反映する。変更は、ビット位置０からｎで２進オーダ修正を達成するのに必要な不透過エレメントを再構成することによって生ずる。

【００２９】

次に図５を参照すると、「Ｒｅｖ．Ａ」で示される集積回路製品のバージョンを製造するのに必要なマスク層の第１の修正が図示される。第１の修正はマスク層３８ａ、３８ｃ、および３８ｎ（マスク層１、３、およびｎ）上で行なわれ、その他の層はすべて変更されない。不透過エレメントへの修正は、マスク層３８ａ、３８ｃ、および３８ｎ上に、位置４０ａ、４０ｃ、および４０ｎにおけるそれらのエレメントに示される変更によって示される。マスク層３８ｂ上のパターンは４０ｂのどの位置においても変更されず、ゆえに第２の層のプログラマブルセル４２ｂは変更されない。しかしながら、層１、３およびｎは位置４０ａ、４０ｃおよび４０ｎで変更されるため、第１の層のプログラマブルセル４２ａ、第３の層のプログラマブルセル４２ｃおよびｎ番目の層のプログラマブルセル４２ｄは特定の位置で「Ｘ」を有するようにしめされて変更される。マスク層への変更および特定的にはプログラマブルセル４２ａ～４２ｄ内における位置への変更は、ウェハ４４の集積回路で、そこに実施されるプログラマブル回路１２内の特定の位置に反映される。プログラムされた回路１２は、ウェハ４４上で、特定のマスク層変更を示す特定の位置に「Ｘ」が置かれるようにして示される。プログラムされたプログラマブル回路１２は「Ｒｅｖ．Ａ」で指定される独自のウェハ４４を製造するよう示され、ウェハ修正／プログラムは装置１０ａ内のビット０位置に特有の位置にある。ビット０は、図５に示される、マスク層１、３およびＮへの特定の修正を表わすプログラムされた論理レベルを示す。残りの装置１０ｂ～１０ｄは変更されず、図６および図７に示されるそれのように、次の修正のために予約される。

【００３０】

次に図６を参照すると、おそらくはＲｅｖ．Ａに続くであろう、「Ｒｅｖ．Ｂ」として示される第２の修正が示される。特定的には、図６は、第１のマスク層の位置４０ａにおける修正と、第３のマスク層の位置４０ｃにおける修正と、ｎ番目の層の位置４０ｎにおける修正とを示す。修正はプログラマブルセル位置において４２ａと４２ｃと４２ｄとにさらに反映される。図５および図６から、同じマスク層が変更され得る一方で、修正は異なる２進位置（つまりビット０対ビット１）で反映されるために異なる修正コードが生ずることが理解される。図５の貫通位置とは異なる、特定の位置での変更は、ウェハ４４および特定的にはプログラマブル回路１２に、図６の「Ｘ」記述子により示される修正を生ずる。図６の「Ｘ」記述子は、装置１０ａのビット０位置よりもむしろ装置１０ｂのビット１位置出力にある。ビット１位置は、従来のビットコード計数を用いる第２の修正である。第２のビット位置は、第１のビット位置と同様、プログラミングされる奇数のマスク層を示す０または１の論理値を受取る。より特定的には、ゼロ論理レベルは、偶数のプログラマブル回路１２のプログラムを示すか、または装置１０内の任意のプログラマブル回路１２にプログラム（変更）が全くないことを示す。３つのプログラマブル回路１２がＲｅｖ．ＡおよびＲｅｖ．Ｂ内で変更されるため、論理１はビット０位置およびビット１位置への入力としてそれぞれ現れる。図５と図６との比較から理解されるように、次の修正でたとえ同じ層が変更されても、異なる別の２進コードが記憶位置３６から修正コードとして読出される。

【００３１】
次に図７を参照すると、第２の層のマスク３８ｂ上に第３の修正が示される。部分４０ｂでの修正はプログラマブルセル４２ｂへの修正として反映される。プログラマブルセル４２ｂへの変更は上４４上のプログラマブル回路１２でパターン化される。特定的には、第３の修正（Ｒｅｖ．Ｃ）を示す、図７のプログラマブル回路１２への変更は、２進数で測定される第３の修正を示すために、２進位置ビット０およびビット１に置かれる。したがって、図５～図７はマスク層の各組とそれらのマスク層への修正とを独自の２進コードで表わすための識別スキームを示し、マスク層修正の各組は異なる独自の２進コード（修正コードとして示される）を表わす。

【００３２】
次に図８を参照すると、プログラマブル回路１２の機能性の真理表が示される。プログラマブル回路がプログラムされておらずかつ図２ａおよび図３ａに示される実施例と同様である場合には、図８のライン４６および４８によって示されるように、ＣＩおよびＣＩバーはＣＯおよびＣＯバーにそれぞれ送られる。プログラマブル回路１２がプログラムされておりかつ図２ｂおよび図３ｂに示される実施例と同様である場合には、図８のライン５０および５２に示されるように、ＣＩおよびＣＩバーは出力ＣＯバーおよびＣＯに逆接続される。

【００３３】
次に図９を参照すると、装置１０の機能性の真理表が示される。層１のプログラマブル回路１２ａ、層２のプログラマブル回路１２ｂおよび層３のプログラマブル回路１２ｃは、示されるように、「１」値にプログラムされる。回路１２ａ、１２ｂおよび１２ｃがプログラムされないかまたはプログラムされていない場合には、「０」値が示される。図９の例示的実施例においては、３つの直列接続されるプログラマブル回路が用いられるが、図１および図４に示されるように、３つより少ないまたは３つより多いプログラマブル回路が互いに直列接続されてもよいことが理解される。簡略化のみの目的で、図９は、累積的なプログラムされた論理レベルCO_3を伴なうわずか３つのプログラムされた論理レベルの論理値を示す。特定的には、各層に対するプログラムされた値は互いに排他的論理和演算されて論理値出力を生ずる。図９の排他的論理和演算機能と同様に、図８の入力値と排他的論理和演算されてそれぞれの出力値を生ずる。排他的論理和演算機能により、１つ以上のマスク層への変更は単一の論理値に減少される。

【００３４】
プログラムされた出力はCO_Nで「１」論理値を示すものであることを理解するのは重要である。マスク層のいずれも変更されない場合、論理値は論理「０」レベルのままである。しかしながら、１つのマスク層が変更される場合には、そのマスク層の出力は他の層の変更されていない出力と排他的論理和演算されて、CO_Nで論理ハイの値を表わす。２つまたは偶数のマスクが変更される場合には、プログラムされた論理CO_Nに対して論理ハイの値を生じるよう、プログラマブルセル４２内の変更されていない（マスク）がさらに変更されなければならない。論理ハイの値がプログラムされた論理レベルで現れない場合、ユーザまたは製造業者はその独自の修正に対するプログラム状態を確認することができず、いずれのマスク層も修正されてはいないとしなければならない。したがって、偶数のマスクが修正される場合には、必要なプログラムされた出力のハイの値を生じるよう、さらにもう１つのマスク（プログラムされたセル領域において変更されていないマスク）を変更しなければならない。マスクの所定の組に対して奇数のマスクが変更される場合には、プログラムされた出力を生ずるのに、プログラムされたセル位置にあるマスクをさらに変更する必要はない。したがって、１つ以上のマスク層への任意の変更または修正は、プログラムされた論理レベルCO_Nで容易に１つの論理値に封じ込められる。

【００３５】
次に図１０を参照すると、図４の記憶装置３６からとられる修正コードが、各独自の２進コード表現に対する独自の修正と容易に結びつくよう示される。特定的には、最初の修正は２進の１の値（つまり００１）で表わされる。第２の修正は２進の２の値（つまり０１

０）で表わされる。さらに、修正はそれに続く２進値で表わされ、各２進値はその特定の修正のエンジニアリングログ修正または記述に対応する。図１０に示される修正コードは単に例示的な３つの２進論理値であって、当然ながら３つより多いまたは３つより少ない２進論理値が用いられ得るのを知っていることは重要である。
ユーザが自分のシステムに用いられている製品の特定のバージョンを判断したいと要求する場合、ユーザは動作中の記憶装置３６に接続されたピンの位置から修正コードを容易にかつ速やかに読出すことができる。記憶装置３６をクロックし、適当な修正コードを読出すことによって、２進値が表示される。ユーザはその修正コードを製造業者に連絡することができ、製造業者は図９に示されるのと同様の修正ログ（Revision Log）の修正コードを調べて、ユーザが実施しているパーツに対する特定の修正を判断することができる。修正コードがマスクの組Ｒｅｖ．Ｂを示し、Ｒｅｖ．ＢはＲｅｖ．Ｃよりも単により低速の装置である場合には、ユーザが現在遭遇している任意の速度経路の問題を解決するために、製造業者はユーザからＲｅｖ．Ｂパーツを交換してユーザにＲｅｖ．Ｃパーツを提供することができる。

【００３６】

この開示の利益を受ける当業者にとって、この発明は集積回路パッケージ内に実施されるさまざまなタイプの集積回路を伴なう適用例が可能であろうことが理解される。修正コードはパッケージをあけることなく容易にアクセス可能であり、修正コードはそのパッケージ内におかれる特定の製品の記述ログに相関され得る。さらに、図示され記載されるこの発明の形式は現在のところ好ましい実施例として受けとられるものであることも理解される。上述されるマスク層を利用するすべてのリソグラフィステップの各々に、様々な修正および変更がなされてもよい。すべては、この開示の利益を受ける当業者にとって明らかなようなものであろう。前掲の特許請求の範囲はすべてのそのような修正および変更を包含するよう解釈されることが意図され、したがって、明細書および図面は限定的な意味においてよりもむしろ例示的な意味において見られるものである。

【図面の簡単な説明】

【図１】この発明に従う、論理レベルをプログラミングするための装置のブロック図である。

【図２】（ａ）はこの発明に従う、プログラムされていない状態で示される第１の層のプログラマブル回路の上面レイアウト図であり、（ｂ）はこの発明に従う、プログラムされた状態で示される第１の層のプログラマブル回路の上面レイアウト図であり、（ｃ）は図２（ａ）および図２（ｂ）のプログラムされていない状態およびプログラムされた状態への変更（または再構成）の上面レイアウト図である。

【図３】（ａ）はこの発明に従う、プログラムされていない状態で示される第２の層のプログラマブル回路の上面レイアウト図であり、（ｂ）はこの発明に従う、プログラムされた状態で示される第２の層のプログラマブル回路の上面レイアウト図であり、（ｃ）は図３（ａ）および図３（ｂ）のプログラムされていない状態およびプログラムされた状態への変更（または再構成）の上面レイアウト図である。

【図４】この発明に従う、直列読出能力を有する記憶装置と並列して接続される、図１の複数の装置のブロック図である。

【図５】この発明に従う、選択マスク層でのマスク層修正と、その結果の、プログラマブルセル位置での２進オーダ修正とを示す図である。

【図６】この発明に従う、選択マスク層でのマスク層修正と、その結果の、プログラマブルセル位置での２進オーダ修正とを示す図である。

【図７】この発明に従う、選択マスク層でのマスク層修正と、その結果の、プログラマブルセル位置での２進オーダ修正とを示す図である。

【図８】この発明に従う、排他的論理和演算論理を示すプログラマブル回路機能の真理表を示す図である。

【図９】この発明に従うプログラマブル回路の例示的な３つの層を有する装置機能の真理表を示す図である。

【図１０】修正記述が各修正コードにあてはまる例示的な３つのビット数の位置を有する複数の装置からの修正コード読出を示す修正ログ探索テーブルを示す図である。

【符号の説明】

１０　論理レベルをプログラムするための装置

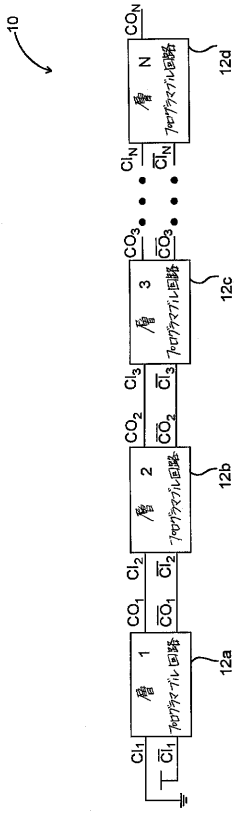
１２ａ　プログラマブル回路

１２ｂ　プログラマブル回路

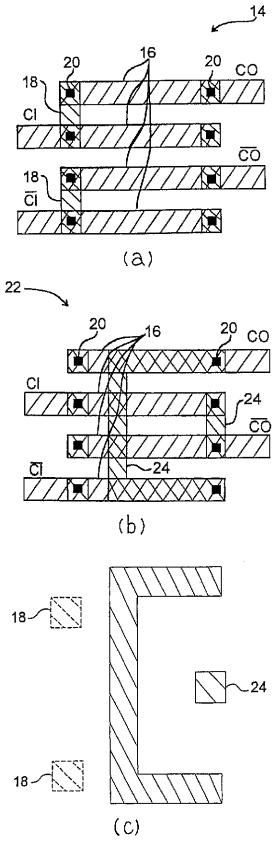
１２ｃ　プログラマブル回路

１２ｄ　プログラマブル回路

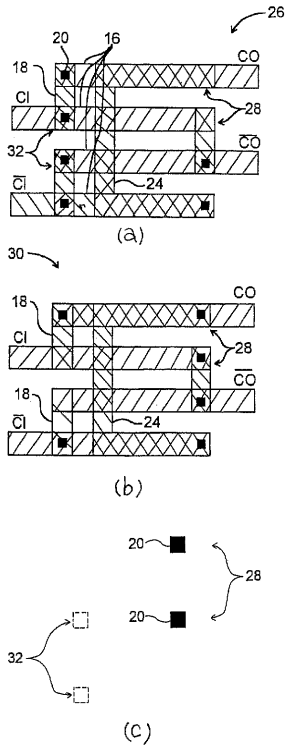
【図１】



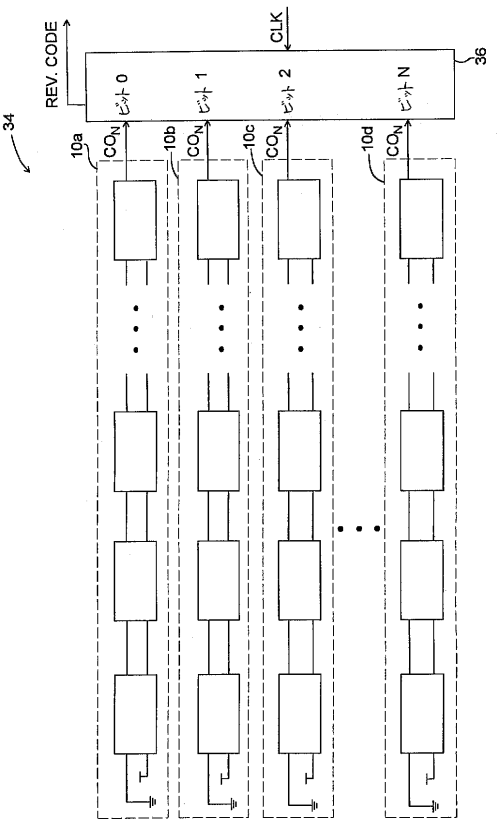
【図２】



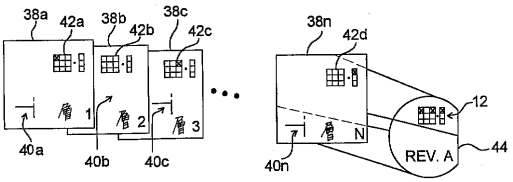
【図３】



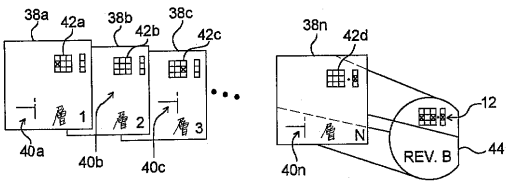
【図４】



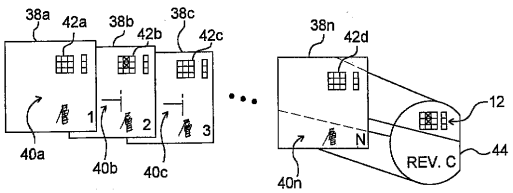
【図５】



【図６】



【図７】



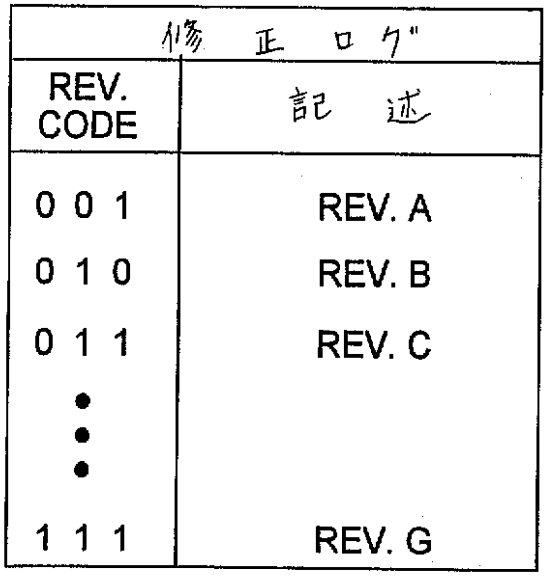
【図８】

プログラム値	CI	$\overline{CI}$	CO	$\overline{CO}$	
0	0	1	0	1	← 46
0	1	0	1	0	← 48
1	0	1	1	0	← 50
1	1	0	0	1	← 52

【図９】

プログラム値 層 1	プログラム値 層 2	プログラム値 層 3	CO_3
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

【図１０】



修正ログ	
REV. CODE	記述
0 0 1	REV. A
0 1 0	REV. B
0 1 1	REV. C
● ● ●	
1 1 1	REV. G

フロントページの続き

(51)Int.Cl.[7]　　ＦＩ
　　Ｈ０１Ｌ　21/30　　５１６Ｚ
　　Ｈ０１Ｌ　21/82　　Ａ

(74)代理人　100091409
　　弁理士　伊藤　英彦
(74)代理人　100096781
　　弁理士　堀井　豊
(72)発明者　エス・ダグ・レイ
　　アメリカ合衆国、７８７３９　テキサス州、オースティン、レドモンド・ロード、１０５１３

審査官　新井　重雄

(56)参考文献　特開昭５９－１７５７４１（ＪＰ，Ａ）
　　特開平０６－０９７２４０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
　　H01L 21/027
　　G03F　1/00
　　G03F　1/08
　　G03F　7/20　　521
　　H01L 21/82

(54)【発明の名称】装置への入力で固定された論理レベルを受取り、装置をリソグラフィ形成するのに用いられる少なくとも１つのマスク層の変更に従って装置の出力でプログラムされた論理レベルを生ずるための装置