



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I755694 B

(45)公告日：中華民國 111 (2022) 年 02 月 21 日

(21)申請案號：109108160

(22)申請日：中華民國 109 (2020) 年 03 月 12 日

(51)Int. Cl. : H01L29/737 (2006.01)

H01L21/331 (2006.01)

H01L21/36 (2006.01)

(71)申請人：力晶積成電子製造股份有限公司 (中華民國) POWERCHIP SEMICONDUCTOR  
MANUFACTURING CORPORATION (TW)

新竹市力行一路 18 號

(72)發明人：時國昇 SHIH, KUO-SHENG (TW)；廖宏魁 LIAO, HUNG-KWEI (TW)；劉振強 LIU,  
CHEN-CHIANG (TW)

(74)代理人：葉璟宗；卓俊傑

(56)參考文獻：

TW I394275B

TW I559532B

TW I6365569B

US 5557118B

US 6410396B1

US 6870204B2

US 9318585B1

US 9324846B1

審查人員：趙天生

申請專利範圍項數：7 項 圖式數：2 共 33 頁

(54)名稱

半導體元件及其製造方法

(57)摘要

本揭露提供半導體元件及其製造方法。半導體元件包括：第一磊晶層；第二磊晶層，設置於第一磊晶層上；第一半導體層，由第二磊晶層的上方往下延伸而接觸第二磊晶層，其中第一半導體層的縱向延伸區域具有主體部以及在主體部下方且自主體部延伸至第二磊晶層的延伸部，且主體部的寬度大於延伸部的寬度；以及第二半導體層，設置於第二磊晶層上並側向環繞第一半導體層的縱向延伸區域，其中第二半導體層的一部分延伸於第一半導體層的主體部與第二磊晶層之間，且交疊於第一半導體層的主體部與第二磊晶層。

A semiconductor device and a manufacturing method thereof are provided. The semiconductor device includes: a first epitaxial layer; a second epitaxial layer, disposed on the first epitaxial layer; a first semiconductor layer, extending to the second epitaxial layer from above the second epitaxial layer, wherein a vertically extending region of the first semiconductor layer has a body portion and an extending portion extending from a bottom end of the body portion to the second epitaxial layer, and the body portion has a width greater than a width of the extending portion; and a second semiconductor layer, disposed on the second epitaxial layer and laterally surrounding the vertically extending portion of the first semiconductor layer, wherein a portion of the second semiconductor layer is extending between and overlapped with the body portion of the first semiconductor layer and the second epitaxial layer.

指定代表圖：





I755694

## 【發明摘要】

【中文發明名稱】半導體元件及其製造方法

【英文發明名稱】 SEMICONDUCTOR DEVICE AND  
MANUFACTURING METHOD THEREOF

### 【中文】

本揭露提供半導體元件及其製造方法。半導體元件包括：第一磊晶層；第二磊晶層，設置於第一磊晶層上；第一半導體層，由第二磊晶層的上方往下延伸而接觸第二磊晶層，其中第一半導體層的縱向延伸區域具有主體部以及在主體部下方且自主體部延伸至第二磊晶層的延伸部，且主體部的寬度大於延伸部的寬度；以及第二半導體層，設置於第二磊晶層上並側向環繞第一半導體層的縱向延伸區域，其中第二半導體層的一部分延伸於第一半導體層的主體部與第二磊晶層之間，且交疊於第一半導體層的主體部與第二磊晶層。

### 【英文】

A semiconductor device and a manufacturing method thereof are provided. The semiconductor device includes: a first epitaxial layer; a second epitaxial layer, disposed on the first epitaxial layer; a first semiconductor layer, extending to the second epitaxial layer from above the second epitaxial layer, wherein a vertically extending

region of the first semiconductor layer has a body portion and an extending portion extending from a bottom end of the body portion to the second epitaxial layer, and the body portion has a width greater than a width of the extending portion; and a second semiconductor layer, disposed on the second epitaxial layer and laterally surrounding the vertically extending portion of the first semiconductor layer, wherein a portion of the second semiconductor layer is extending between and overlapped with the body portion of the first semiconductor layer and the second epitaxial layer.

【指定代表圖】圖2P。

【代表圖之符號簡單說明】

10:半導體元件

100:基底

102:井區

104、114:磊晶層

106、108:隔離結構

106a:上部

106b:下部

110、112:重摻雜區

114p、114m：部分

116':襯墊圖案

120、128:半導體層

120a:延伸部分

122:介電層

124:絕緣層

128b:本體部

128e:延伸部

130:金屬矽化物層

【特徵化學式】無

## 【發明說明書】

【中文發明名稱】半導體元件及其製造方法

【英文發明名稱】 SEMICONDUCTOR DEVICE AND  
MANUFACTURING METHOD THEREOF

### 【技術領域】

【0001】 本揭露是有關於一種半導體元件及其製造方法，且特別是有關於一種異質雙極性接面電晶體（heterojunction bipolar transistor，HBT）元件及其製造方法。

### 【先前技術】

【0002】 雙極性接面電晶體（bipolar junction transistor，BJT）為一種具有三端點的半導體元件。與單極性電晶體（例如是場效應電晶體）不同，BJT的運作涉及電子與電洞兩種載子的流動，故具有雙極性。BJT能夠作為訊號放大器，且具有功率控制能力佳、高速運作及高耐久性等优点。

【0003】 異質雙極性接面電晶體（heterojunction bipolar transistor，HBT）為一種BJT。HBT的射極與基極採用不同的材料，而使得射極與基極形成異質接面（heterojunction）。相較於具有均質接面的BJT而言，HBT能夠處理更高頻的訊號。因此，HBT能夠被運用於通訊元件、高速電路等應用中。

**【發明內容】**

**【0004】** 本揭露提供一種 HBT 及其製造方法，能夠提高 HBT 元件的操作頻率。

**【0005】** 本揭露的一個態樣提供一種半導體元件。所述半導體元件包括：第一磊晶層，具有第一導電型；第二磊晶層，設置於所述第一磊晶層上，且具有與所述第一導電型相反的第二導電型；第一半導體層，由所述第二磊晶層的上方往下延伸而接觸所述第二磊晶層，且具有所述第一導電型，其中所述第一半導體層的縱向延伸區域具有主體部以及在所述主體部下方且自所述主體部的底端延伸至所述第二磊晶層的延伸部，且所述主體部的寬度大於所述延伸部的寬度；以及第二半導體層，設置於所述第二磊晶層上並側向環繞所述第一半導體層的所述縱向延伸區域，其中所述第二半導體層的一部分延伸於所述第一半導體層的所述主體部與所述第二磊晶層之間，且在垂直方向上交疊於所述第一半導體層的所述主體部與所述第二磊晶層。

**【0006】** 在一些實施例中，所述第二半導體層的所述部分與所述第一半導體層的所述延伸部側向間隔開。

**【0007】** 在一些實施例中，所述第二半導體層的所述部分藉由襯墊圖案而側向連接於所述第一半導體層的所述延伸部。

**【0008】** 在一些實施例中，所述半導體元件更包括絕緣層，延伸於所述第一半導體層的所述主體部與所述第二半導體層之間以及所述第一半導體層的所述主體部與所述襯墊圖案之間。

【0009】 在一些實施例中，所述第一半導體層更具有橫向延伸區域，其中所述縱向延伸部分位於所述橫向延伸區域下方並由所述橫向延伸區域的底端往下延伸，且所述橫向延伸區域在所述垂直方向上與所述第二半導體層隔開。

【0010】 在一些實施例中，所述第一半導體層的所述橫向延伸區域藉由介電層而連接於所述第二半導體層。

【0011】 本揭露的另一個態樣提供一種半導體元件的製造方法。所述方法包括：在基底上依序形成第一磊晶層與第二磊晶層；在所述第二磊晶層上形成襯墊圖案與遮罩圖案，其中所述襯墊圖案位於所述第二磊晶層與所述遮罩圖案之間，且所述襯墊圖案的側壁相對於所述遮罩圖案的側壁而內縮；在所述第二磊晶層上形成第一半導體層，其中所述第一半導體層覆蓋所述遮罩圖案的側壁且延伸至所述遮罩圖案與所述第二磊晶層之間，且所述第一半導體層的最頂端低於所述遮罩圖案的頂面；移除所述遮罩圖案，以暴露出所述第一半導體層的內壁以及所述襯墊圖案的頂面；移除所述襯墊圖案的頂面；移除所述襯墊圖案的頂面；移除所述襯墊圖案的頂面；以及在所述第二磊晶層的暴露部分上形成第二半導體層。

【0012】 在一些實施例中，形成所述第一半導體層的方法包括：在所述第二磊晶層上形成覆蓋所述遮罩圖案的半導體材料層；以及對所述半導體材料層進行回蝕刻，以形成所述第一半導體層。

【0013】 在一些實施例中，在移除所述遮罩圖案之後且在移除所述襯墊圖案的所述中心部分之前，更包括：形成覆蓋所述第一半導

體層的所述內壁以及所述襯墊圖案的所述頂面的絕緣層；在所述絕緣層上形成覆蓋所述第一半導體層的所述內壁以及所述襯墊圖案的邊緣部分之間隙壁；以所述間隙壁為遮罩移除所述絕緣層的一部分，以暴露出所述襯墊圖案的所述中心部分；以及移除所述間隙壁。

【0014】 在一些實施例中，藉由等向性蝕刻製程移除所述襯墊圖案的所述中心部分。

【0015】 基於上述，本揭露的半導體元件可為一種 HBT 元件，且包括作為基極的磊晶層、作為基極接觸層半導體層以及作為射極的另一半導體層。射極由基極的上方往下延伸而接觸基極，且射極的縱向延伸區域具有主體部以及由主體部的底端往下延伸而接觸基極的延伸部。主體部的寬度大於延伸部的寬度。基極接觸層側向環繞射極的縱向延伸區域，且更延伸至射極的主體部與基極之間。如此一來，可增加基極接觸層與基極的接觸面積，進而降低基極接觸層與基極之間的接觸電阻。此接觸電阻反比於半導體元件的操作頻率。因此，降低上述接觸電阻可使半導體元件能夠操作於更高的頻率。

### 【圖式簡單說明】

#### 【0016】

圖 1 是依照本發明一些實施例的半導體元件的製造方法的流程圖。

圖 2A 至圖 2P 是在圖 1 的製造流程中各階段的結構的剖視示意圖。

### 【實施方式】

【0017】 圖 1 是依照本發明一些實施例的半導體元件的製造方法的流程圖。圖 2A 至圖 2P 是在圖 1 的製造流程中各階段的結構的剖視示意圖。

【0018】 根據本發明一些實施例，上述半導體元件（如圖 2P 所示的半導體元件 10）為一種雙極性接面電晶體（bipolar junction transistor，BJT）元件，例如是一種異質雙極性接面電晶體（heterojunction bipolar transistor，HBT）元件。在一些實施例中，上述半導體元件的製造方法包括下述步驟。

【0019】 請參照圖 1 與圖 2A，進行步驟 S100，以在基底 100 中形成井區 102。在一些實施例中，基底 100 為半導體基底或半導體上覆絕緣體（semiconductor-on-insulator，SOI）基底。半導體基底或 SOI 基底中的半導體材料可包括元素半導體（例如 Si、Ge 等）、合金半導體（例如 SiGe 等）、化合物半導體（例如 III-V 族半導體等）等，且上述半導體材料可經摻雜為第一導電型或與第一導電型互補或相反的第二導電型。舉例而言，第一導電型可為 N 型，而第二導電型可為 P 型。井區 102 由基底 100 的表面往基底 100 的內部延伸。在一些實施例中，井區 102 的導電型不同於基底 100 的導電型。舉例而言，基底 100 可為第一導電型，而井區 102 可為

第二導電型。由於在後續步驟中井區 102 將會被其他構件覆蓋，故井區 102 也可稱作為埋入式井區 (buried well)。此外，在一些實施例中，可藉由對基底 100 進行離子植入製程而形成井區 102。

**【0020】** 請參照圖 1 與圖 2B，進行步驟 S102，以在井區 102 上形成磊晶層 104。在一些實施例中，磊晶層 104 可作為最終形成的 HBT 元件的集極 (collector)，而井區 102 可作為集極的接觸區 (contact region) 之一部分。在此些實施例中，磊晶層 104 與井區 102 具有相同的導電型 (例如是第一導電型)。此外，磊晶層 104 的摻雜濃度可低於井區 102 的摻雜濃度。作為替代地，磊晶層 104 的摻雜濃度也可約等於或高於井區 102 的摻雜濃度。在一些實施例中，磊晶層 104 的材料相異於基底 100 的材料。舉例而言，基底 100 的材料可包括 Si，而磊晶層 104 的材料可包括 SiC。然而，所屬領域中具有通常知識者可依據製程需求選擇基底 100 與磊晶層 104 的材料，基底 100 與磊晶層 104 並非必然由不同的材料構成。

**【0021】** 請參照圖 1 與圖 2C，進行步驟 S104，以在目前的結構中形成隔離結構 106 與隔離結構 108。隔離結構 106 與隔離結構 108 定義出最終形成的 HBT 元件的主動區 (亦即隔離結構 106 與隔離結構 108 之間的區域)。需注意的是，由剖視圖 (圖 2C) 來看，隔離結構 106 與隔離結構 108 可顯示為分離的結構。儘管如此，隔離結構 106 與隔離結構 108 的上視圖案 (未繪示) 可彼此相連，而圍繞上述的主動區。在一些實施例中，隔離結構 106 由磊晶層

104 的表面穿過井區 102 而延伸至基底 100 中。在此些實施例中，隔離結構 106 可具有上部 106a 與下部 106b。上部 106a 由磊晶層 104 的頂面延伸至磊晶層 104 中。在一些實施例中，上部 106a 可不貫穿磊晶層 104，而使得上部 106a 的底端高於磊晶層 104 的底端。下部 106b 則可由上部 106a 的底端向下穿過井區 102 而延伸至基底 100 中。在一些實施例中，上部 106a 的寬度大於下部 106a 的寬度。另一方面，隔離結構 108 在結構上可相似於隔離結構 106 的上部 106a，而由磊晶層 104 的頂面往下延伸至磊晶層 104 中。隔離結構 106 與隔離結構 108 可由絕緣材料構成。在特定實施例中，更可在隔離結構 106 的下部 106b 中填入導電材料或半導體材料（未繪示）。在此些特定實施例中，導電材料或半導體材料可被絕緣材料圍繞，以使導電材料或半導體材料的底面與側壁被絕緣材料覆蓋。

**【0022】** 請參照圖 1 與圖 2D，選擇性地進行步驟 S106，而在磊晶層 104 中形成重摻雜區 110 重摻雜區 112。重摻雜區 110 與重摻雜區 112 由磊晶層 104 的頂面往下延伸貫穿磊晶層 104，而接觸下伏的井區 102。在一些實施例中，重摻雜區 110 與重摻雜區 112 更可延伸至井區 102 中。重摻雜區 110 位於隔離結構 106 與隔離結構 108 所定義出的主動區內，而重摻雜區 112 可位於主動區外。換言之，重摻雜區 110 可位於隔離結構 106 與隔離結構 108 之間，而重摻雜區 112 則可位於隔離結構 106 與隔離結構 108 的外側。重摻雜區 110、重摻雜區 112、磊晶層 104 以及井區 102 皆具有第一

導電型，且重摻雜區 110 與重摻雜區 112 的摻雜濃度可高於磊晶層 104 的摻雜濃度。井區 102 與重摻雜區 112 可共同地作為最終形成的 HBT 元件的集極之接觸區。另外，藉由設置重摻雜區 110，可調整集極與後續形成的基極（base）之間的空乏區之輪廓。在 HBT 應用於低電壓操作時，可設置重摻雜區 110。作為替代地，當 HBT 元件應用於其他電壓範圍時，可省略設置重摻雜區 110。在一些實施例中，可藉由離子植入製程形成重摻雜區 110 與重摻雜區 112。

**【0023】** 請參照圖 1 與圖 2E，進行步驟 S108，以依序形成磊晶層 114、襯墊層 116 與遮罩層 118。磊晶層 114、襯墊層 116 與遮罩層 118 可覆蓋圖 2D 所示的結構，而上覆於磊晶層 104、隔離結構 106、隔離結構 108、重摻雜區 110 與重摻雜區 112 上。磊晶層 114 可具有第二導電型，且可作為最終形成的 HBT 元件的基極。在一些實施例中，磊晶層 114 的材料包括包括 SiGe。在設置有隔離結構 106 與隔離結構 108 的實施例中，磊晶層 114 的交疊於隔離結構 106 與隔離結構 108 的部分 114p 可具有多晶相，而磊晶層 114 的交疊於磊晶層 104、重摻雜區 110 與重摻雜區 112 的其他部分 114m 則可具有單晶相。在特定情形下，多晶部分 114p 與單晶部分 114m 之間的交界（如圖 2E 的虛線所示）可斜向地延伸，但本揭露並不以此為限。另一方面，襯墊層 116 與遮罩層 118 形成於磊晶層 114 上，且襯墊層 116 位於磊晶層 114 與遮罩層 118 之間。襯墊層 116 可相對於遮罩層 118 而具有足夠的蝕刻選擇比，而可避免蝕刻襯

墊層 116 與遮罩層 118 的其中一者時影響另外一者。在一些實施例中，襯墊層 116 的材料包括氧化矽，而遮罩層 118 的材料包括氮化矽。此外，在一些實施例中，遮罩層 118 的厚度大於襯墊層 116 的厚度。舉例而言，遮罩層 118 的厚度對於襯墊層 116 的厚度之比值可大於 7。

**【0024】** 請參照圖 1 與圖 2F，進行步驟 S110，以圖案化襯墊層 116 與遮罩層 118。經圖案化的襯墊層 116（以下稱襯墊圖案 116'）與經圖案化的遮罩層 118（以下稱遮罩圖案 118'）可交疊於形成在磊晶層 104 中的重摻雜區 110。在一些實施例中，先圖案化遮罩層 118 再圖案化襯墊層 116。在此些實施例中，可先在遮罩層 118 上形成光阻圖案（未繪示），接著以此光阻圖案為遮罩而藉由非等向性蝕刻製程移除遮罩層 118 的一些部分，以形成遮罩圖案 118'。隨後，以遮罩圖案 118' 為遮罩而移除襯墊層 116 的一些部分，以形成襯墊圖案 116'。在圖案化襯墊層 116 的過程中，可使用等向性蝕刻製程，而使得蝕刻劑可側向地蝕刻襯墊層 116 的位於遮罩圖案 118' 的邊緣部分下方的部分。如此一來，所形成的襯墊圖案 116' 可相對於遮罩圖案 118' 的側壁而內縮。換言之，遮罩圖案 118' 的邊緣部分可不交疊於襯墊圖案 116'。據此，後續所形成的半導體層 120（如圖 2G 所示）可延伸至遮罩圖案 118' 的邊緣部分下方。

**【0025】** 請參照圖 1 與圖 2G，進行步驟 S112，以形成半導體層 120。此時，半導體層 120 可共形地且實質上全面地覆蓋圖 2F 所示的結構。換言之，半導體層 120 此時可覆蓋磊晶層 114 與遮罩

圖案 118'。此外，半導體層 120 的延伸部分 120a 更可延伸至遮罩圖案 118' 的邊緣部分之下方。在一些實施例中，半導體層 120 側向連接於襯墊圖案 116'。在替代實施例中，半導體層 120 並未接觸襯墊圖案 116'。半導體層 120 可由半導體材料構成，並具有第二導電型。在一些實施例中，半導體層 120 的摻雜濃度高於基極（亦即磊晶層 114）的摻雜濃度，且可作為基極（亦即磊晶層 114）的接觸層。在一些實施例中，半導體層 120 的材料包括多晶矽。如上所述，由於半導體層 120 可橫向地延伸至遮罩圖案 118' 的邊緣部分之下方，故可增加半導體層 120 與磊晶層 114 的接觸面積，而可降低半導體層 120 與磊晶層 114 的接觸電阻。

**【0026】** 請參照圖 1 與圖 2H，進行步驟 S114，對半導體層 120 進行回蝕刻（etch back）。在一些實施中，上述回蝕刻製程可進行至半導體層 120 的最頂端低於遮罩圖案 118' 的頂面。此時，遮罩圖案 118' 的頂面以及一部分的側壁暴露出來，且相較於半導體層 120 的最頂部而凸出。另外，半導體層 120 的厚度可在此回蝕刻製程中被減薄。所屬領域中具有通常知識者可依據製程需求調整回蝕刻製程的處理時間以調整半導體層 120 的形貌。本揭露並不以半導體層 120 的特定形貌為限，只要半導體層 120 的最頂端低於遮罩圖案 118' 的頂面。

**【0027】** 請參照圖 1 與圖 2I，進行步驟 S116，以在目前結構上形成介電層 122。在一些實施例中，介電層 122 全面地覆蓋圖 2H 所示的結構。換言之，介電層 122 可覆蓋半導體層 120 的頂面、遮

罩圖案 118' 的頂面以及遮罩圖案 118' 的一部分側壁。介電層 122 的材料可包括氧化矽、氮化矽、氮氧化矽、其類似者或其組合。

**【0028】** 請參照圖 1 與圖 2J，進行步驟 S118，以對介電層 122 進行平坦化製程。在此平坦化製程期間，可移除介電層 122 的頂部，而暴露出遮罩圖案 118' 的頂面。然而，經平坦化的介電層 122 仍覆蓋半導體層 120 以及遮罩圖案 118' 的一部分側壁。在一些實施例中，經平坦化的介電層 122 的頂面實質上共面於遮罩圖案 118' 的頂面。舉例而言，平坦化製程可包括化學機械研磨製程、蝕刻製程或其組合。由於半導體層 120 經回蝕刻而低於遮罩圖案 118' 且被介電層 122 覆蓋，故可避免半導體層 120 在縱向上直接接觸後續形成的射極 (emitter)。

**【0029】** 請參照圖 1 與圖 2K，進行步驟 S120，以移除遮罩圖案 118'。如此一來，在目前結構上形成凹陷 RS，而暴露出襯墊圖案 116' 的頂面、半導體層 120 的延伸部分 120a 的頂面、半導體層 120 的另一部分之內壁以及介電層 122 的一部分之內壁。後續步驟中所形成的射極可填充此凹陷 RS。在一些實施例中，可藉由蝕刻製成移除遮罩圖案 118'。舉例而言，此蝕刻製程可為等向性蝕刻製程或非等向性蝕刻製程。

**【0030】** 請參照圖 1 與圖 2L，進行步驟 S122，以在目前的結構上依序形成絕緣層 124 以及間隙壁 126。絕緣層 124 共形地且全面地毯覆於圖 2K 所示的結構上，且可由絕緣材料 (例如是氮化矽) 構成。在最終形成的 HBT 元件中 (如圖 2P 所示)，半導體層 120 可

藉由絕緣層 124 而側向地與後續所形成的射極電性隔離。另一方面，間隙壁 126 形成於凹陷 RS 中，且覆蓋凹陷 RS 的側壁。儘管圖 2L 僅示出間隙壁 126 的兩相對之部分，間隙壁 126 實際上可環繞於凹陷 RS 的內側。間隙壁 126 可作為後續步驟中的蝕刻遮罩，且間隙壁 126 的底部所環繞的開口定義出絕緣層 124 與襯墊圖案 116' 即將被移除的部分。在一些實施例中，間隙壁 126 覆蓋凹陷 RS 的一部分底面，但至少暴露出襯墊圖案 116' 的一部分。如圖 2L 所示，間隙壁 126 覆蓋半導體層 120 的延伸部分 120a 以及襯墊圖案 116' 的邊緣部分，但並未覆蓋襯墊圖案 116' 的中心部分。在一些實施例中，間隙壁 126 可由半導體材料（例如是多晶矽）構成。此外，在一些實施例中，間隙壁 126 的形成方法包括先全面地在絕緣層 124 上形成間隙壁材料層（未繪示）。隨後，以例如是非等向性蝕刻的方法移除間隙壁材料層的位於介電層 122 的頂面上以及凹陷 RS 的中心區域的部分，而形成圖 2L 所示的間隙壁 126。

**【0031】** 請參照圖 1 與圖 2M，進行步驟 S124，而以間隙壁 126 作為遮罩移除絕緣層 124 的暴露部分。如圖 2L 與圖 2M 所示，絕緣層 124 的位於介電層 122 頂面上的部分以及被間隙壁 126 圍繞的部分被移除，而暴露出介電層 122 的頂面以及襯墊圖案 116' 的中心部分。此時，以剖視示意圖（即圖 2M）來看，絕緣層 124 的殘留部分可為彼此相對的兩個「L」形結構。此外，間隙壁 126 的頂端可能凸出於介電層 122 的頂面以及殘留的絕緣層 124 之最頂端。在一些實施例中，可使用蝕刻製程（例如是非等向性蝕刻製程）來

移除絕緣層 124 的上述部分。

【0032】請參照圖 1 與圖 2N，進行步驟 S126，以移除間隙壁 126 以及襯墊圖案 116' 的暴露部分。移除間隙壁 126 可使絕緣層 124 的殘留部分被暴露出來。在一些實施例中，可藉由蝕刻製程（例如是等向性蝕刻製程）來完成間隙壁 126 的移除。在移除間隙壁 126 之後，可藉由另一蝕刻製程移除襯墊圖案 116' 的未被絕緣層 124 遮蔽的部分，而暴露出下伏的磊晶層 114。如此一來，隨後形成的射極可接觸基極（亦即磊晶層 114）。在一些實施例中，用於移除襯墊圖案 116' 的上述部分的蝕刻製程為等向性蝕刻製程（例如是濕式蝕刻製程）。在此些實施例中，由於襯墊圖案 116' 可相對於磊晶層 114 而具有足夠的蝕刻選擇比，故可避免磊晶層 114 在蝕刻襯墊圖案 116' 期間受到損害。在特定實施例中，磊晶層 114 的暴露部分具有實質上為平坦的頂面。

【0033】請參照圖 1 與圖 2O，進行步驟 S128，以形成半導體層 128。在一些實施例中，半導體層 128 可全面地形成於圖 2N 的結構上，且填充凹陷 RS。換言之，半導體層 128 可覆蓋介電層 122 的頂面、絕緣層 124 的表面與襯墊圖案 116' 的側壁，並接觸於磊晶層 114 的一部分。在一些實施例中，半導體層 128 的頂面具有對應於凹陷 RS（如圖 2M 所示）的凹陷 RS'。半導體層 128 可由半導體材料構成並具有第一導電型，且可作為最終形成的 HBT 元件的射極。構成射極（半導體層 128）的半導體材料可相異於構成基極（磊晶層 114）的半導體材料，故射極與基極可形成異質界面

(heterojunction)。舉例而言，半導體層 128 的材料可包括多晶矽，而磊晶層 114 的材料可包括 SiGe。此外，在縱向上，半導體層 128 可藉由介電層 122 而與半導體層 120 相互電性隔離。另一方面，在橫向上，可藉由絕緣層 124 與襯墊圖案 116'而使半導體層 128 與半導體層 120 相互電性隔離。

【0034】請參照圖 1 與圖 2P，進行步驟 S130，而圖案化磊晶層 114、半導體層 120、介電層 122 與半導體層 128。經圖案化的磊晶層 114、半導體層 120、介電層 122 與半導體層 128 可交疊於隔離結構 106、隔離結構 108 所定義出的主動區，且暴露出在主動區外側的重摻雜區 112。在一些實施例中，可藉由一次微影製程與一或多次蝕刻製程來圖案化半導體層 128 與介電層 122。隨後，可藉由另一次微影製程與至少一次蝕刻製程來圖案化半導體層 120 與磊晶層 114。在此些實施例中，經圖案化的半導體層 128 與介電層 122 可具有實質上相同的第一面積 (footprint area)，且延伸於隔離結構 106 與隔離結構 108 所定義出的主動區之範圍內。另一方面，經圖案化的半導體層 120 與磊晶層 114 可具有實質上相同的第二面積。第二面積可大於第一面積，而使半導體層 120 的一部分之表面暴露出來。此外，經圖案化的半導體層 120 與磊晶層 114 可至少部分地交疊於隔離結構 106 與隔離結構 108。作為替代地，經圖案化的半導體層 120 與磊晶層 114 可不交疊於隔離結構 106 與隔離結構 108。

【0035】在一些實施例中，隨後可在半導體層 128、半導體層 120

與磊晶層 104 的暴露出來之表面上形成金屬矽化物層 130。舉例而言，金屬矽化物層 130 的材料可包括 CoSi、TiSi、NiSi、其類似者或其組合。在半導體層 128、半導體層 120 與磊晶層 104 含矽的實施例中，半導體層 128、半導體層 120 與磊晶層 104 的暴露部分的表層可在熱處理期間與金屬元素反應，而形成金屬矽化物。然而，所屬領域中具有通常知識者可依據製程需求而選擇其他適合的方法形成金屬矽化物層 130，本揭露並不以此為限。

【0036】至此，已形成 HBT 元件 10。如圖 2P 所示，HBT 元件 10 可為平台式 (mesa) 的 HBT 元件。換言之，HBT 元件 10 的至少一些部分可形成在基底 100 上方，且此些部分可經形成為具有平台部分的堆疊結構。井區 102 與磊晶層 104 (或井區 102、磊晶層 104 與重摻雜區 110) 可共同地作為 HBT 元件 10 的集極，且具有第一導電型。形成於磊晶層 104 中的重摻雜區 112 可作為集極的接觸區，且亦具有第一導電型。另外，磊晶層 114 可作為 HBT 元件 10 的基極，並具有第二導電型。形成於磊晶層 114 上的半導體層 120 可同樣具有第二導電型，且可作為基極 (亦即磊晶層 114) 的接觸層。再者，延伸穿過半導體層 120 而接觸磊晶層 114 (基極) 的半導體層 128 可作為 HBT 元件 10 的射極，且具有第一導電型。半導體層 128 的被半導體層 120 環繞的縱向延伸區域可視為具有本體部 128b 與自本體部 128b 向下延伸而接觸磊晶層 114 的延伸部 128e。半導體層 128 的本體部 128b 較延伸部 128e 寬，且半導體層 120 的一部分 (亦即延伸部分 120a) 延伸於半導體層 128 的

本體部 128b 與磊晶層 114 之間，而可增加半導體層 120 與磊晶層 114 的接觸面積，進而降低半導體層 120 與磊晶層 114 之間的接觸電阻。此接觸電阻反比於 HBT 元件 10 的操作頻率。換言之，降低此接觸電阻可使 HBT 元件 10 能夠操作於更高的頻率。另一方面，半導體層 120 的延伸部分 120a 可藉由絕緣層 124 與襯墊圖案 116' 而與半導體層 128 相互電性隔離。

【0037】 儘管未繪示出，但更可在基底 100 中與基底 100 上形成其他半導體元件，且在 HBT 元件 10 與此些半導體元件上形成內連線結構。舉例而言，此些半導體元件可包括均質的 (homogeneous) BJT 元件、金屬氧化物半導體 (metal-oxide-semiconductor, MOS) 電晶體元件、其類似者或其組合。

【0038】 綜上所述，本揭露的半導體元件可為一種 HBT 元件，且包括作為基極的磊晶層、作為基極接觸層半導體層以及作為射極的另一半導體層。射極由基極的上方往下延伸而接觸基極，且射極的縱向延伸區域具有主體部以及由主體部的底端往下延伸而接觸基極的延伸部。基極接觸層側向環繞射極的縱向延伸區域，且更延伸至射極的主體部與基極之間。如此一來，可增加基極接觸層與基極的接觸面積，進而降低基極接觸層與基極之間的接觸電阻。此接觸電阻反比於半導體元件的操作頻率。因此，降低上述接觸電阻可使半導體元件能夠操作於更高的頻率。

【符號說明】

## 【0039】

- 10:半導體元件
- 100:基底
- 102:井區
- 104、114:磊晶層
- 106、108:隔離結構
- 106a:上部
- 106b:下部
- 110、112:重摻雜區
- 114p、114m：部分
- 116:襯墊層
- 116':襯墊圖案
- 118:遮罩層
- 118':遮罩圖案
- 120、128:半導體層
- 120a:延伸部分
- 122:介電層
- 124:絕緣層
- 126:間隙壁
- 128b:本體部
- 128e:延伸部
- 130:金屬矽化物層

RS、RS':凹陷

S100、S102、S104、S106、S108、S110、S112、S114、  
S116、S118、S120、S122、S124、S126、S128、S130:步驟

## 【發明申請專利範圍】

【請求項1】 一種半導體元件，包括：

第一磊晶層，具有第一導電型；

第二磊晶層，設置於所述第一磊晶層上，且具有與所述第一導電型相反的第二導電型；

第一半導體層，由所述第二磊晶層的上方往下延伸而接觸所述第二磊晶層，且具有所述第一導電型，其中所述第一半導體層的縱向延伸區域具有主體部以及在所述主體部下方且自所述主體部的底端延伸至所述第二磊晶層的延伸部，且所述主體部的寬度大於所述延伸部的寬度；

第二半導體層，設置於所述第二磊晶層上並側向環繞所述第一半導體層的所述縱向延伸區域，其中所述第二半導體層的一部分延伸於所述第一半導體層的所述主體部與所述第二磊晶層之間，且在垂直方向上交疊於所述第一半導體層的所述主體部與所述第二磊晶層，其中所述第二半導體層的所述部分與所述第一半導體層的所述延伸部側向間隔開，所述第二半導體層的所述部分藉由襯墊圖案而側向連結於所述第一半導體層的所述延伸部；以及

絕緣層，延伸於所述第一半導體層的所述主體部與所述第二半導體層之間以及所述第一半導體層的所述主體部與所述襯墊圖案之間。

【請求項2】 如申請專利範圍第1項所述的半導體元件，其中所述第一半導體層更具有橫向延伸區域，其中所述縱向延伸區域位

於所述橫向延伸區域下方並由所述橫向延伸區域的底端往下延伸，且所述橫向延伸區域在所述垂直方向上與所述第二半導體層隔開。

**【請求項 3】** 如申請專利範圍第 2 項所述的半導體元件，其中所述第一半導體層的所述橫向延伸區域藉由介電層而連結於所述第二半導體層。

**【請求項 4】** 一種半導體元件的製造方法，包括：

在基底上依序形成第一磊晶層與第二磊晶層；

在所述第二磊晶層上形成襯墊圖案與遮罩圖案，其中所述襯墊圖案位於所述第二磊晶層與所述遮罩圖案之間，且所述襯墊圖案的側壁相對於所述遮罩圖案的側壁而內縮；

在所述第二磊晶層上形成第一半導體層，其中所述第一半導體層覆蓋所述遮罩圖案的側壁且延伸至所述遮罩圖案與所述第二磊晶層之間，且所述第一半導體層的最頂端低於所述遮罩圖案的頂面；

移除所述遮罩圖案，以暴露出所述第一半導體層的內壁以及所述襯墊圖案的頂面；

移除所述襯墊圖案的中心部分，以暴露出所述第二磊晶層的一部分；以及

在所述第二磊晶層的暴露部分上形成第二半導體層。

**【請求項 5】** 如申請專利範圍第 4 項所述的半導體元件的製造方法，其中形成所述第一半導體層的方法包括：

在所述第二磊晶層上形成覆蓋所述遮罩圖案的半導體材料層；

以及

對所述半導體材料層進行回蝕刻，以形成所述第一半導體層。

**【請求項 6】** 如申請專利範圍第 4 項所述的半導體元件的製造方法，在移除所述遮罩圖案之後且在移除所述襯墊圖案的所述中心部分之前，更包括：

形成覆蓋所述第一半導體層的所述內壁以及所述襯墊圖案的所述頂面的絕緣層；

在所述絕緣層上形成覆蓋所述第一半導體層的所述內壁以及所述襯墊圖案的邊緣部分的間隙壁；

以所述間隙壁為遮罩移除所述絕緣層的一部分，以暴露出所述襯墊圖案的所述中心部分；以及

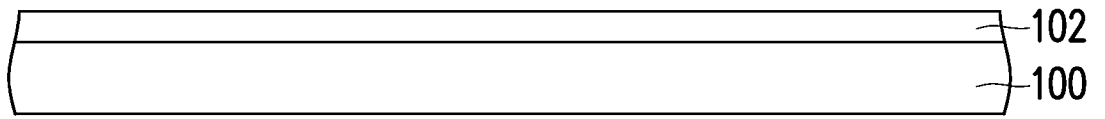
移除所述間隙壁。

**【請求項 7】** 如申請專利範圍第 4 項所述的半導體元件的製造方法，其中藉由等向性蝕刻製程移除所述襯墊圖案的所述中心部分。

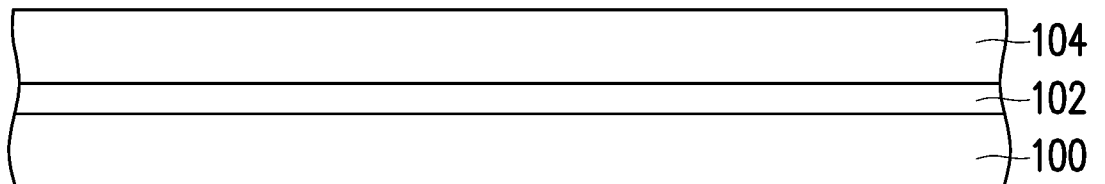
## 【發明圖式】



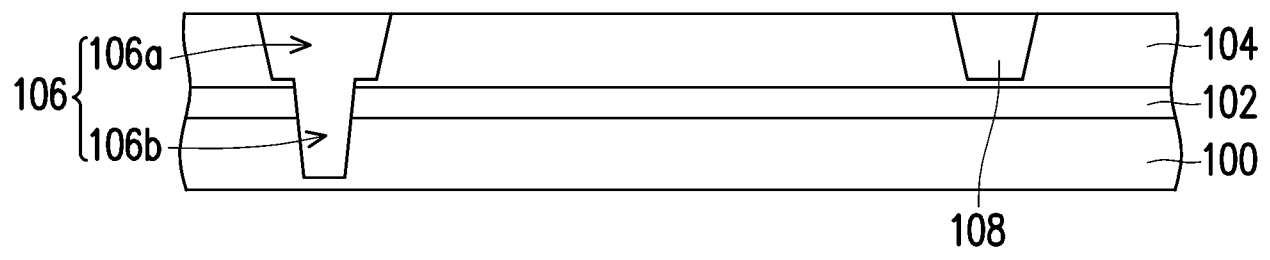
【圖1】



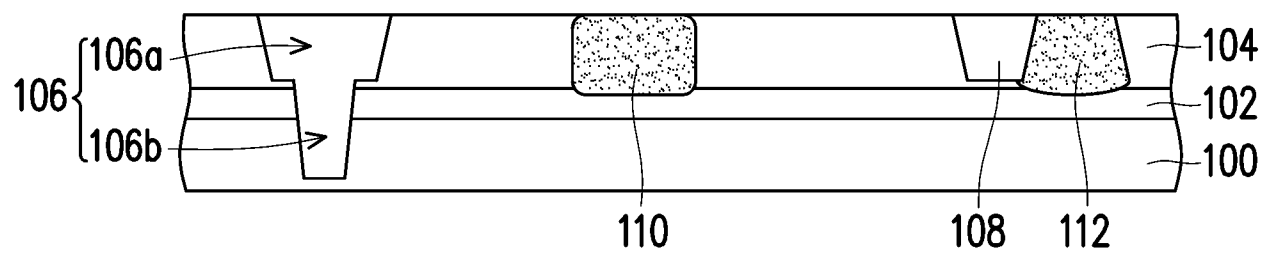
【圖2A】



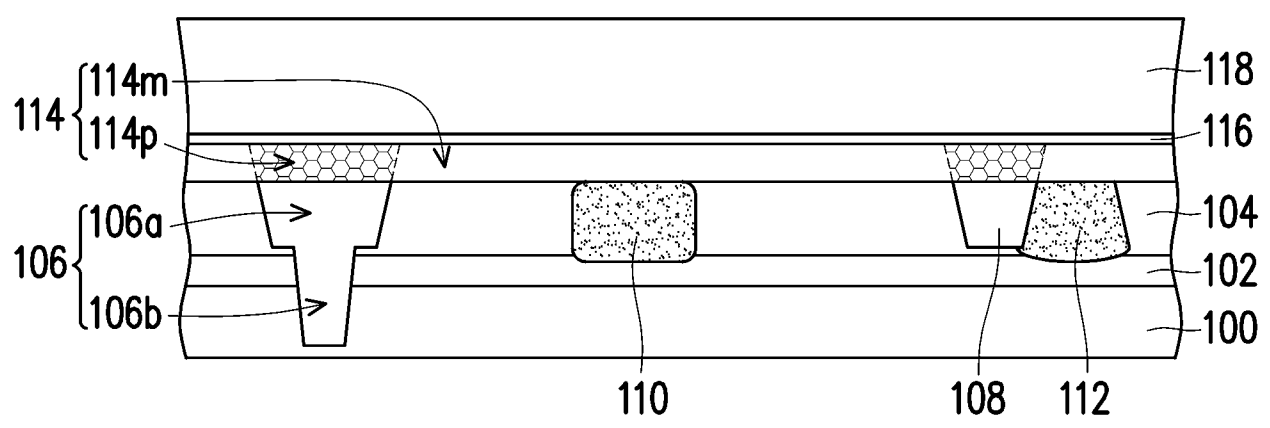
【圖2B】



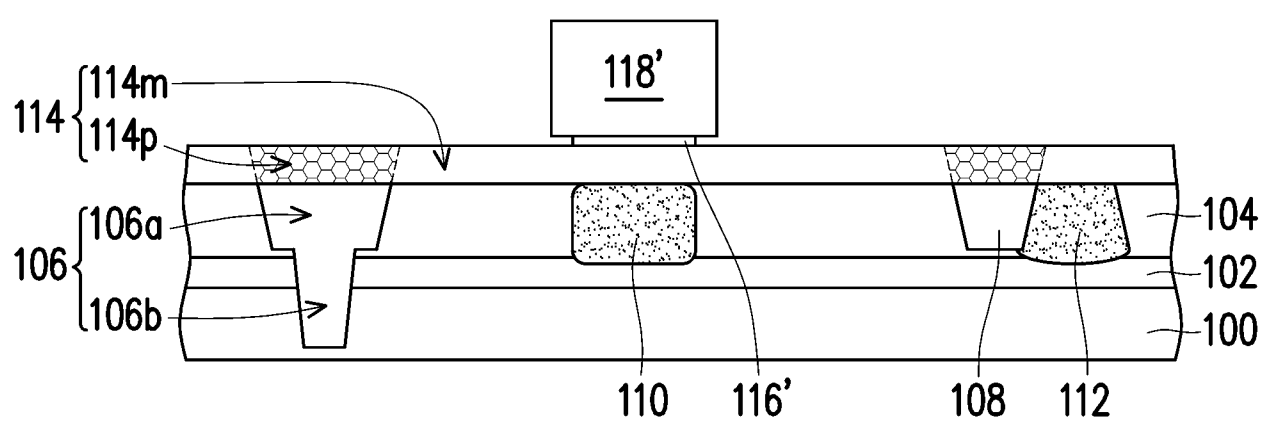
【圖2C】



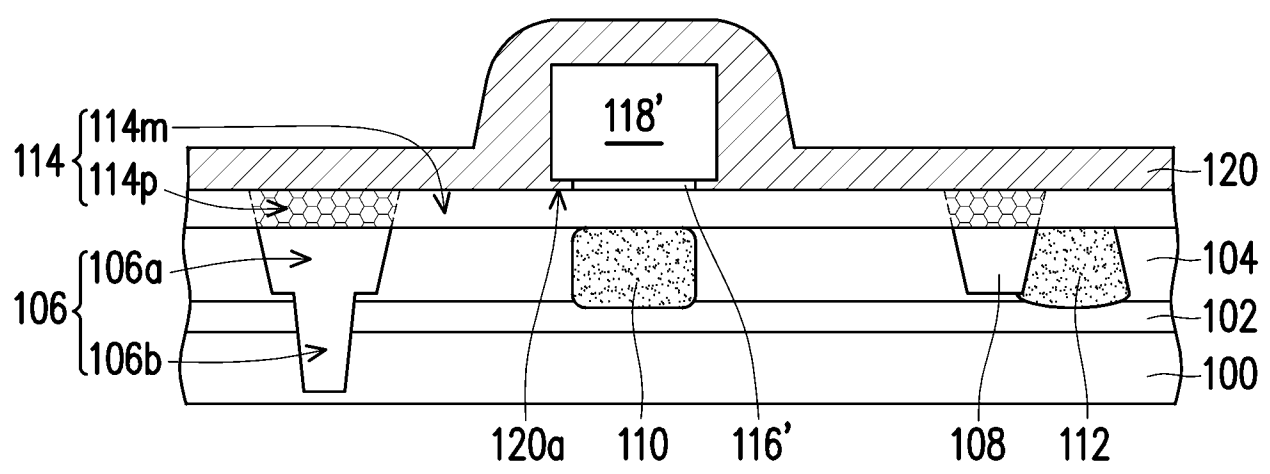
【圖2D】



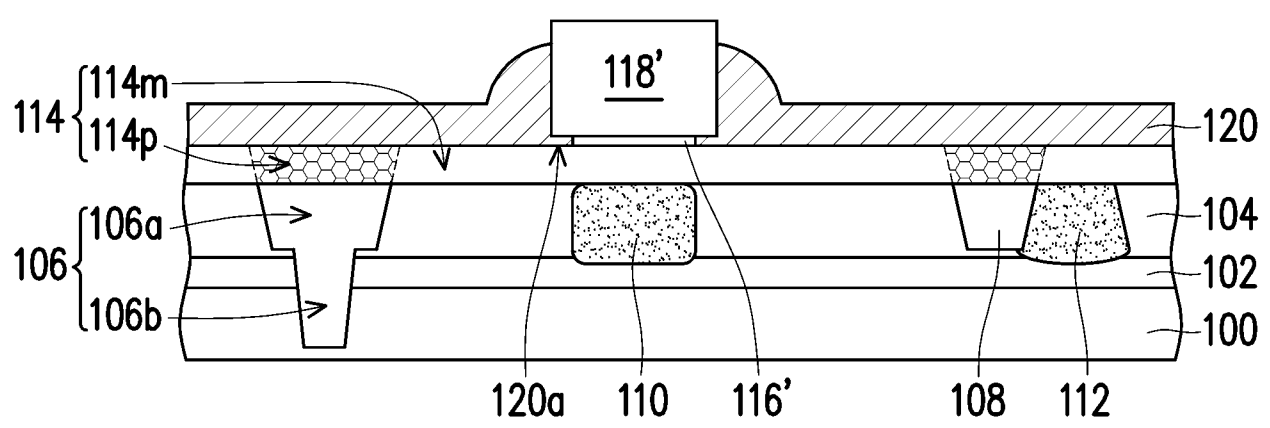
【圖2E】



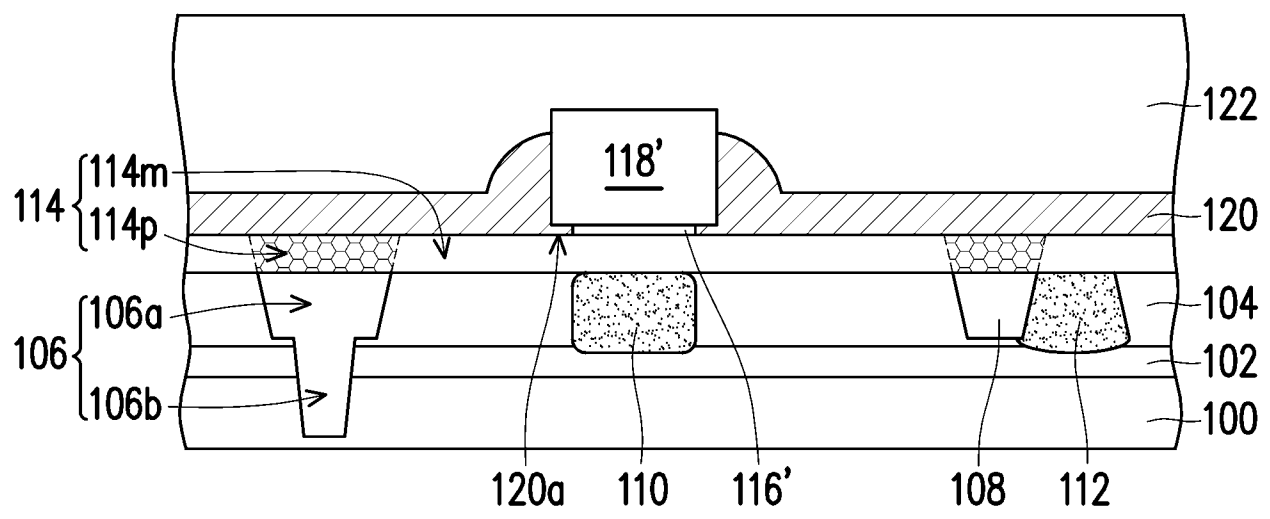
【圖2F】



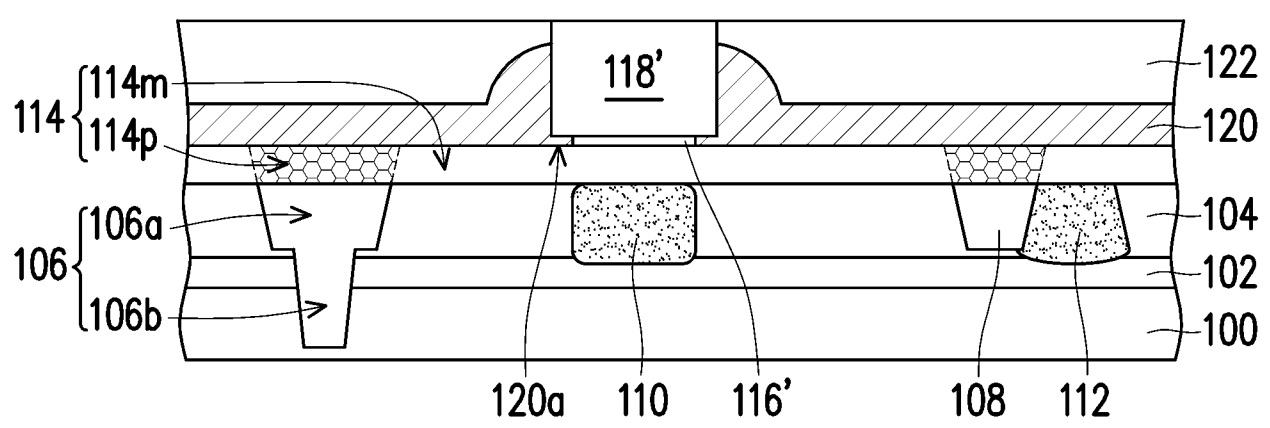
【圖2G】



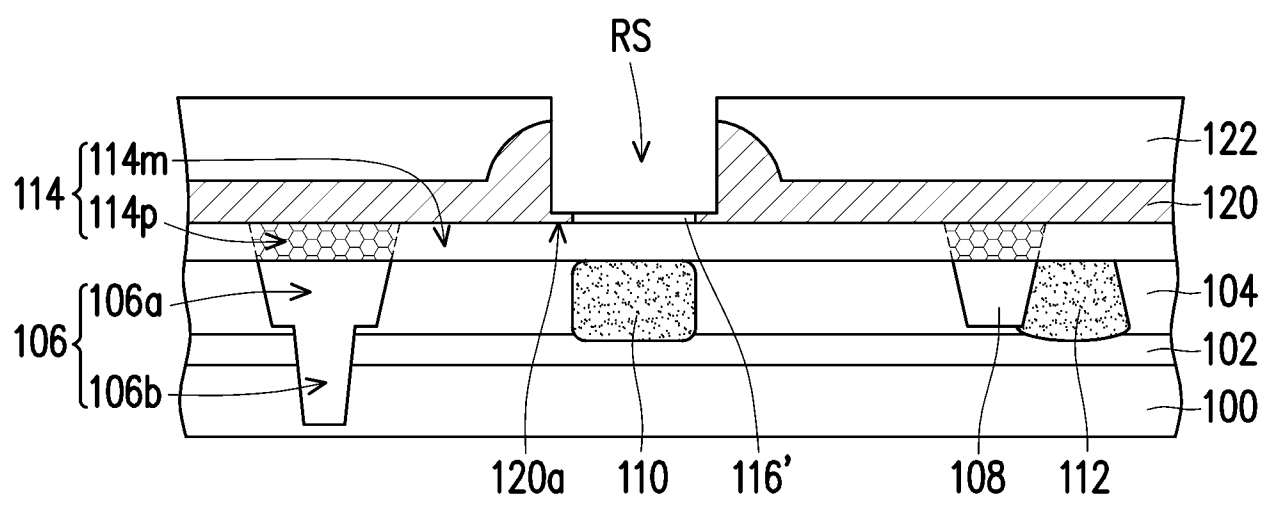
【圖2H】



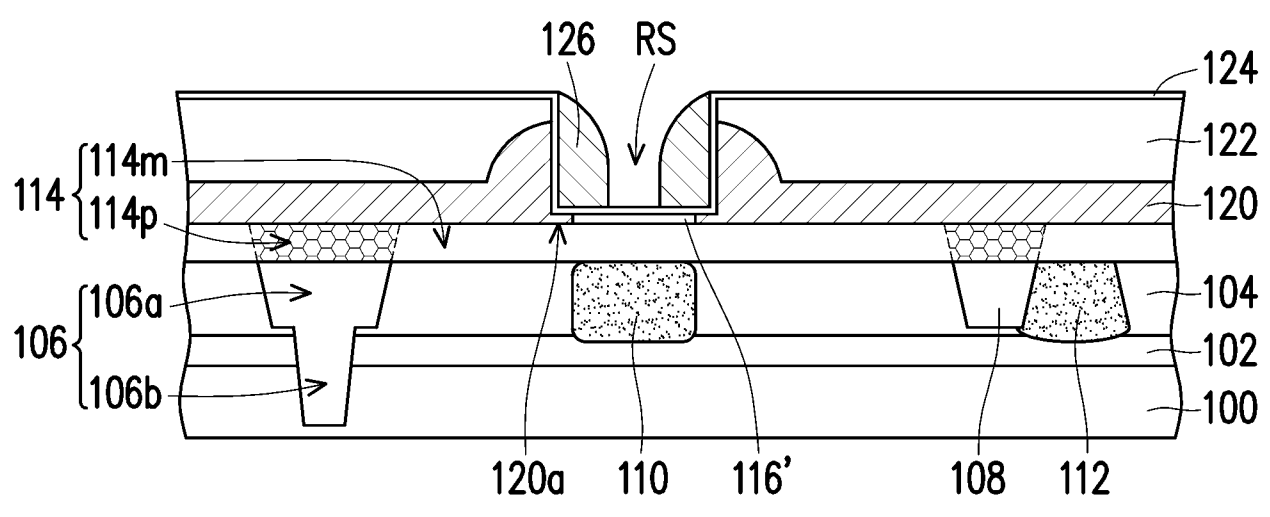
【圖2I】



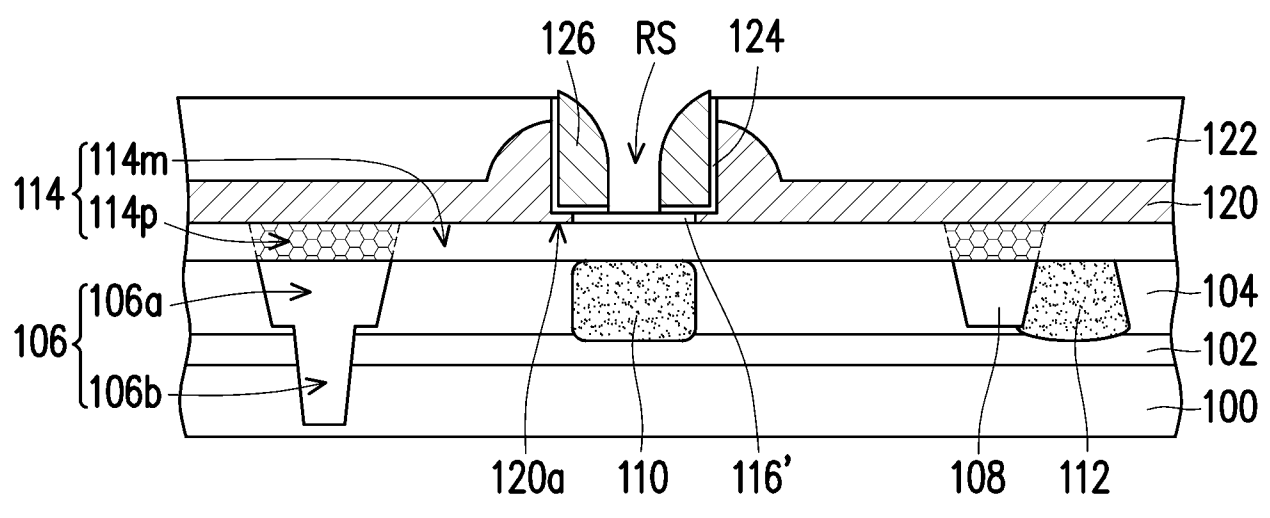
【圖2J】



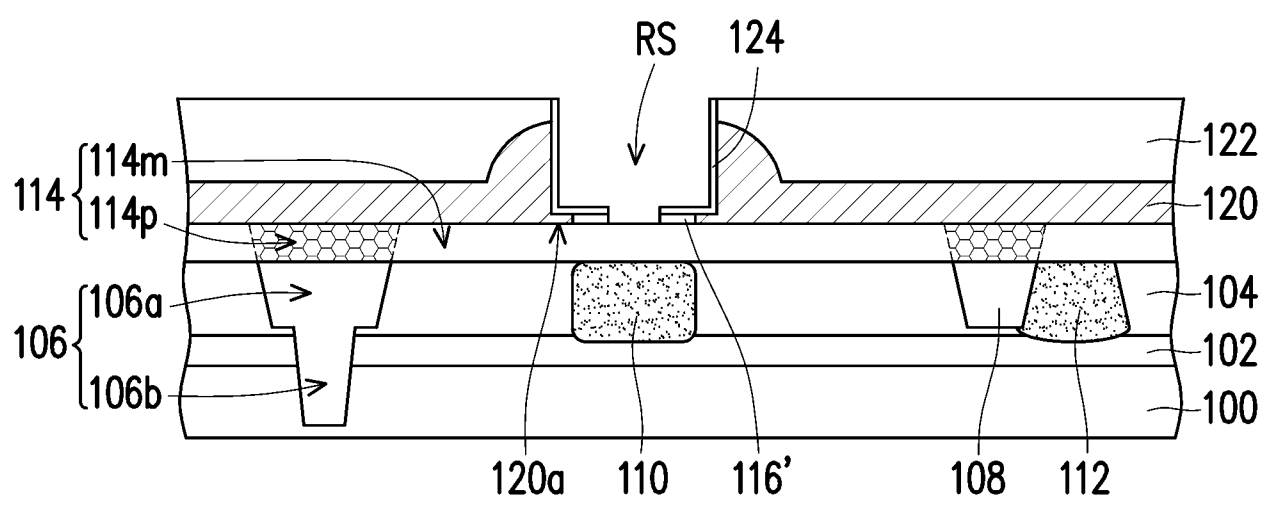
【圖2K】



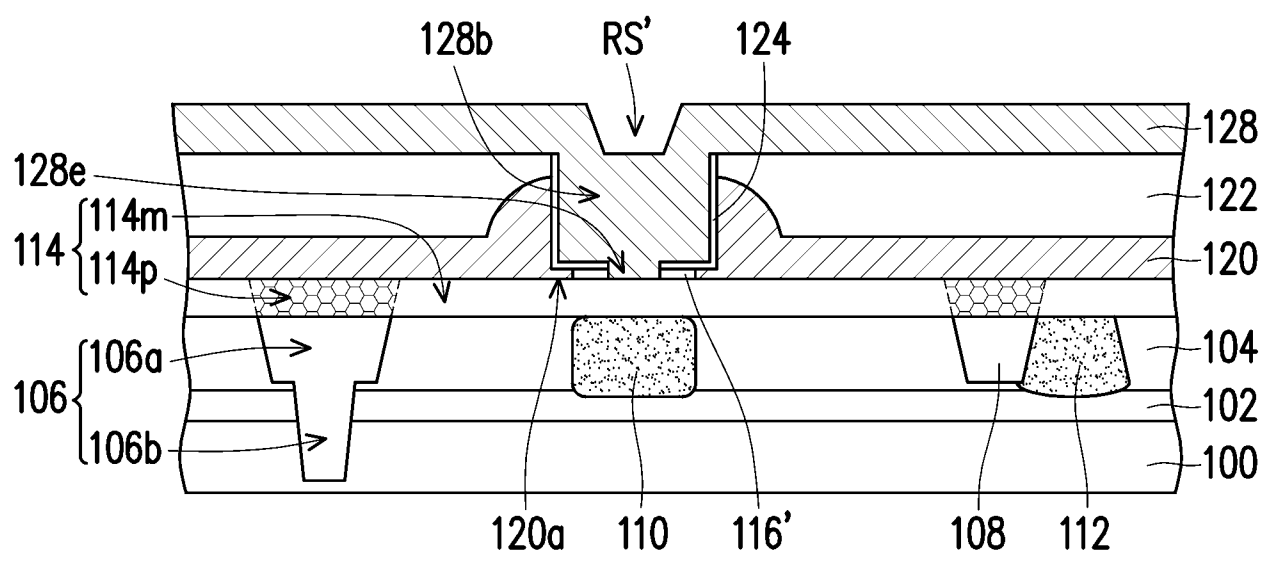
【圖2L】



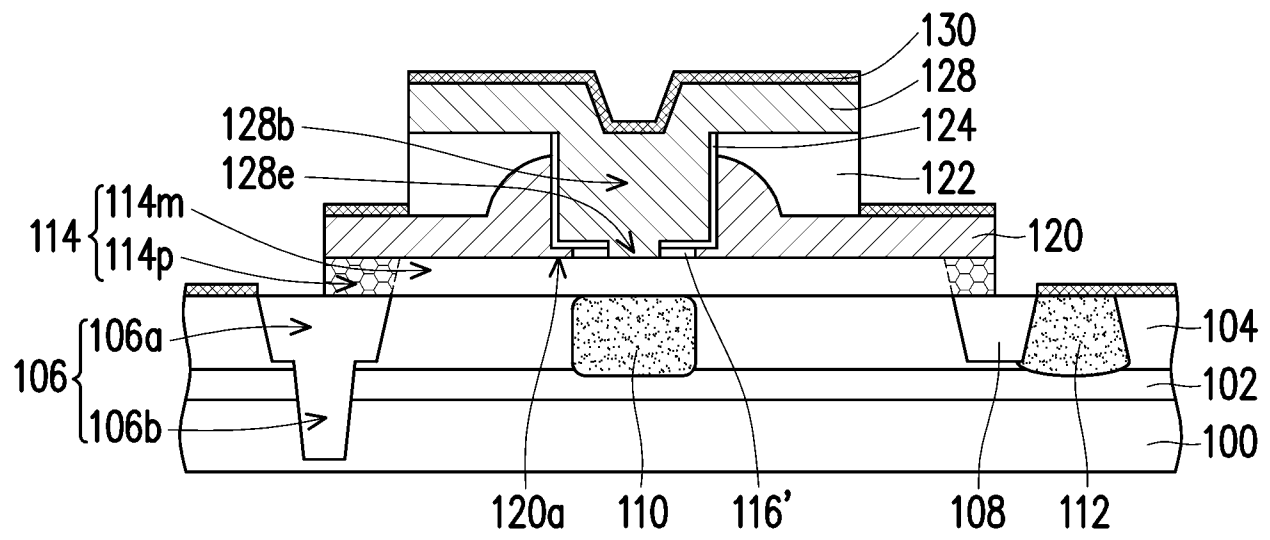
【圖2M】



【圖2N】



【圖20】



【圖2P】