

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4814089号
(P4814089)

(45) 発行日 平成23年11月9日(2011.11.9)

(24) 登録日 平成23年9月2日(2011.9.2)

(51) Int.Cl. F I
H03H 7/20 (2006.01) H03H 7/20 E

請求項の数 5 (全 23 頁)

<p>(21) 出願番号 特願2006-519098 (P2006-519098)</p> <p>(86) (22) 出願日 平成16年3月26日(2004.3.26)</p> <p>(86) 国際出願番号 PCT/JP2004/004243</p> <p>(87) 国際公開番号 W02005/093951</p> <p>(87) 国際公開日 平成17年10月6日(2005.10.6)</p> <p>審査請求日 平成19年2月8日(2007.2.8)</p> <p>(出願人による申告)平成15年度、総務省、「準静止衛星搭載用ミリ波フェーズドアレーアンテナに関する研究(研究開発)」委託研究、産業活力再生特別措置法第30条の適用を受ける特許出願</p>	<p>(73) 特許権者 000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号</p> <p>(74) 代理人 100110423 弁理士 曾我 道治</p> <p>(74) 代理人 100084010 弁理士 古川 秀利</p> <p>(74) 代理人 100094695 弁理士 鈴木 憲七</p> <p>(74) 代理人 100111648 弁理士 梶並 順</p> <p>(74) 代理人 100147566 弁理士 上田 俊一</p>
--	--

最終頁に続く

(54) 【発明の名称】 移相回路及び多ビット移相器

(57) 【特許請求の範囲】

【請求項1】

スルーとキャパシタンス C_1 の容量とを切り替える第1のスイッチング素子と、
スルーとグラウンドに対するキャパシタンス C_3 の容量とを切り替える第2のスイッチング素子と、

インダクタンス L をもつ第1および第2のインダクタと、

前記第2のスイッチング素子に並列接続された第3のインダクタと、

キャパシタンス C_2 をもつキャパシタと

を備え、

前記第1のスイッチング素子の一端を高周波信号入力端子及び前記第1のインダクタの一端に接続し、前記第1のスイッチング素子の他端を高周波信号出力端子及び前記第2のインダクタの一端に接続し、前記第1と第2のインダクタの他端同士を共通接続し、前記第2のスイッチング素子と前記第3のインダクタとの並列回路に前記キャパシタを直列接続して直列回路を構成し、当該直列回路の一端はスルーホールを介してグラウンドに接続され、他端は前記第1と第2のインダクタの他端同士が共通接続される接続点に接続し、前記第2のスイッチング素子がオフ状態のときに前記第3のインダクタと前記キャパシタンス C_3 のオフ容量からなる並列回路は並列共振状態となり、前記高周波信号入力端子及び前記高周波信号出力端子の特性インピーダンスを Z_0 としたとき、

$$C_2 = 4 C_1 \quad (1)$$

$$Z_0 = (L / 2 C_1)^{1/2} \quad (2)$$

10

20

を満たす移相回路。

【請求項 2】

請求項 1 に記載の移相回路において、

前記キャパシタンスの容量を、オン時はスルー状態となり、オフ時は容量性を示すスイッチング素子で構成した

ことを特徴とする移相回路。

【請求項 3】

請求項 1 に記載の移相回路において、

前記並列回路を、オン時はスルー状態となり、オフ時は容量性を示すスイッチング素子に置換した

ことを特徴とする移相回路。

【請求項 4】

請求項 1 に記載の移相回路において、

オン時はスルー状態となり、オフ時は容量性を示すスイッチング素子を、オン時はスルー状態となり、オフ時に容量性を示すスイッチング素子とキャパシタとの並列回路に置換した

ことを特徴とする移相回路。

【請求項 5】

請求項 1 ないし 4 のいずれか 1 項に記載の移相回路を組み合わせ構成した

ことを特徴とする多ビット移相器。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、小型で広帯域な移相量特性を有する移相回路及び多ビット移相器に関するものである。

【背景技術】

【0002】

図 3 1 は、米国特許第 6 1 3 7 3 7 7 号に開示された第 1 の従来例としての移相回路を示す回路図である。

【0003】

図 3 1 に示す移相回路において、第 1 の電界効果トランジスタ（以下、FET と称す）1 0 3 は、オン状態とオフ状態を切り替えるスイッチとして動作するもので、ゲート電極に第 1 の抵抗 1 1 3 を介して第 1 のバイアス端子 1 1 8 が接続されている。

【0004】

このバイアス端子 1 1 8 に FET 1 0 3 のドレイン電圧およびソース電圧と同電位のゲート電圧を印加すると、FET 1 0 3 はオン状態となり抵抗性（以下、オン抵抗という）を示す。

【0005】

一方、ピンチオフ電圧以下のゲート電圧をバイアス端子 1 1 8 に印加すると、FET 1 0 3 はオフ状態となり容量性（以下、オフ容量という）を示す。FET 1 0 4、FET 1 0 5 も FET 1 0 3 と同様の動作をする。

【0006】

第 1 の抵抗 1 1 3、第 2 の抵抗 1 1 4、第 3 の抵抗 1 1 5、第 4 の抵抗 1 1 6、第 5 の抵抗 1 1 7 は、高周波信号入力端子 1 0 1 から入力された高周波信号が通過しないほど十分な抵抗値をもつ。

【0007】

バイアス端子 1 1 8 とバイアス端子 1 2 0 には、常にピンチオフ電圧以下の電圧（当該特許では - 5 V と記載）を印加しておく。バイアス端子 1 1 9 には、0 V またはピンチオフ以下の電圧を印加する。

【0008】

10

20

30

40

50

次に、図 3 1 に示す移相回路の動作について説明する。

【 0 0 0 9 】

図 3 2 は、バイアス端子 1 1 9 にピンチオフ電圧以下の電圧を印加したときの等価回路図である。このとき、F E T 1 0 3 はオン状態となってオン抵抗 1 2 1 を示し、F E T 1 0 4 はオン状態となってオン抵抗 1 2 2 を示し、F E T 1 0 5 はオフ状態となってオフ容量 1 2 3 を示す。

【 0 0 1 0 】

図 3 2 に示す回路は、第 1 のキャパシタ 1 0 9、第 2 のキャパシタ 1 1 0、第 1 のインダクタ 1 0 6、第 2 のインダクタ 1 0 7 から構成される高域通過フィルタ（以下、H P F と略す）とみなすことができる。高周波信号入力端子 1 0 1 から入力された信号は、前記 H P F により位相進みが生じて、高周波信号出力端子 1 0 2 から出力される。

10

【 0 0 1 1 】

また、図 3 3 は、バイアス端子 1 1 9 に 0 V を印加したときの等価回路図である。このとき、F E T 1 0 3 はオフ状態となってオフ容量 1 2 4 を示し、F E T 1 0 4 はオフ状態となってオフ容量 1 2 5 を示し、F E T 1 0 5 はオン状態となってオン抵抗 1 2 6 を示す。

【 0 0 1 2 】

図 3 3 に示す回路は、第 1 のインダクタ 1 0 6、第 2 のインダクタ 1 0 7、オフ容量 1 2 5 から構成される低域通過フィルタ（以下、L P F と略す）とみなすことができる。高周波信号入力端子 1 0 1 から入力された信号は、前記 L P F により位相遅れが生じて、高周波信号出力端子 1 0 2 から出力される。

20

【 0 0 1 3 】

前記 H P F により生じる位相進みと、前記 L P F により生じる位相遅れの差を所要移相量とする。バイアス端子 1 1 9 に 0 V またはピンチオフ電圧以下の電圧を印加することにより、高周波信号入力端子 1 0 1 から入力された信号は、バイアス端子 1 1 9 に印加する電圧により F E T 1 0 3、F E T 1 0 4、F E T 1 0 5 のオン/オフ状態を切り替えることによって、所望の移相量を得て、高周波信号出力端子 1 0 2 から出力される。つまり、H P F と L P F の状態を切り替える制御信号を与えるバイアス端子は、バイアス端子 1 1 9 の 1 つのみである。

【 0 0 1 4 】

次に、図 3 4 は、IEEE IMS2000 Proceedings、“A Compact 5-Bit Phase Shifter MMIC for K-Band Satellite Communication Systems” に掲載された第 2 の従来例としての移相回路を示す回路図である。

30

【 0 0 1 5 】

図 3 4 に示す移相回路において、第 1 の F E T 1 2 7 は、オン状態とオフ状態を切り替えるスイッチとして動作するもので、ゲート端子に第 1 の F E T 1 2 7 のドレイン電圧およびソース電圧と同電位の電圧を印加すると、第 1 の F E T 1 2 7 はオン状態となり抵抗性（以下、オン抵抗という）を示す。一方、ピンチオフ電圧以下の電圧をゲート端子に印加すると、第 1 の F E T 1 2 7 はオフ状態となり容量性（以下、オフ容量という）を示す。第 2 の F E T 1 2 8 も第 1 の F E T 1 2 7 と同様の動作をする。

40

【 0 0 1 6 】

次に、図 3 4 に示す移相回路の動作について説明する。

【 0 0 1 7 】

図 3 5 は、第 1 の F E T 1 2 7 をオフ状態、第 2 の F E T 1 2 8 をオン状態としたときの等価回路図である。容量 1 3 4 は、第 1 の F E T 1 2 7 のオフ容量とキャパシタ 1 3 2 の合成容量を示し、抵抗 1 3 5 は、第 2 の F E T 1 2 8 のオン抵抗を示す。このとき、図 3 5 に示す回路は、合成容量 1 3 4、第 1 のインダクタ 1 2 9、第 2 のインダクタ 1 3 0 から構成される高域通過フィルタ（以下、H P F と略す）とみなすことができる。高周波信号入力端子 1 0 1 から入力された信号は、前記 H P F により位相進みが生じて、高周波信号出力端子 1 0 2 から出力される。

50

【 0 0 1 8 】

また、図 3 6 は、第 1 の F E T 1 2 7 を オン状態、第 2 の F E T 1 2 8 を オフ状態としたときの等価回路図である。抵抗 1 3 6 は、第 1 の F E T 1 2 7 の オン抵抗、容量 1 3 7 は、第 2 の F E T 1 2 8 の オフ容量を示す。第 3 のインダクタ 1 3 1 と オフ容量 1 3 7 から成る並列回路は、所望の周波数 f_0 で並列共振状態となるようにする。

【 0 0 1 9 】

このとき、図 3 6 に示す回路は、第 1 のインダクタ 1 2 9 と第 2 のインダクタ 1 3 0 が示すリアクタンスが十分大きいとすると、周波数 f_0 近傍の高周波信号を通過させる帯域通過フィルタ（以下、B P F と略す）とみなすことができる。高周波信号入力端子 1 0 1 から入力された信号は、前記 B P F によりほぼゼロの位相変化が生じて、高周波信号出力端子 1 0 2 から出力される。

10

【 0 0 2 0 】

前記 H P F により生じる位相進みと、前記 B P F により生じる位相変化の差を所要移相量とする。高周波信号入力端子 1 0 1 から入力された信号は、第 1 の F E T 1 2 7、第 2 の F E T 1 2 8 の オン / オフ状態を切り替えることによって、所望の移相量を得て、高周波信号出力端子 1 0 2 から出力される。

【 0 0 2 1 】

上述のように、図 3 1 に示す第 1 の従来例による移相回路では、回路構成素子が多いため、回路が大型化するといった問題があった。

【 0 0 2 2 】

また、図 3 4 に示す第 2 の従来例による移相回路では、H P F と B P F の状態を切り替える構成であるため、 90° 以上の移相量は得られないといった問題があった。さらに、H P F のカットオフ周波数を所望の周波数帯域よりも低く設定する必要があるため、周波数が低くなるほど回路が大型化するといった問題があった。また、移相量が小さいほど、H P F のカットオフ周波数を低くする必要があるため、回路が大型化する。

20

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 2 3 】

この発明は前記のような問題を解決するためになされたもので、小型でかつ広帯域な特性を持つ移相回路及び多ビット移相器を提供することを目的とする。

30

【 課題を解決するための手段 】

【 0 0 2 4 】

この発明に係る移相回路は、スルーとキャパシタンス C_1 の容量とを切り替える第 1 のスイッチング素子と、スルーとグランドに対するキャパシタンス C_3 の容量とを切り替える第 2 のスイッチング素子と、インダクタンス L をもつ第 1 および第 2 のインダクタと、前記第 2 のスイッチング素子に並列接続された第 3 のインダクタと、キャパシタンス C_2 をもつキャパシタとを備え、前記第 1 のスイッチング素子の一端を高周波信号入力端子及び前記第 1 のインダクタの一端に接続し、前記第 1 のスイッチング素子の他端を高周波信号出力端子及び前記第 2 のインダクタの一端に接続し、前記第 1 と第 2 のインダクタの他端同士を共通接続し、前記第 2 のスイッチング素子と前記第 3 のインダクタとの並列回路に前記キャパシタを直列接続して直列回路を構成し、当該直列回路の一端はスルーホールを介してグランドに接続され、他端は前記第 1 と第 2 のインダクタの他端同士が共通接続される接続点に接続し、前記第 2 のスイッチング素子がオフ状態のときに前記第 3 のインダクタと前記キャパシタンス C_3 のオフ容量からなる並列回路は並列共振状態となり、前記高周波信号入力端子及び前記高周波信号出力端子の特性インピーダンスを Z_0 としたとき、

40

$$C_2 = 4 C_1 \quad (1)$$

$$Z_0 = (L / 2 C_1)^{1/2} \quad (2)$$

を満たすものである。

【 0 0 2 5 】

50

また、前記キャパシタンスの容量を、オン時はスルー状態となり、オフ時は容量性を示すスイッチング素子で構成したことを特徴とする。

【0026】

また、前記並列回路を、オン時はスルー状態となり、オフ時は容量性を示すスイッチング素子に置換したことを特徴とする。

【0027】

また、オン時はスルー状態となり、オフ時は容量性を示すスイッチング素子を、オン時はスルー状態となり、オフ時に容量性を示すスイッチング素子とキャパシタとの並列回路に置換したことを特徴とする。

【0028】

また、前記第1のスイッチング素子および前記第2のスイッチング素子のそれぞれは、基板の片面のみを掘り込んで形成されたキャビティの底面に形成された第1の導体および制御電極と、前記キャビティの端部で支持され空気層を介して中空に存在する誘電体支持膜と、前記支持膜面上に間隔を隔てて形成された一対の高周波信号伝送線路と、前記支持膜の裏面に備えられて、前記一対の高周波信号伝送線路間に平行平板キャパシタを形成するための第2の導体とを備え、前記一対の高周波信号伝送線路は、前記支持膜の一部を貫通する導体突起部をそれぞれ有し、前記制御電極への電圧印加時に前記支持膜が前記キャビティの底面方向に変位して前記各導体突起部が前記第1の導体に接触することでスルー状態となり、機械的に駆動するスルー/直列容量切替素子を構成するものである。

【0029】

また、前記第1のスイッチング素子および前記第2のスイッチング素子のそれぞれは、基板の片面のみを掘り込んで形成されたキャビティの底面に形成された地導体および制御電極と、前記キャビティの端部に支持され空気層を介して中空に存在する誘電体支持膜と、前記支持膜面上に形成された高周波信号伝送線路とを備え、前記制御電極への電圧印加時に前記支持膜がキャビティの底面方向に変位して前記支持膜が前記地導体に接触することでグラウンドに対して容量を示す状態になり、機械的に駆動するスルー/シャント容量切替素子を構成するものである。

【0030】

また、さらに前記第1のスイッチング素子および前記第2のスイッチング素子のそれぞれは、基板の片面のみを掘り込んで形成されたキャビティの底面に間隔を隔てて形成され、導体突起部をそれぞれ有する一対の高周波信号伝送線路と、前記一対の高周波信号伝送線路間を跨って当該一対の高周波信号伝送線路上に形成された誘電体膜と、前記誘電体膜上に形成された第1の導体と、前記キャビティの端部で支持され空気層を介して中空に存在する誘電体支持膜と、前記支持膜の裏面に形成された第2の導体と、前記支持膜面上に形成された制御電極とを備え、前記制御電極への電圧印加時に前記支持膜が前記キャビティの底面方向に変位して前記第2の導体が前記各導体突起部に接触することで前記一対の高周波信号伝送線路がスルー状態となり、機械的に駆動するスルー/直列容量切替素子を構成するものである。

【0031】

また、さらに前記第1のスイッチング素子および前記第2のスイッチング素子のそれぞれは、基板の片面のみを掘り込んで形成されたキャビティの底面に形成された高周波信号伝送線路と、前記キャビティの端部で支持され空気層を介して中空に存在する誘電体支持膜と、前記支持膜面上に形成された制御電極およびグラウンド導体とを備え、前記制御電極への電圧印加時に前記支持膜がキャビティの底面方向に変位して前記支持膜が前記高周波信号伝送線路と接触することでグラウンドに対して容量を示す状態になり、機械的に駆動するスルー/シャント容量切替素子を構成するものである。

【0032】

また、この発明に係る移相回路は、前記第1のスイッチング素子を前記スルー/直列容量切替素子を構成する高周波スイッチで構成し、前記第2のスイッチング素子をスルー/シャント容量切替素子を構成する高周波スイッチで構成したことを特徴とする。

10

20

30

40

50

【 0 0 3 3 】

さらに、この発明に係る多ビット移相器は、前述した移相回路を組み合わせて多ビット移相器を構成したことを特徴とする。

【 図面の簡単な説明 】

【 0 0 3 4 】

【 図 1 】 この発明の実施の形態 1 に係る移相回路の構成を示す回路図、

【 図 2 】 図 1 において、第 1 のスイッチング素子 3 がスルーの状態、第 2 のスイッチング素子 4 がスルーの状態のときの等価回路図、

【 図 3 】 第 1 のスイッチング素子 3 が容量性を示す状態、第 2 のスイッチング素子 4 がゲランドに対して容量性を示す状態のときの等価回路図、

10

【 図 4 】 この発明の実施の形態 2 に係る移相回路の構成を示す回路図、

【 図 5 】 図 4 に示す実施の形態 2 に係る移相回路の等価回路図、

【 図 6 】 図 5 において、F E T 8 a がオン状態、F E T 8 b がオフ状態のときの等価回路図、

【 図 7 】 図 5 において、F E T 8 a がオフ状態、F E T 8 b がオン状態のときの等価回路図、

【 図 8 】 この発明の実施の形態 3 に係る移相回路の構成を示す回路図、

【 図 9 】 図 8 において、F E T 8 a がオン状態、F E T 8 b がオフ状態、F E T 2 8 がオン状態のときの等価回路図、

【 図 1 0 】 図 8 において、F E T 8 a がオフ状態、F E T 8 b がオン状態、F E T 2 8 がオフ状態のときの等価回路図、

20

【 図 1 1 】 この発明の実施の形態 4 に係る移相回路の構成を示す回路図、

【 図 1 2 】 図 1 1 において、F E T 8 a がオン状態、F E T 8 b がオフ状態のときの等価回路図、

【 図 1 3 】 図 1 1 において、F E T 8 a がオフ状態、F E T 8 b がオン状態のときの等価回路図、

【 図 1 4 】 この発明の実施の形態 5 に係る移相回路の構成を示す回路図、

【 図 1 5 】 この発明の実施の形態 6 に係るもので、基板上に形成される移相回路の構成を示す上面図、

【 図 1 6 】 図 1 5 に示すスルー / 直列容量切替素子 3 6 の詳細な構成を示す分解図、

30

【 図 1 7 】 制御電極 4 3 に電圧を印加していない場合のスルー / 直列容量切替素子 3 6 の図 1 5 に示す A - A ' 線断面図、

【 図 1 8 】 第 1 の制御電極 4 3 に電圧を印加した場合のスルー / 直列容量切替素子 3 6 の図 1 5 に示す A - A ' 線断面図、

【 図 1 9 】 図 1 5 に示すスルー / ショット容量切替素子 3 7 の詳細な構成を示す分解図、

【 図 2 0 】 第 2 の制御電極 5 1 に電圧を印加していない場合のスルー / ショット容量切替素子 3 7 の図 1 5 に示す B - B ' 線断面図、

【 図 2 1 】 第 2 の制御電極 5 1 に電圧を印加した場合のスルー / ショット容量切替素子 3 7 の図 1 5 に示す B - B ' 線断面図、

【 図 2 2 】 図 1 5 に示す移相回路において、スルー / 直列容量切替素子 3 6 がスルー状態、スルー / ショット容量切替素子 3 7 がスルー状態のときの等価回路図、

40

【 図 2 3 】 図 1 5 に示す移相回路において、スルー / 直列容量切替素子 3 6 が直列容量状態、スルー / ショット容量切替素子 3 7 がショット容量状態のときの等価回路図、

【 図 2 4 】 この発明の実施の形態 7 に係る移相回路におけるスルー / 直列容量切替素子の詳細を示す上面図、

【 図 2 5 】 図 2 4 の第 3 の制御電極 6 4 に電圧を印加していない場合の C - C ' 線断面図、

【 図 2 6 】 図 2 4 の第 3 の制御電極 6 4 に電圧を印加した場合の C - C ' 線断面図、

【 図 2 7 】 この発明の実施の形態 7 に係る移相回路におけるスルー / ショット容量切替素子の詳細を示す上面図、

50

【図28】図27の第4の制御電極72に電圧を印加していない場合のD-D'線断面図、

【図29】図27の第4の制御電極72に電圧を印加した場合のD-D'線断面図、

【図30】この発明の実施の形態8による移相器の構成を示すブロック図、

【図31】米国特許第6137377号に開示された移相回路を示す回路図、

【図32】図31におけるバイアス端子119にピンチオフ電圧以下の電圧を印加したときの等価回路図、

【図33】図31におけるバイアス端子119に0Vを印加したときの等価回路図、

【図34】IEEE IMS2000 Proceedings、“A Compact 5-Bit Phase Shifter MMIC for K-B and Satellite Communication Systems”に掲載された従来の移相回路を示す回路図、

【図35】図34における第1のFET127をオフ状態、第2のFET128をオン状態としたときの等価回路図、

【図36】図34における第1のFET127をオン状態、第2のFET128をオフ状態としたときの等価回路図である。

【発明を実施するための形態】

【0035】

実施の形態1.

【0036】

図1は、この発明の実施の形態1に係る移相回路の構成を示す回路図である。図1に示す移相回路は、高周波信号入力端子1と高周波信号入出力端子2との間に設けられて、スルーとキャパシタンス C_1 の容量とを切り替える第1のスイッチング素子3と、スルーとグラウンドに対してキャパシタンス C_2 の容量とを切り替える第2のスイッチング素子4と、第1のインダクタ6aおよび第2のインダクタ6bとを備えている。5はグラウンドを示す。

【0037】

次に、図1に示す移相回路の動作について説明する。

【0038】

図2は、第1のスイッチング素子3がスルーの状態、第2のスイッチング素子4がスルーの状態のときの等価回路図である。ここで、第1のインダクタ6aと第2のインダクタ6bによるリアクタンスが十分大きいとすると、図2に示す回路は、スルー回路とみなすことができる。したがって、高周波信号入力端子1から入力された信号は、位相変化が生じることなく、高周波信号出力端子2から出力される。このとき、前記スルー回路は全ての周波数において整合がとれるため、反射損失がない。

【0039】

図3は、第1のスイッチング素子3が容量性を示す状態、第2のスイッチング素子4がグラウンドに対して容量性を示す状態のときの等価回路図である。図3に示す回路は、第1のスイッチング素子3が容量性を示し、第1のキャパシタ7となり、第2のスイッチング素子4も容量性を示し、第2のキャパシタ8となり、第1のインダクタ6aと第2のインダクタ6bと第1のキャパシタ7と第2のキャパシタ8とから成るオールパスネットワークとみなすことができる。したがって、高周波信号入力端子1から入力された信号は、前記オールパスネットワークにより位相遅れが生じて、高周波信号出力端子2から出力される。

【0040】

ここで、第1のキャパシタ7のキャパシタンスを C_1 、第2のキャパシタ8のキャパシタンスを C_2 、第1のインダクタ6aと第2のインダクタ6bのインダクタンスを L 、高周波信号入力端子1と高周波信号出力端子2の特性インピーダンスを Z_0 としたとき、式(1)と式(2)を満たすとする。

$$C_2 = 4 C_1 \quad (1)$$

$$Z_0 = (L / 2 C_1)^{1/2} \quad (2)$$

【0041】

10

20

30

40

50

このとき、前記オールパスネットワークは全ての周波数において整合がとれるため、反射損失がない。さらに、キャパシタンス C_1 （または C_2 ）を適切に設定することにより、所望の位相遅れを得ることができる。

【0042】

以上のように、図1に示す実施の形態1に係る移相回路は、第1のスイッチング素子3の切り替え動作と第2のスイッチング素子4の切り替え動作により、スルーの状態とオールパスネットワークの状態とを切り替え、高周波信号入力端子1から入力された信号が高周波信号出力端子2に出力される際に生じる通過位相を変化させる。

【0043】

従って、本実施の形態1に係る移相回路によれば、インダクタンス L とキャパシタンス C_1 とキャパシタンス C_2 を適切に設定すれば、広帯域に所望の移相量を得ることができる。つまり、従来例に比べて広帯域で動作する移相回路が得られる。

【0044】

実施の形態2

【0045】

図4は、この発明の実施の形態2に係る移相回路の構成を示す回路図である。図4において、図1と同一または相当する構成については同一符号を付して重複する説明を省略する。図4に示す移相回路は、半導体基板18上にモノリシックに構成したもので、図4に示す各構成要素と図1に示す各構成要素との対応関係は次の通りである。すなわち、第1のFET8aは第1のスイッチング素子3に、第2のFET8bは第2のスイッチング素子4に、第1のスパイラルインダクタ9は第1のインダクタ6aに、第2のスパイラルインダクタ10は第2のインダクタ6bにそれぞれ対応している。

【0046】

第1のFET8aの制御電極には、第1の抵抗13を介して第1の制御信号端子16が接続され、第2のFET8bの制御電極には、第2の抵抗14を介して第2の制御信号端子17が接続されている。また、第2のFET8bには、第3のスパイラルインダクタ11が並列接続されて並列回路を構成し、この並列回路にMIMキャパシタ12が直列接続されて直列回路を構成し、当該直列回路の一端はスルーホール15を介してグランドに接続され、他端は第1と第2のスパイラルインダクタ9と10の接続点に接続されている。

【0047】

図5は、図4に示す実施の形態2に係る移相回路の等価回路図である。図5に示す等価回路において、図4と同一または相当する構成については同一符号を付して重複する説明を省略する。インダクタ19は第1のスパイラルインダクタ9に、インダクタ20は第2のスパイラルインダクタ10に、インダクタ21は第3のスパイラルインダクタ11に、キャパシタ22はMIMキャパシタ12に、グランド23はスルーホール15にそれぞれ相当する。

【0048】

FET8aとFET8bは、オン/オフ状態を切り換えるスイッチとして動作する。FET8aにおいて、ドレイン電圧およびソース電圧と同電位の電圧をゲート端子に印加すると、FET8aはオン状態となり抵抗性（以下、オン抵抗という）を示す。一方、ピンチオフ電圧以下の電圧をゲート端子に印加すると、FET8aはオフ状態となり容量性（以下、オフ容量という）を示す。FET8bも同様の動作をする。

【0049】

次に、図4の等価回路図である図5を用いて実施の形態2に係る移相回路の動作について説明する。

【0050】

図6は、図5において、FET8aがオン状態、FET8bがオフ状態のときの等価回路図である。図6に示すように、FET8aはオン状態時にオン抵抗24として示され、FET8bはオフ状態時にオフ容量25として示される。

【0051】

10

20

30

40

50

ここで、インダクタ 21 とオフ容量 25 から成る並列回路は、所望周波数 f_0 で並列共振（オープン）状態となるように設定する。また、インダクタ 19 とインダクタ 20 によるリアクタンスは十分大きいので、図 6 に示す回路は、所望周波数 f_0 近傍を通過帯域としたバンドパスフィルタ回路とみなすことができる。オン抵抗 24 が十分小さいとき、位相変化はほとんど生じない。したがって、所望周波数 f_0 において、高周波信号入力端子 1 から入力された信号は、位相変化は生じることなく、高周波信号出力端子 2 から出力される。

【0052】

図 7 は、図 5 において、FET 8a がオフ状態、FET 8b がオン状態のときの等価回路図である。図 7 に示すように、FET 8a はオフ状態時にオフ容量 26 として示され、FET 8b はオン状態時にオン抵抗 27 として示される。

10

【0053】

ここで、インダクタ 21 によるリアクタンスがオン抵抗 27 に比べて十分大きいとき、オン抵抗 27 とインダクタ 21 から成る並列回路は、オン抵抗 27 のみから成る回路とみなすことができる。よって、図 7 に示す回路は、インダクタ 19 とインダクタ 20 とオフ容量 26 とキャパシタ 22 から成るオールパスネットワークとみなすことができる。したがって、高周波信号入力端子 1 から入力された信号は、前記オールパスネットワークにより位相遅れが生じ、高周波信号出力端子 2 から出力される。

【0054】

ここで、オフ容量 26 のキャパシタンスを C_1 、キャパシタ 22 のキャパシタンスを C_2 、インダクタ 19 とインダクタ 20 のインダクタンスを L 、高周波信号入力端子 1 と高周波信号出力端子 2 の特性インピーダンスを Z_0 としたとき、式 (1) と式 (2) を満たすとする。このとき、前記オールパスネットワークは全ての周波数において整合がとれるため、反射損失がない。さらに、キャパシタンス C_1 (または C_2) を適切に設定することにより、所望の周波数で所望の位相遅れを得ることができる。

20

【0055】

以上のように、図 4 に示す実施の形態 2 の移相回路は、FET 8a と FET 8b のオン/オフ切換動作によりバンドパスフィルタ回路とオールパスネットワークとを切り換え、高周波信号入力端子 1 から高周波信号出力端子 2 への通過位相を変化させる。

【0056】

従って、この発明の実施の形態 2 に係る移相回路によれば、通過位相の変化により、所望の移相量を得ることができる。つまり、FET 2 つとインダクタ 3 つとキャパシタ 1 つとスルーホール 1 つで回路を構成できるため、第 1 の従来例に比べて、小型化が図れる。

30

【0057】

また、第 2 の従来例においては、高域通過フィルタのカットオフ周波数は所望中心周波数よりも低く設定する必要があるが、オールパスネットワークのカットオフ周波数（低域通過フィルタの特性と高域通過フィルタの特性が切り替わる周波数）は所望中心周波数よりも高いため、第 2 の従来例に比べて、インダクタンス、キャパシタンスを小さくすることができ、回路の小型化が図れる。

【0058】

また、オールパスネットワークは、回路定数を適切に設定することにより全ての周波数で整合がとれるので、第 1 および第 2 の従来例に比べて、移相回路の広帯域化が図れる。

40

【0059】

また、低域通過フィルタおよび高域通過フィルタで得られる通過位相の変化は最大 90° であるが、オールパスネットワークは、回路定数を適切に設定することにより全ての周波数で整合がとれるので、任意の通過位相変化、つまり任意の移相量を得ることができる。

【0060】

なお、図 4 に示す実施の形態 2 に係る移相回路において、FET 8a および FET 8b はスイッチング素子として用いているが、オン/オフ状態を切り換えることができるよう

50

なスイッチング機能を有するものであればどのような形式でもよい。

【0061】

また、図4に示す実施の形態2に係る移相回路は、半導体基板18上にモノリシックに構成されているが、受動素子を誘電体基板に、能動素子を半導体基板に構成して、金属ワイヤまたは金バンプ等で両基板を電氣的に接続して移相回路を構成してもよい。

【0062】

実施の形態3

【0063】

図8は、この発明の実施の形態3に係る移相回路の構成を示す回路図である。図8において、図5と同一または相当する構成については同一符号を付して重複する説明を省略する。図8に示す実施の形態3に係る移相回路は、図5に示す実施の形態2に係る移相回路のキャパシタ22をFET28に置換したものである。FET28は、オン/オフ状態を切り換えるスイッチとして動作するもので、FET8a、FET8bと同様の動作をする。

10

【0064】

次に、実施の形態3に係る移相回路の動作について説明する。

【0065】

図9は、図8において、FET8aがオン状態、FET8bがオフ状態、FET28がオン状態のときの等価回路図である。図9に示すように、FET8aはオン状態時にオン抵抗24として示され、FET8bはオフ状態時にオフ容量25として示され、FET28はオン状態時にオン抵抗29として示される。

20

【0066】

ここで、図6に示す等価回路図と同様に、インダクタ21とオフ容量25から成る並列回路は、所望周波数 f_0 で並列共振(オープン)状態となるように設定する。インダクタ19とインダクタ20によるリアクタンスは十分大きいので、図9に示す回路は、所望周波数 f_0 近傍を通過帯域としたバンドパスフィルタ回路とみなすことができる。オン抵抗24が十分小さいとき、位相変化はほとんど生じない。したがって、所望周波数 f_0 において、高周波信号入力端子1から入力された信号は、位相変化は生じることなく、高周波信号出力端子2から出力される。

【0067】

30

図6に示す等価回路は、主にインダクタ19とインダクタ21とキャパシタ22から成る直列回路において、所望周波数 f_0 より低い周波数で直列共振状態となり、 f_0 付近での移相回路の特性に影響を与える場合があるが、図9に示す回路は、キャパシタ22をオン抵抗29に置き換えたことにより、直列共振を起こさないようにしており、 f_0 付近での移相回路の特性に影響を与えることがなく、良好な特性となる。

【0068】

図10は、図8において、FET8aがオフ状態、FET8bがオン状態、FET28がオフ状態のときの等価回路図である。図10に示すように、FET8aはオフ状態時にオフ容量26として示され、FET8bはオン状態時にオン抵抗27として示され、FET28はオフ状態時にオフ容量30として示される。

40

【0069】

ここで、図7に示す等価回路と同様に、インダクタ21によるリアクタンスがオン抵抗27に比べて十分大きいとき、オン抵抗27とインダクタ21から成る並列回路は、オン抵抗27のみから成る回路とみなすことができる。よって、図10に示す回路は、インダクタ19とインダクタ20とオフ容量26とオフ容量30から成るオールパスネットワークとみなすことができる。したがって、高周波信号入力端子1から入力された信号は、前記オールパスネットワークにより位相遅れが生じ、高周波信号出力端子2から出力される。

【0070】

そして、オフ容量26のキャパシタンスを C_1 、オフ容量30のキャパシタンスを C_2

50

、インダクタ19とインダクタ20のインダクタンスを L 、高周波信号入力端子1と高周波信号出力端子2の特性インピーダンスを Z_0 としたとき、式(1)と式(2)を満たすとする。このとき、前記オールパスネットワークは全ての周波数において整合がとれるため、反射損失がない。さらに、キャパシタンス C_1 (または C_2)を適切に設定することにより、所望の周波数で所望の位相遅れを得ることができる。

【0071】

以上のように、図8に示す実施の形態3に係る移相回路は、FET8aとFET8bとFET28のオン/オフ切換動作によりバンドパスフィルタ回路とオールパスネットワークとを切り換え、高周波信号入力端子1から高周波信号出力端子2への通過位相を変化させる。

10

【0072】

従って、実施の形態3に係る移相回路によれば、実施の形態2に係る移相回路と同様の効果が得られるとともに、バンドパスフィルタ回路の状態において、所望周波数 f_0 より低い周波数での直列共振を起こさないため、 f_0 付近での移相回路の特性に影響を与えない利点がある。

【0073】

なお、図8に示す実施の形態3に係る移相回路において、FET8a、FET8bおよびFET28はスイッチング素子として用いているが、オン/オフ状態を切り換えることができるようなスイッチング機能を有するものであればどのような形式でもよい。

また、図8に示す実施の形態3に係る移相回路は、半導体基板上にモノリシックに構成されてもよい。また、受動素子を誘電体基板に、能動素子を半導体基板に構成して、金属ワイヤ、または金バンプ等で両基板を電気的に接続して移相回路を構成してもよい。

20

【0074】

実施の形態4

【0075】

図11は、この発明の実施の形態4に係る移相回路の構成を示す回路図である。図11において、図5と同一または相当する構成については同一符号を付して重複する説明を省略する。図11に示す実施の形態4に係る移相回路は、図5に示す実施の形態2による移相回路のインダクタ21とFET8bから成る並列回路を、FET8bのみに置換したものである。

30

【0076】

次に、実施の形態4に係る移相回路の動作について説明する。

【0077】

図12は、図11において、FET8aがオン状態、FET8bがオフ状態のときの等価回路図である。図12に示すように、FET8aはオン状態時にオン抵抗24として示され、FET8bはオフ状態時にオフ容量25として示される。

【0078】

ここで、キャパシタ22とオフ容量25の合成容量は、ほぼオープン状態となるように設定する。また、インダクタ19とインダクタ20によるリアクタンスは十分きいので、図12に示す回路は、オン抵抗24によるスルー回路とみなすことができる。オン抵抗24が十分小さいとき、位相変化はほとんど生じない。したがって、高周波信号入力端子1から入力された信号は、位相変化は生じることなく、高周波信号出力端子2から出力される。

40

【0079】

図13は、図11において、FET8aがオフ状態、FET8bがオン状態のときの等価回路図である。図13に示すように、FET8aはオフ状態時にオフ容量26として示され、FET8bはオン状態時にオン抵抗27として示される。このため、図13に示す回路は、インダクタ19とインダクタ20とキャパシタ22とオフ容量26から成るオールパスネットワークとみなすことができる。したがって、高周波信号入力端子1から入力された信号は、前記オールパスネットワークにより位相遅れが生じ、高周波信号出力端子

50

2 から出力される。

【 0 0 8 0 】

ここで、オフ容量 2 6 のキャパシタンスを C_1 、キャパシタ 2 2 のキャパシタンスを C_2 、インダクタ 1 9 とインダクタ 2 0 のインダクタンスを L 、高周波信号入力端子 1 と高周波信号出力端子 2 の特性インピーダンスを Z_0 としたとき、式 (1) と式 (2) を満たすとする。このとき、前記オールパスネットワークは全ての周波数において整合がとれるため、反射損失がない。さらに、 C_1 (または C_2) を適切に設定することにより、所望の周波数で所望の位相遅れを得ることができる。

【 0 0 8 1 】

以上により、図 1 1 に示す実施の形態 4 に係る移相回路は、F E T 8 a と F E T 8 b のオン / オフ切換動作によりバンドパスフィルタ回路とオールパスネットワークとを切り換え、高周波信号入力端子 1 から高周波信号出力端子 2 への通過位相を変化させる。

10

従って、実施の形態 4 に係る移相回路によれば、実施の形態 2 に係る移相回路と同様の効果が得られるとともに、実施の形態 2 の移相回路に比べて、インダクタを 1 つ減らせるため小型化が図れる。

【 0 0 8 2 】

なお、図 1 1 に示す実施の形態 4 に係る移相回路において、F E T 8 a および F E T 8 b はスイッチング素子として用いているが、オン / オフ状態を切り換えることができるようなスイッチング機能を有するものであればどのような形式でもよい。

また、図 1 1 に示す実施の形態 4 に係る移相回路は、半導体基板上にモノリシックに構成されてもよい。また、受動素子を誘電体基板に、能動素子を半導体基板に構成して、金属ワイヤまたは金バンプ等で両基板を電氣的に接続して移相回路を構成してもよい。

20

【 0 0 8 3 】

実施の形態 5 .

【 0 0 8 4 】

図 1 4 は、この発明の実施の形態 5 に係る移相回路の構成を示す回路図である。図 1 4 において、図 5 と同一または相当する構成については同一符号を付して重複する説明を省略する。図 1 4 に示す実施の形態 5 に係る移相回路は、図 5 に示す実施の形態 2 に係る移相回路の F E T 8 a にキャパシタ 3 1 を並列に接続すると共に、F E T 8 b にキャパシタ 3 2 を並列に接続したものである。

30

【 0 0 8 5 】

図 1 4 に示す回路においては、F E T 8 a がオン状態、F E T 8 b がオフ状態のときに、図 6 と同様の動作をする。ここで、オフ容量 2 5 と同じキャパシタンスを実現する場合、F E T 8 b 1 つの場合と比較して、キャパシタ 3 2 を追加したことにより、F E T 8 b のオフ容量を小さくすることができる。すなわち、F E T 8 b のサイズを小さくすることができる。

【 0 0 8 6 】

また、F E T 8 a がオフ状態、F E T 8 b がオン状態のときに、図 7 と同様の動作をする。ここで、オフ容量 2 6 と同じキャパシタンスを実現する場合、F E T 8 a 1 つの場合と比較して、キャパシタ 3 1 を追加したことにより、F E T 8 a のオフ容量を小さくすることができる。すなわち、F E T 8 a のサイズを小さくすることができる。

40

【 0 0 8 7 】

以上のように、図 1 4 に示す実施の形態 5 に係る移相回路は、実施の形態 2 と同様の効果が得られるとともに、実施の形態 2 の移相回路に比べて F E T のサイズを小さくすることができ、小型化が図れる。

【 0 0 8 8 】

なお、図 1 4 に示す実施の形態 5 に係る移相回路において、F E T 8 a および F E T 8 b はスイッチング素子として用いているが、オン / オフ状態を切り換えることができるようなスイッチング機能を有するものであればどのような形式でもよい。

【 0 0 8 9 】

50

また、図 1 4 に示す実施の形態 5 に係る移相回路は、半導体基板上にモノリシックに構成されてもよい。また、受動素子を誘電体基板に、能動素子を半導体基板に構成して、金属ワイヤ、または金バンプ等で両基板を電氣的に接続して移相回路を構成してもよい。

【 0 0 9 0 】

実施の形態 6 .

【 0 0 9 1 】

図 1 5 は、この発明の実施の形態 6 に係るもので、基板上に形成される移相回路の構成を示す上面図である。

【 0 0 9 2 】

図 1 5 は、コプレーナ線路構造の場合の構成を示しており、基板 3 5 を片面からの微細加工技術で掘り込んで形成した第 1 のキャビティ 3 9 の端部に支持され空気層を介して中空に第 1 の誘電体支持膜 4 0 が存在し、誘電体支持膜 4 0 上に第 1 のメアングライン 3 8 a と第 2 のメアングライン 3 8 b は形成されている。キャビティ 3 9 の底面と誘電体支持膜 4 0 とは、数ミクロン～数十ミクロンの間隔がある。キャビティ 3 9 の底面はメタルで覆われていても、覆われていなくてもどちらでも良い。3 3 と 3 4 は高周波信号入力端子と高周波信号出力端子を示し、3 6 と 3 7 は基板 3 5 上に形成されるスルー / 直列容量切替素子とスルー / シャント容量切替素子を示す。

【 0 0 9 3 】

図 1 6 は、図 1 5 に示すスルー / 直列容量切替素子 3 6 の詳細な構成を示す分解図である。図 1 6 に示すように、基板 4 1 (図 1 5 に示す基板 3 5 と同一) を片面からの微細加工技術で掘り込んで形成した第 2 のキャビティ 4 2 の底面には、制御電極 4 3 とコンタクトメタル 4 4 が形成される。

【 0 0 9 4 】

第 2 のキャビティ 4 2 の左右端部に支持され空気層を介して中空に存在する第 2 の誘電体支持膜 4 5 には貫通穴 4 6 a と 4 6 b が設けられると共に、下面 (裏面) にメタル 4 7 が形成されている。第 2 の誘電体支持膜 4 5 面上には、第 1 と第 2 の高周波信号伝送線 4 8 a と 4 8 b が間隔を隔てて設けられると共に、第 1 と第 2 のグランドメタル 4 9 a と 4 9 b が設けられている。

【 0 0 9 5 】

第 1 の高周波信号伝送線 4 8 a、第 2 の高周波信号伝送線 4 8 b、第 1 のグランドメタル 4 9 a および第 2 のグランドメタル 4 9 b は、中心に間隙を有するコプレーナ線路を形成している。前記コプレーナ線路は、第 2 の誘電体支持膜 4 5 の上面に形成されている。第 1 の高周波信号伝送線 4 8 a は、貫通穴 4 6 a 部分においては、メタルパターンが第 2 の誘電体支持膜 4 5 を貫通している。第 2 の高周波信号伝送線 4 8 b も同様に、貫通穴 4 6 b 部分においては、メタルパターンが第 2 の誘電体支持膜 4 5 を貫通している。前記コプレーナ線路を有する第 2 の誘電体支持膜 4 5 は、第 2 のキャビティ 4 2 の空気層を介した中空に存在しており、第 2 のキャビティ 4 2 の底面と第 2 の誘電体支持膜 4 5 とは、数ミクロン～数十ミクロンの間隔がある。

【 0 0 9 6 】

次に、図 1 5 に示すスルー / 直列容量切替素子 3 6 の動作について説明する。

【 0 0 9 7 】

図 1 7 は、制御電極 4 3 に電圧を印加していない場合のスルー / 直列容量切替素子 3 6 の図 1 5 に示す A - A ' 線断面図である。メタル 4 7、第 1 の高周波信号伝送線 4 8 a および第 2 の誘電体支持膜 4 5 が容量を形成している。また、メタル 4 7、第 2 の信号線 4 8 b および第 2 の誘電体支持膜 4 5 も容量を形成している。つまり、直列容量の状態となる。

【 0 0 9 8 】

また、図 1 8 は、第 1 の制御電極 4 3 に電圧を印加した場合のスルー / 直列容量切替素子 3 6 の図 1 5 に示す A - A ' 線断面図である。第 1 のグランドメタル 4 9 a および第 2 のグランドメタル 4 9 b と第 1 の制御電極 4 3 の間に静電引力が働き、第 2 の誘電体支持

10

20

30

40

50

膜 4 5 は、第 2 のキャビティ 4 2 の底面の方向に変位する。このとき、コンタクトメタル 4 4 を介して、第 1 の高周波信号伝送線 4 8 a と第 2 の高周波信号伝送線 4 8 b は導通し、スルー状態となる。

【 0 0 9 9 】

次に、図 1 5 に示すスルー / シャント切替素子 3 7 の動作について説明する。

【 0 1 0 0 】

図 1 9 は、図 1 5 に示すスルー / シャント容量切替素子 3 7 の詳細な構成を示す分解図である。図 1 9 に示すように、基板 4 1 (図 1 5 に示す基板 3 5 と同一) を片面からの微細加工技術で掘り込んで形成した第 3 のキャビティ 5 0 の底面および基板 4 1 上には第 2 の制御電極 5 1 とグランドメタル 5 2 が形成されている。そして、キャビティ 5 0 の左右端部で支持され空気層を介して中空に第 3 の誘電体支持膜 5 3 が存在し、誘電体支持膜 5 3 の上面に第 3 の高周波信号伝送線 5 4、第 3 のグランドメタル 5 5 a および第 4 のグランドメタル 5 5 b が形成されている。

10

【 0 1 0 1 】

第 3 の高周波信号伝送線 5 4、グランドメタル 5 2、第 3 のグランドメタル 5 5 a および第 4 のグランドメタル 5 5 b は、グラunded コプレーナ線路を形成している。第 3 のキャビティ 5 0 の底面と第 3 の誘電体支持膜 5 3 とは、数ミクロン ~ 数十ミクロンの間隔がある。

【 0 1 0 2 】

次に、図 1 5 に示すスルー / シャント容量切替素子 3 7 の動作について説明する。図 2 0 は、第 2 の制御電極 5 1 に電圧を印加していない場合のスルー / シャント容量切替素子 3 7 の図 1 5 に示す B - B ' 線断面図である。このとき、高周波信号は前記グラunded コプレーナ線路を伝送する。つまり、スルーの状態となる。

20

【 0 1 0 3 】

図 2 1 は、第 2 の制御電極 5 1 に電圧を印加した場合のスルー / シャント容量切替素子 3 7 の図 1 5 に示す B - B ' 線断面図である。第 3 のグランドメタル 5 5 a および第 4 のグランドメタル 5 5 b と第 2 の制御電極 5 1 の間に静電引力が働き、第 3 の誘電体支持膜 5 3 は、第 3 のキャビティ 5 0 の底面の方向に変位する。このとき、第 3 の誘電体支持膜 5 3 を介して、第 3 の高周波信号伝送線 5 4 とグランドメタル 5 2 が接触する。つまり、グランドに対して容量を示す状態となる。

30

【 0 1 0 4 】

次に、図 1 5 に示す移相回路の動作について説明する。

【 0 1 0 5 】

図 2 2 は、スルー / 直列容量切替素子 3 6 がスルー状態、スルー / シャント容量切替素子 3 7 がスルー状態のときの図 1 5 に示す移相回路の等価回路図である。このとき、第 1 の制御電極 4 3 に電圧を印加し、第 2 の制御電極 5 1 に電圧を印加していない状態 (グランドと同電位) である。5 6 は高周波信号入力端子 3 3 に相当する端子、5 7 は高周波信号出力端子 3 4 に相当する端子、5 8 a は第 1 のメアングライン 3 8 a に相当するインダクタ、5 8 b は第 2 のメアングライン 3 8 b に相当するインダクタである。

【 0 1 0 6 】

インダクタ 5 8 a とインダクタ 5 8 b によるリアクタンスが十分大きいとすると、図 2 2 に示す回路は、スルー回路とみなすことができる。したがって、高周波信号入力端子 5 6 から入力された信号は、位相変化が生じることなく、高周波信号出力端子 5 7 から出力される。このとき、前記スルー回路は全ての周波数において整合がとれるため、反射損失がない。

40

【 0 1 0 7 】

また、図 2 3 は、スルー / 直列容量切替素子 3 6 が直列容量状態、スルー / シャント容量切替素子 3 7 がシャント容量状態のときの図 1 5 に示す移相回路の等価回路図である。このとき、第 1 の制御電極 4 3 に電圧を印加せず (グランドと同電位)、第 2 の制御電極 5 1 に電圧を印加している状態である。図 2 3 において、図 2 2 と同一または相当する構

50

成については同一符号を付して重複する説明を省略する。キャパシタ59はスルー/直列容量切替素子36が直列容量状態のときに示すものであり、キャパシタ60はスルー/シャント容量切替素子37がシャント容量状態のときに示すグラウンドに対するキャパシタである。

【0108】

図23に示す回路は、インダクタ58aとインダクタ58bとキャパシタ59とキャパシタ60とから成るオールパスネットワークとみなすことができる。したがって、高周波信号入力端子56から入力された信号は、前記オールパスネットワークにより位相遅れが生じて、高周波信号出力端子57から出力される。

【0109】

ここで、キャパシタ59のキャパシタンスを C_1 、キャパシタ60のキャパシタンスを C_2 、インダクタ58aとインダクタ58bのインダクタンスを L 、高周波信号入力端子56と高周波信号出力端子57の特性インピーダンスを Z_0 としたとき、式(1)と式(2)を満たすとする。

【0110】

このとき、前記オールパスネットワークは全ての周波数において整合がとれるため、反射損失がない。さらに、キャパシタ C_1 (または C_2)を適切に設定することにより、所望の位相遅れを得ることができる。

【0111】

以上により、図15に示す実施の形態6に係る移相回路は、スルー/直列容量切替素子36の切り替え動作と、スルー/シャント容量切替素子37の切り替え動作により、スルーの状態とオールパスネットワークの状態とを切り替え、高周波信号入力端子56から入力された信号が高周波信号出力端子57に出力される際に生じる通過位相を変化させる。

【0112】

従って、実施の形態6に係る移相回路によれば、インダクタンス L とキャパシタンス C_1 とキャパシタンス C_2 を適切に設定すれば、広帯域に所望の移相量を得ることができる。つまり、従来例に比べて広帯域で動作する移相回路が得られる。

【0113】

また、図15に示す実施の形態6の移相回路は、実施の形態1~5と同様の効果が得られる。さらに、微細加工技術を用いることにより、機械的に駆動するスルー/直列容量切替素子とスルー/シャント容量切替素子をスイッチング素子に用いているため、実施の形態2~5のように半導体のスイッチング素子を用いている場合に比べて低損失化が図れる。

【0114】

さらに、微細加工技術を用いて中空構造を採用しているため、高周波特性が基板の影響を受けにくい。つまり、低抵抗シリコン基板やガラス基板のような安価な基板を用いることができ、半導体基板を用いる場合と比べて低コスト化が図れる。

【0115】

なお、図15に示す実施の形態6に係る移相回路において、インダクタとして、基板を片面微細加工して形成したキャビティの中空構造メアングラインを採用しているが、誘電体支持膜の両面にパターンニングして形成したスパイラルインダクタでもよい。また、中空構造ではなく、基板上にメアングラインを形成してもよい。

【0116】

また、スルー/直列容量切替素子とスルー/シャント容量切替素子において、誘電体支持膜の上に高周波信号伝送線路を形成しているが、更にその上に誘電体支持膜を形成して3層構造としてもよい。これにより、メタルパターンが誘電体支持膜で挟まれるため、応力が垂直方向に対称となり平坦になる。

【0117】

また、片面微細加工により、キャビティを形成した基板をもう一つ設け、移相回路を上からカバーすることによりパッケージ状態にしてもよい。これにより、機械的に駆動する

10

20

30

40

50

スルー / 直列容量切替素子とスルー / シャント容量切替素子を湿気等からシールドすることができ、信頼性を高めることができる。

【 0 1 1 8 】

実施の形態 7 .

【 0 1 1 9 】

図 2 4 は、この発明の実施の形態 7 に係る移相回路におけるスルー / 直列容量切替素子の詳細を示す図である。図 1 6 と同一または相当する構成については同一符号を付して重複する説明を省略する。図 2 4 に示すように、基板 4 1 の片面のみを掘り込んで形成されたキャビティ 4 2 の底面には、第 5 の高周波信号伝送線 6 1 a、第 6 の高周波信号伝送線 6 1 b、第 5 のグランドメタル 6 2 a および第 6 のグランドメタル 6 2 b が形成されており、中心に間隙を有するコプレーナ線路を構成している。

10

【 0 1 2 0 】

キャビティ 4 2 の端で支持され第 4 の誘電体支持膜 6 3 はキャビティ 4 2 の空気層を介した中空に存在している。第 4 の誘電体支持膜 6 3 上には第 3 の制御電極 6 4 が形成されており、第 4 の誘電体支持膜 6 3 の裏面にはコンタクトメタル 6 5 が形成されている。キャビティ 4 2 の底面と第 4 の誘電体支持膜 6 3 とは、数ミクロン ~ 数十ミクロンの間隔がある。

【 0 1 2 1 】

次に、前記スルー / 直列容量切替素子の動作について説明する。

【 0 1 2 2 】

図 2 5 は、第 3 の制御電極 6 4 に電圧を印加していない場合の図 2 4 の C - C ' 線断面図である。図 2 5 に示すように、誘電体膜 6 6 の上にメタル 6 7 が形成されており、メタル 6 7、第 5 の高周波信号伝送線 6 1 a および誘電体膜 6 6 が容量を形成している。また、メタル 6 7、第 6 の高周波信号伝送線 6 1 b および誘電体膜 6 6 も容量を形成している。つまり、直列容量の状態となる。

20

【 0 1 2 3 】

また、図 2 6 は、第 3 の制御電極 6 4 に電圧を印加した場合の図 2 4 の C - C ' 線断面図である。図 2 6 に示すように、第 5 のグランドメタル 6 2 a および第 6 のグランドメタル 6 2 b と第 3 の制御電極 6 4 の間に静電引力が働き、第 4 の誘電体支持膜 6 3 は、キャビティ 4 2 の底面の方向に変位する。このとき、コンタクトメタル 6 5 を介して、第 5 の信号線 6 1 a と第 6 の信号線 6 1 b は導通し、スルー状態となる。

30

【 0 1 2 4 】

図 2 7 は、この発明の実施の形態 7 に係る移相回路におけるスルー / シャント容量切替素子の詳細を示す上面図である。図 2 7 において、図 2 4 と同一または相当する構成については同一符号を付して重複する説明を省略する。図 2 7 に示すように、基板 4 1 の片面のみを掘り込んで形成されたキャビティ 4 2 の底面には、第 7 の高周波信号伝送線 6 8、第 7 のグランドメタル 6 9 a および第 8 のグランドメタル 6 9 b が形成されており、コプレーナ線路を構成している。キャビティ 4 2 の端で支持され空気層を介した中空に第 5 の誘電体支持膜 7 0 が存在している。

【 0 1 2 5 】

第 5 の誘電体支持膜 7 0 の上に形成されているメタル 7 1 と、第 4 の制御電極 7 2 が形成されている。キャビティ 4 2 の底面と第 5 の誘電体支持膜 7 0 とは、数ミクロン ~ 数十ミクロンの間隔がある。メタル 7 1 と第 7 のグランドメタル 6 9 a および第 8 のグランドメタル 6 9 b とは基板 4 1 上で接続されており、メタル 7 1 はグランドと同電位である。

40

【 0 1 2 6 】

次に、前記スルー / シャント容量切替素子の動作について説明する。

【 0 1 2 7 】

図 2 8 は、図 2 7 の第 4 の制御電極 7 2 に電圧を印加していない場合の D - D ' 線断面図である。このとき、高周波信号はキャビティ 4 2 の底面上のコプレーナ線路を伝送する。つまり、スルーの状態となる。

50

【 0 1 2 8 】

また、図 2 9 は、図 2 7 の第 4 の制御電極 7 2 に電圧を印加した場合の D - D ' 線断面図である。第 7 のグランドメタル 6 9 a および第 8 のグランドメタル 6 9 b と第 4 の制御電極 7 2 の間に静電引力が働き、第 4 の誘電体支持膜 7 0 は、キャビティ 4 2 の底面の方向に変位する。このとき、第 5 の誘電体支持膜 7 0 を介して、第 7 の信号線 6 8 とメタル 7 1 が接触する。つまり、グランドに対して容量を示す状態となる。

【 0 1 2 9 】

実施の形態 7 に係る移相回路は、実施の形態 6 に係る移相回路を示す図 1 5 において、スルー / 直列容量切替素子 3 6 を図 2 4 に示すスルー / 直列容量切替素子に、スルー / シャント容量切替素子 3 7 を図 2 7 に示すスルー / シャント容量切替素子に置き換えたものであり、その動作は、実施の形態 6 に係る移相回路と同様である。

10

【 0 1 3 0 】

以上のように、実施の形態 7 の移相回路は、実施の形態 1 ~ 6 と同様の効果が得られる。また、微細加工技術を用いることにより、機械的に駆動するスルー / 直列容量切替素子とスルー / シャント容量切替素子をスイッチング素子に用いているため、実施の形態 2 ~ 5 のように半導体のスイッチング素子を用いている場合に比べて低損失化が図れる。

【 0 1 3 1 】

さらに、微細加工技術を用いて中空構造を採用しているため、高周波特性が基板の影響を受けにくい。つまり、低抵抗シリコン基板やガラス基板のような安価な基板を用いることができ、半導体基板を用いる場合と比べて低コスト化が図れる。

20

【 0 1 3 2 】

なお、実施の形態 7 に係る移相回路において、インダクタとして、基板を片面微細加工して形成したキャビティの中空構造メアングラインを採用しているが、誘電体支持膜の両面にパターンニングして形成したスパイラルインダクタでもよい。また、中空構造ではなく、基板上にメアングラインを形成してもよい。

また、スルー / 直列容量切替素子とスルー / シャント容量切替素子において、誘電体支持膜の上にメタルパターンを形成しているが、更にその上に誘電体支持膜を形成して 3 層構造としてもよい。これにより、メタルパターンが誘電体支持膜で挟まれるため、応力が垂直方向に対称となり平坦になる。

【 0 1 3 3 】

また、片面微細加工により、キャビティを形成した基板をもう一つ設け、移相回路を上からカバーすることによりパッケージ状態にしてもよい。これにより、機械的に駆動するスルー / 直列容量切替素子とスルー / シャント容量切替素子を湿気等からシールドすることができ、信頼性を高めることができる。

30

【 0 1 3 4 】

実施の形態 8 .

【 0 1 3 5 】

図 3 0 は、この発明の実施の形態 8 による移相器の構成を示すブロック図である。図 3 0 に示す移相器は、高周波信号入力端子 7 3 と高周波信号出力端子 7 4 との間に、1 ビット分の移相回路 7 5 (7 5 a , 7 5 b , 7 5 c) を複数個多段接続している。ここで、移相回路 7 5 には、実施の形態 1 ~ 7 の移相回路を用いている。1 ビットの移相回路 7 5 を多段接続して移相器を構成することにより、多ビット動作する移相器を実現できるという効果が得られる。

40

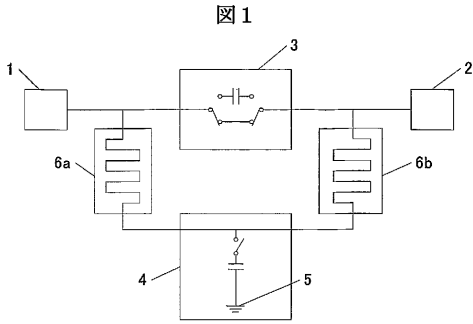
【 0 1 3 6 】

産業上の利用の可能性

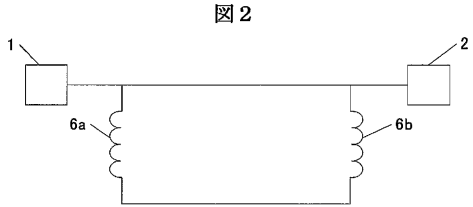
【 0 1 3 7 】

以上のように、この発明によれば、小型で広帯域な移相量特性を有する移相回路および当該移相回路に用いられる高周波スイッチを得ることができると共に、小型で広帯域な移相量特性を有する多ビット移相器を実現できる。

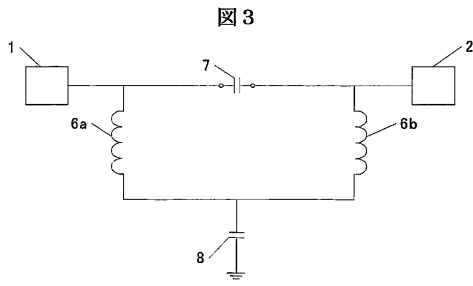
【 図 1 】



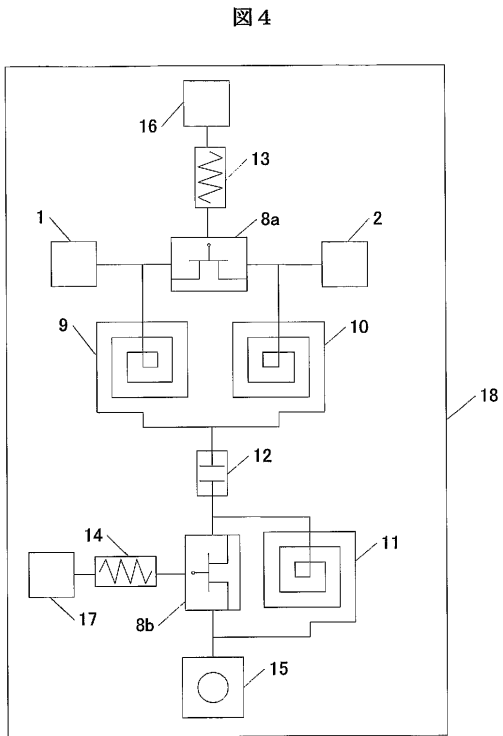
【 図 2 】



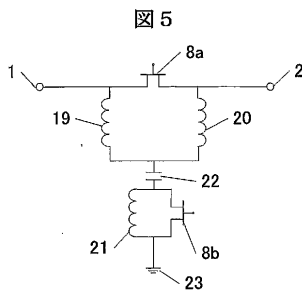
【 図 3 】



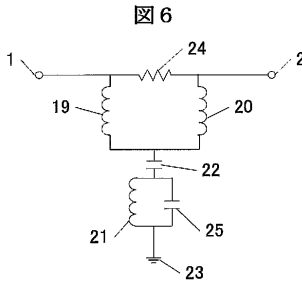
【 図 4 】



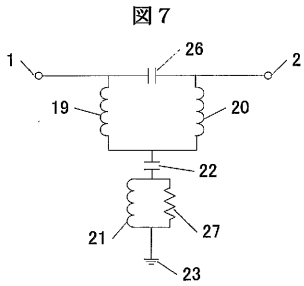
【 図 5 】



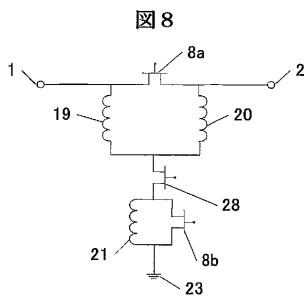
【 図 6 】



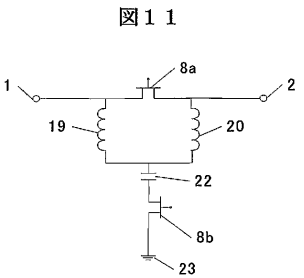
【 図 7 】



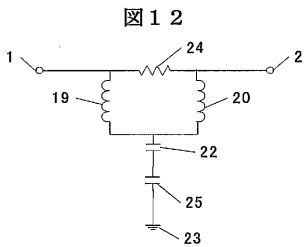
【 図 8 】



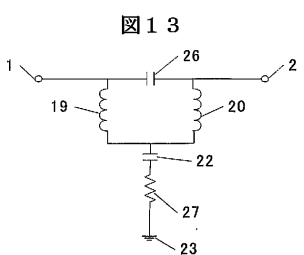
【 図 1 1 】



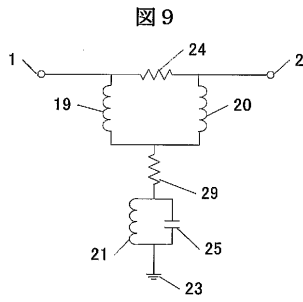
【 図 1 2 】



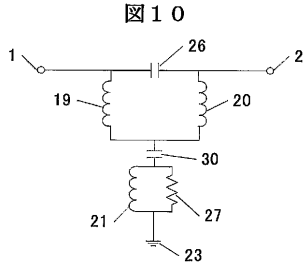
【 図 1 3 】



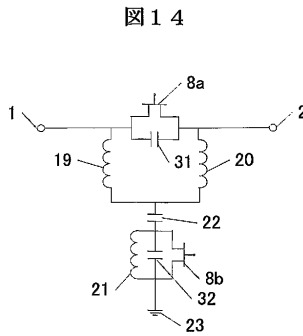
【 図 9 】



【 図 1 0 】

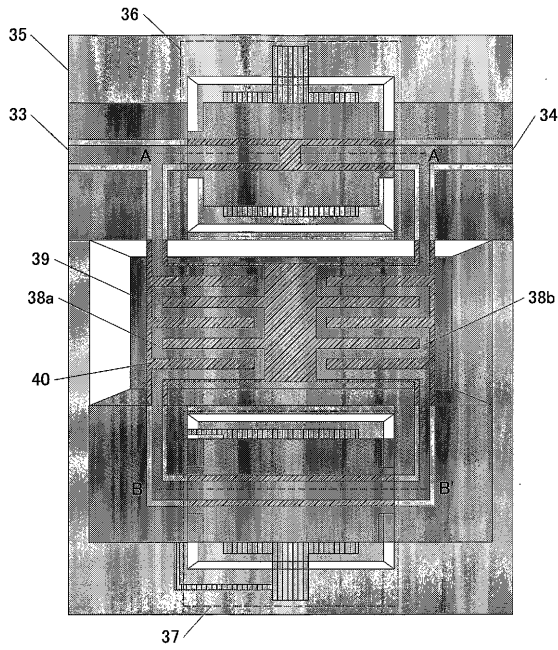


【 図 1 4 】



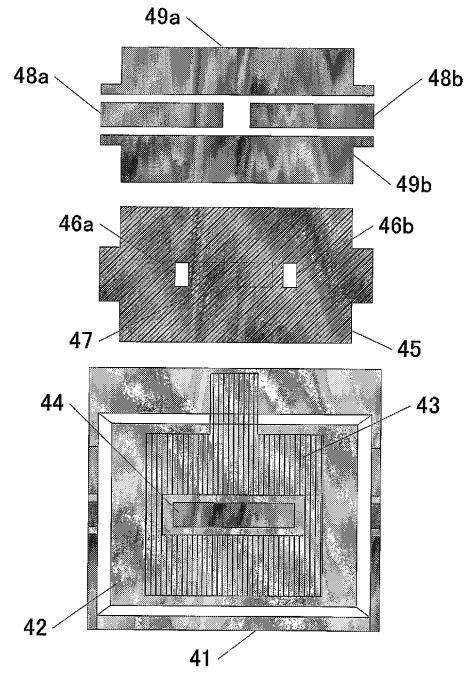
【 図 1 5 】

図 1 5



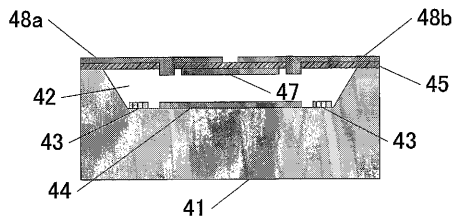
【 図 1 6 】

図 1 6



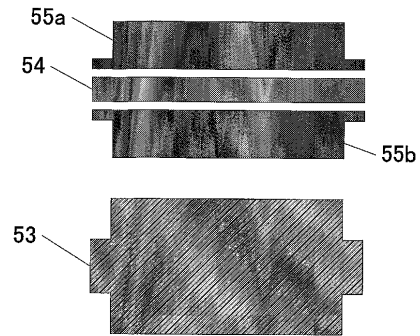
【 図 1 7 】

図 1 7



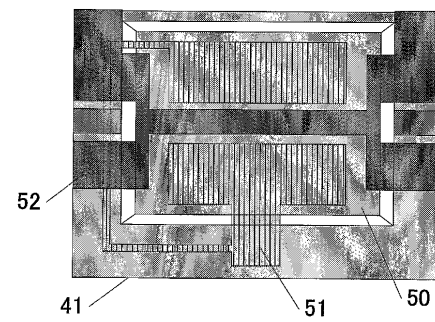
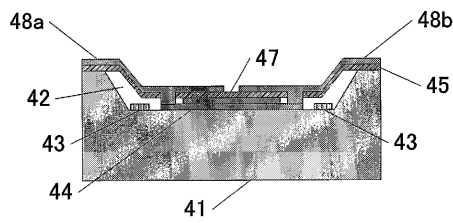
【 図 1 9 】

図 1 9

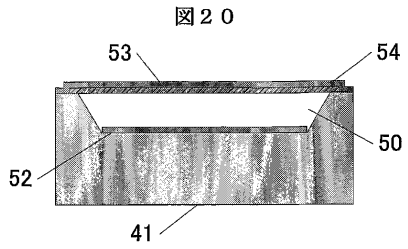


【 図 1 8 】

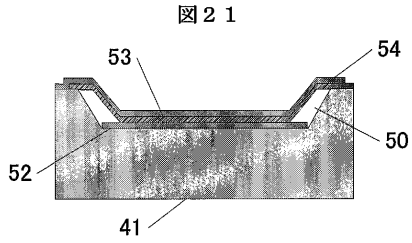
図 1 8



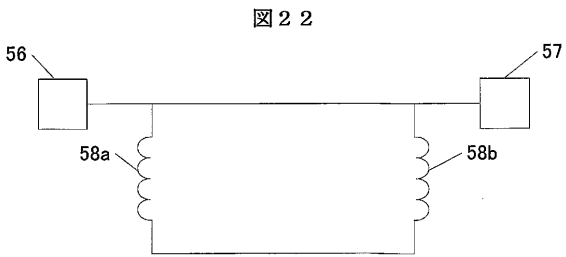
【 図 2 0 】



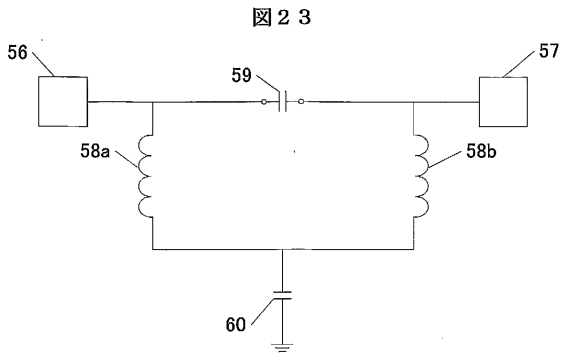
【 図 2 1 】



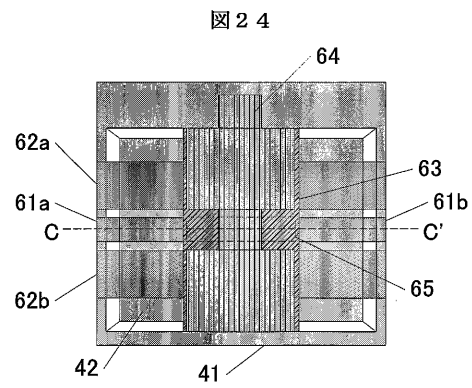
【 図 2 2 】



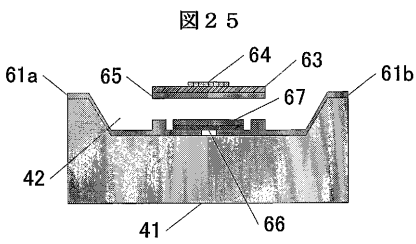
【 図 2 3 】



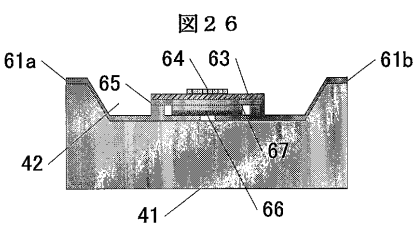
【 図 2 4 】



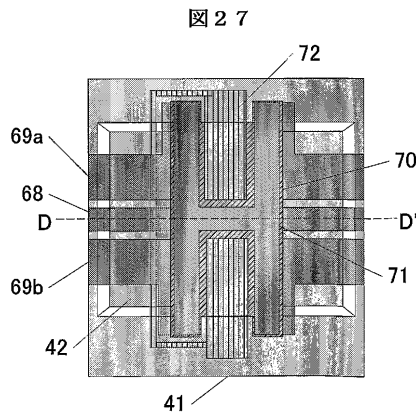
【 図 2 5 】



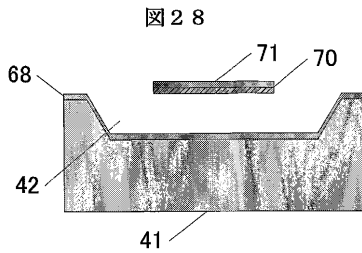
【 図 2 6 】



【 図 2 7 】

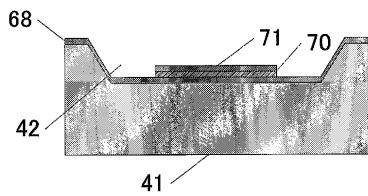


【 図 2 8 】



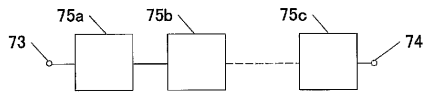
【 図 2 9 】

図 2 9



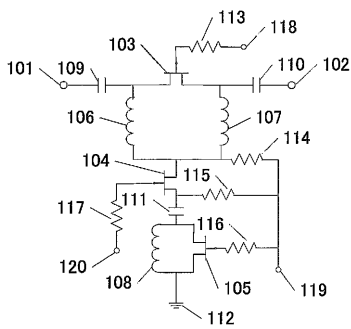
【 図 3 0 】

図 3 0



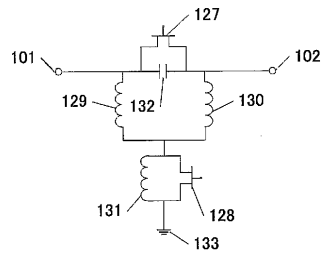
【 図 3 1 】

図 3 1



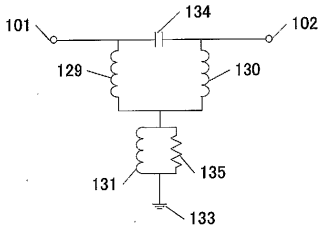
【 図 3 4 】

図 3 4



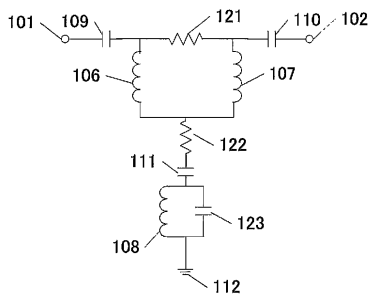
【 図 3 5 】

図 3 5



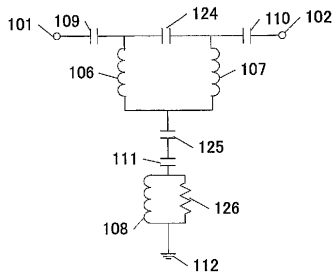
【 図 3 2 】

図 3 2



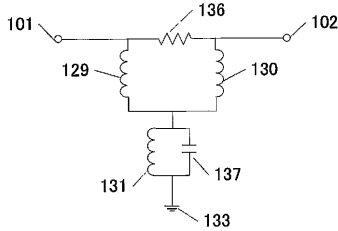
【 図 3 3 】

図 3 3



【 図 3 6 】

図 3 6



 フロントページの続き

- (72)発明者 宮口 賢一
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 檜枝 護重
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 西野 有
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 半谷 正毅
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 宮崎 守泰
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 湯之上 則弘
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 畠山 英樹
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 吉田 幸久
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 高木 直
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 野元 久道

- (56)参考文献 実開平07-033026(JP,U)
特開平01-202007(JP,A)
特開平02-151113(JP,A)
特開平08-250963(JP,A)
特開2004-048176(JP,A)
特開2000-294104(JP,A)
特開昭50-088558(JP,A)
特開平08-046253(JP,A)
特開2003-258502(JP,A)
特開2003-264122(JP,A)
半谷 政毅 他, 微細加工キャピティ構造を用いた CPW MEMS スイッチの設計, 電子情報通信学会ソサイエティ大会講演論文集 2003年_エレクトロニクス(1), 日本, 電子情報通信学会, 2003年 9月10日, P.26
Moye, C. ; Sakamoto, G. ; Brand, M. , A compact broadband, six-bit MMIC phasor with integrated digital drivers, Microwave and Millimeter-Wave Monolithic Circuits Symposium, 1990. Digest of Papers., IEEE 1990 , 米国, IEEE , 1990年 5月 8日, vol.1

(58)調査した分野(Int.Cl., DB名)

H03H 7/20